

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7559450号  
(P7559450)

(45)発行日 令和6年10月2日(2024.10.2)

(24)登録日 令和6年9月24日(2024.9.24)

(51)国際特許分類

F I

H 0 1 L 23/12 (2006.01)  
H 0 1 L 23/29 (2006.01)  
H 0 1 L 23/31 (2006.01)  
H 0 1 L 25/07 (2006.01)  
H 0 1 L 25/065 (2023.01)

H 0 1 L 23/12 Z  
H 0 1 L 23/12 N  
H 0 1 L 23/30 R  
H 0 1 L 25/08 Y

請求項の数 20 外国語出願 (全17頁) 最終頁に続く

(21)出願番号 特願2020-153361(P2020-153361)  
(22)出願日 令和2年9月11日(2020.9.11)  
(65)公開番号 特開2021-100099(P2021-100099  
A)  
(43)公開日 令和3年7月1日(2021.7.1)  
審査請求日 令和5年9月6日(2023.9.6)  
(31)優先権主張番号 16/724,907  
(32)優先日 令和1年12月23日(2019.12.23)  
(33)優先権主張国・地域又は機関  
米国(US)

(73)特許権者 591003943  
インテル・コーポレーション  
アメリカ合衆国 9 5 0 5 4 カリフォル  
ニア州・サンタクララ・ミッション カ  
レッジ ブレーバード・2 2 0 0  
(74)代理人 110000877  
弁理士法人 R Y U K A 国際特許事務所  
(72)発明者 サンカ ガネサン  
アメリカ合衆国 9 5 0 5 4 カリフォル  
ニア州・サンタクララ・ミッション カ  
レッジ ブレーバード・2 2 0 0 インテ  
ル・コーポレーション内  
(72)発明者 ロバート エル・サンクマン  
アメリカ合衆国 9 5 0 5 4 カリフォル  
ニア州・サンタクララ・ミッション カ  
レッジ ブレーバード・2 2 0 0  
最終頁に続く

(54)【発明の名称】 埋め込みダイアークテクチャ及びその形成方法

## (57)【特許請求の範囲】

## 【請求項1】

X Y 方向に延び且つ対向する第1の実質的に平面状の主面及び第2の実質的に平面状の主面を有する基板と、

前記 X Y 方向に延び且つ対向する第3の実質的に平面状の主面及び第4の実質的に平面状の主面を有するブリッジダイであり、前記ブリッジダイの前記第3の実質的に平面状の主面は、前記基板の前記第2の実質的に平面状の主面に直接接触する、前記ブリッジダイと、

前記基板の前記第1の実質的に平面状の主面及び前記ブリッジダイの前記第4の実質的に平面状の主面を通して Z 方向に延びるシリコン貫通ビアと、

前記シリコン貫通ビアに連結される電源と、

少なくとも1つは前記ブリッジダイに電氣的に連結される第1の電子コンポーネント及び第2の電子コンポーネントと、

前記第1の電子コンポーネント、第2の電子コンポーネント、及び前記ブリッジダイを少なくとも部分的に包むオーバーモールドと、  
を備える半導体パッケージ。

## 【請求項2】

前記基板は、シリコン内に拡散された導電層を含む、請求項1に記載の半導体パッケージ。

## 【請求項3】

10

20

前記シリコン貫通ビアは、導電性材料を含む、請求項 1 又は 2 に記載の半導体パッケージ。

【請求項 4】

前記第 1 の電子コンポーネント及び前記第 2 の電子コンポーネントは、独立に、マルチダイコンポーネントパッケージ、シリコンダイ、抵抗、キャパシタ、又はインダクタを含む、請求項 1 から 3 のいずれか一項に記載の半導体パッケージ。

【請求項 5】

前記基板の前記第 4 の実質的に平面状の主面並びに前記第 1 の電子コンポーネント及び前記第 2 の電子コンポーネントに取り付けられる複数の半田ボールをさらに備える、請求項 1 から 4 のいずれか一項に記載の半導体パッケージ。

10

【請求項 6】

前記複数の半田ボールの平均ピッチは、約 5  $\mu\text{m}$  から約 50  $\mu\text{m}$  の範囲内である、請求項 5 に記載の半導体パッケージ。

【請求項 7】

前記シリコン貫通ビアの高さは、約 10  $\mu\text{m}$  から約 50  $\mu\text{m}$  の範囲内である、請求項 1 から 6 のいずれか一項に記載の半導体パッケージ。

【請求項 8】

X Y 方向に延び且つ対向する第 1 の実質的に平面状の主面及び第 2 の実質的に平面状の主面を有する基板と、

前記 X Y 方向に延び且つ対向する第 3 の実質的に平面状の主面及び第 4 の実質的に平面状の主面を有するブリッジダイであり、前記ブリッジダイの前記第 3 の実質的に平面状の主面は、前記基板の前記第 2 の実質的に平面状の主面に直接接触する、前記ブリッジダイと、

20

前記基板の前記第 1 の実質的に平面状の主面及び前記ブリッジダイの前記第 4 の実質的に平面状の主面を通して Z 方向に延びるシリコン貫通ビアであり、約 1.5 : 1 から約 10 : 1 の範囲のアスペクト比を有し、前記ブリッジダイの前記第 4 の実質的に平面状の主面に隣接する半田ボールに連結される、前記シリコン貫通ビアと、

前記シリコン貫通ビアに連結される電源と、

前記ブリッジダイに電氣的に連結される第 1 の電子コンポーネントと、

前記ブリッジダイに電氣的に連結される第 2 の電子コンポーネントと、

30

前記第 1 の電子コンポーネント、第 2 の電子コンポーネント、及び前記ブリッジダイを少なくとも部分的に包むオーバーモールドと、  
を備える半導体パッケージ。

【請求項 9】

前記基板は、シリコン内に拡散された導電層を含む、請求項 8 に記載の半導体パッケージ。

【請求項 10】

前記シリコン貫通ビアは、導電性材料を含む、請求項 8 又は 9 に記載の半導体パッケージ。

【請求項 11】

前記第 1 の電子コンポーネント及び前記第 2 の電子コンポーネントは、独立に、マルチダイコンポーネントパッケージ、シリコンダイ、抵抗、キャパシタ、又はインダクタを含む、請求項 8 から 10 のいずれか一項に記載の半導体パッケージ。

40

【請求項 12】

前記半田ボールの平均ピッチは、約 5  $\mu\text{m}$  から約 50  $\mu\text{m}$  の範囲内である、請求項 11 に記載の半導体パッケージ。

【請求項 13】

前記シリコン貫通ビアは、前記 Z 方向に高アスペクト比を有する、請求項 8 から 12 のいずれか一項に記載の半導体パッケージ。

【請求項 14】

50

前記アスペクト比は、約 1.5 : 1 から約 10 : 1 の範囲内である、請求項 13 に記載の半導体パッケージ。

【請求項 15】

前記基板は、キャビティを含まない、請求項 8 から 14 のいずれか一項に記載の半導体パッケージ。

【請求項 16】

半導体パッケージを形成するための方法であって、

X Y 方向に延び且つ対向する第 1 の実質的に平面状の主面及び第 2 の実質的に平面状の主面を有する基板から Z 方向に延びる複数のシリコン貫通ビアを成長させる段階と、

前記 X Y 方向に延び且つ対向する第 3 の実質的に平面状の主面及び第 4 の実質的に平面状の主面を有するブリッジダイを、前記基板の前記第 2 の実質的に平面状の主面に接触させ、それにより、前記複数のシリコン貫通ビアは、前記基板の前記第 1 の実質的に平面状の主面及び前記ブリッジダイの前記第 4 の実質的に平面状の主面を通して Z 方向に延びる、段階と、

前記複数のシリコン貫通ビア上に複数の半田ボールを成長させる段階と、

第 1 の電子コンポーネント及び第 2 の電子コンポーネントを前記複数の半田ボールに取り付ける段階と、

電源を前記複数のシリコン貫通ビアに結合する段階と、

前記半導体パッケージをオーバーモールドを用いて少なくとも部分的に封止する段階と、を備える方法。

【請求項 17】

前記複数のシリコン貫通ビアは、前記 Z 方向に高アスペクト比を有する、請求項 16 に記載の方法。

【請求項 18】

前記複数の半田ボールの平均ピッチは、約 5 μm から約 50 μm の範囲内である、請求項 17 に記載の方法。

【請求項 19】

前記基板は、キャビティを含まない、請求項 16 から 18 のいずれか一項に記載の方法。

【請求項 20】

前記基板を平坦化する段階をさらに備える、請求項 16 から 19 のいずれか一項に記載の方法。

【発明の詳細な説明】

【背景技術】

【0001】

マイクロ電子は、通常、中央処理装置 (CPU) を含む。性能を増大するために、CPU 製品は、ますます、マルチダイをサイドバイサイド又は他のマルチチップモジュール (MCM) の形で CPU パッケージに統合している。埋め込みマルチダイ相互接続ブリッジ (EMIB) は、マイクロ電子パッケージ内で複数のダイを電氣的に接続する方法である。

【図面の簡単な説明】

【0002】

図面は、概して、限定としてではなく例として、本発明の様々な例を示す。

【0003】

【図 1】 様々な例に従った、半導体パッケージアセンブリの断面図である。

【0004】

【図 2】 様々な例に従った半導体パッケージアセンブリを含むことができるシステムのシステムレベルダイヤグラムである。

【発明を実施するための形態】

【0005】

ここで、開示された主題の特定の例を詳細に参照し、それらの例は、添付図面に部分的に示されている。開示された主題は、列挙された特許請求の範囲と併せて記載されるであ

10

20

30

40

50

ろうが、例示された主題は、特許請求の範囲を開示された主題に限定することを意図しないことが理解されるであろう。

【 0 0 0 6 】

この文書全体を通して、範囲形式で表現された値は、各数値及び一部範囲が明示的に記載されるかのように、範囲の限定として明示的に記載された数値を含むだけでなく、その範囲内に包含されるすべての個々の数値又は一部範囲も含むフレキシブルな態様で解釈されるべきである。例えば、「約 0.1% から約 5%」又は「約 0.1% から 5%」の範囲は、単に約 0.1% から約 5% だけでなく、個々の値（例えば、1%、2%、3%、及び 4%）及び示された範囲内の一部範囲（例えば、0.1% から 0.5%、1.1% から 2.2%、3.3% から 4.4%）も含むものと解釈されるべきである。表現「約 X から Y」は、別段の指示がない限り、「約 X から約 Y」と同じ意味を有する。同様に、表現「約 X、Y、又は Z」は、別段の指示がない限り、「約 X、約 Y、又は約 Z」と同じ意味を有する。

10

【 0 0 0 7 】

この文書では、用語「a」、「an」、または「the」は、文脈で明確に指示されていない限り、1又は複数を含むものとして使用される。用語「又は」は、別段の指定がない限り、非排他的な「又は」を指すために使用される。表現「A及びBの少なくとも1つ」又は「A又はBの少なくとも1つ」は、「A、B、又はA及びB」と同じ意味である。加えて、本明細書で使用され、他に定義されていない表現又は用語は、説明のみを目的としており、限定を目的としていないことを理解されるべきである。節の見出しの任意の使用は、文書の読み取りを援助することを意図とし、制限として解釈されるものではない。節の見出しに関連する情報は、その特定の節の内又は外で発生し得る。

20

【 0 0 0 8 】

本明細書に記載される方法では、時間的又は動作可能なシーケンスが明示的に記載される場合を除いて、本発明の原理から逸脱することなく、動作を任意の順序で実行することができる。さらに、特定の動作は、明示的に主張する文言がそれらが別個に実行されることを述べていない限り、同時に実行されることができる。例えば、Xを実行する主張された動作とYを実行する主張された動作は、単一の工程内で同時に実行されることができ、結果として生じる処理は、主張された処理の文字範囲内に含まれるであろう。

【 0 0 0 9 】

本明細書において用いられるように用語「約」は、値又は範囲、例えば、記載された値又は記載された範囲の限定の10%以内、5%以内、又は1%以内のばらつきの程度を許容することができ、また正確に記載された値又は範囲を含む。本明細書において用いられるように用語「実質的に」は、大部分、又は少なくとも約50%、60%、70%、80%、90%、95%、96%、97%、98%、99%、99.5%、99.9%、99.99%に示すようにほとんど、又は少なくとも約99.999%又はそれより多い、又は100%を参照する。本明細書において用いられるように用語「実質的に含まない」は、何も無い、又は存在する材料の量が、材料を含む組成物の材料特性に影響を与えないように、組成物の約0wt%から約5wt%が材料であるように、又は約0wt%から約1wt%、又は約5wt%又はそれより小さい、又は約4.5wt%より小さい、等しい、又はより大きい、4、3.5、3、2.5、2、1.5、1、0.9、0.8、0.7、0.6、0.5、0.4、0.3、0.2、0.1、0.01、又は約0.001wt%又はそれより小さい、又は約0wt%であるように、取るに足りない量を有することを意味することができる。

30

40

【 0 0 1 0 】

図1は、埋め込みマルチダイ相互接続ブリッジ（EMIB（登録商標））アーキテクチャを使用する半導体デバイスの断面図である。一例では、デバイス又はパッケージ10は、機能的表面ダイ14及び16の通信経路として機能する埋め込みパターンニング又はブリッジダイ28に接続された基板12から形成される。いくつかの例では、ブリッジダイ28は、ダイ14及び16の底面に完全に接触するインターポーザを用いて置き換えられる

50

ことができる。不図示であるが、カバーは、基板 1 2 並びにダイ 1 4 及び 1 6 を包むことができる。冷却フィンのような冷却ソリューションが、カバーの上部に取り付けられることができる。具体的な例に応じて示されるように、導電性プレート、一体型ヒートスプレッド、液体冷却、ヒートパイプ、又は放射フィンのような様々な異なる冷却ソリューションが使用されてよい。代替的に、デバイスは、冷却ソリューションを用いないで、さらにはカバーを用いないで製造されてよい。

#### 【 0 0 1 1 】

デバイス基板 1 2 は、表面ダイ 1 4 及び 1 6 の間の通信をルーティングする内部低密度相互接続を含むことができる。基板 1 2 は、半導体材料（例えば、シリコン、ガリウム、インジウム、ゲルマニウム、又はそれらの変形又は組み合わせ）の埋め込みコンポーネント、及び有機系ビルドアップフィルム、FR-4 のようなガラス強化エポキシ、ポリテトラフルオロエチレン（テフロン（登録商標））、コットン紙強化エポキシ（CEM-3）、フェノールガラス（G3）、紙フェノール（FR-1 又は FR-2）、ポリエステルガラス（CEM-5）、又はプリント回路基板（PCB）において使用されることができる任意の他の誘電体層のような 1 又は複数の絶縁層を含む。基板 1 2 は、バンプレスビルドアップ層処理（BBUL）又は他の技術を使用して作製されることができる。BBUL 処理は、高密度相互接続要素又はブリッジ 2 8 又はダイ 1 4、1 6 のような要素の周囲に形成される 1 又は複数のビルドアップ層を含む。レーザードリルのようなマイクロビア形成処理は、ビルドアップ層及びダイボンパッドの間に接続を形成することができる。ビルドアップ層は、高密度統合パターンニング技術を使用して形成されてよい。

#### 【 0 0 1 2 】

デバイス 1 0 は、さらに、コア 7 2 を含むことができる。コア 7 2 は、デバイス 1 0 の様々なコンポーネントの熱膨張係数の不一致を低減するように機能することができる。コア 7 2 は、さらに、デバイス 1 0 を強化するのに役立つことができる。コア 7 2 は、多くの適当な材料又は材料の混合物を含むことができる。例えば、コア 7 2 は、有機系ビルドアップフィルム、ポリテトラフルオロエチレン（テフロン（登録商標））、コットン紙強化エポキシ（CEM-3）、紙フェノール（FR-1 又は FR-2）、又はエポキシのような誘電体有機材料を含むことができる。コア 7 2 は、ソーダ石灰ガラス、ホウケイ酸ガラス、アルミノケイ酸ガラス、アルカリホウケイ酸ガラス、アルミノホウケイ酸ガラス、アルカリアルミノケイ酸ガラス、又はそれらの混合物のようなガラスを含むこともできる。

#### 【 0 0 1 3 】

ダイ又は電子コンポーネント 1 4 及び 1 6 は、多くの種類のダイ又は電子コンポーネントであることができる。一例では、ダイ又は電子コンポーネント 1 4 及び 1 6 は、マルチダイコンポーネントパッケージ、シリコンダイ、抵抗、キャパシタ、又はインダクタであることができる。いくつかの例では、ダイ 1 4 又は 1 6 は、中央処理装置、フラッシュメモリ、無線充電器、電源管理用集積回路（PMIC）、Wi-Fi トランスミッタ、全地球測位システム、特定用途向け集積回路、送受信機、広帯域幅メモリ、IO 回路、又は NAND メモリスタックであることができる。さらなる例では、ダイ 1 4 又は 1 6 は、メモリダイであることができ、ダイ 1 6 は、中央処理装置（CPU）ダイであることができる。他の例では、ダイ 1 4 及び 1 6 の両方は、メモリダイ又は CPU ダイであることができる。ダイ 1 4 及び 1 6 は、C4 バンプ 2 4 及びビア 2 6 を通じて電源又はバス 6 0 に連結される。単一のビア 2 6 に連結された各ダイ 1 4、1 6 に対して 1 つの C4 バンプ 2 4 のみが示されるが、ダイをデバイス及び外部回路に接続するために多くのビア 2 6 を通じて連結された各ダイ 1 4、1 6 に多くの接続ポイントがあってもよい。パッケージ 1 0 全体は、プリント回路基板（PCB）に直接接続される、又は別の（PCB）のようないくつかの他のデバイスに取り付けられるソケットに連結されてよい。

#### 【 0 0 1 4 】

ダイ 1 4 及び 1 6 は、電力、接地、又は他の電気結合に使用されることができるような低密度相互接続パッドを含むことができる。低密度相互接続パッドは、電力、接地、又はデータバスのようなバス 6 0 に電氣的に連結されることができる。低密度相互接続パッド

10

20

30

40

50

は、導電接着剤（不図示）などを通じて電氣的導電性パッドに電氣的に連結されることもできる。導電接着剤は、半田（例えば、半田ペースト）、電気めっき、又はフリップデバイス相互接続（例えば、制御された崩壊デバイス接続（C4）相互接続）用に構成されたマイクロボールのようなマイクロボールであることができる。

【0015】

示されるように、ブリッジダイ28は、基板12の上部に配置される。ブリッジダイ28は、相互接続ブリッジのように知られることもできる。ブリッジダイ28は、シリコンで作られ、シリカ表面を有する。ブリッジダイ28は、バンプ30及び32を通じてCPUダイ16及びメモリダイ14に接続する。

【0016】

一例では、図1に示されるように、CPUダイ16は、埋め込みブリッジダイ28を通じてメモリ14に接続するためのメモリ14に最も近い第1相互接続エリアを有する。CPU16は、電力並びに外部データ入力及び出力のための外部ビア26と接続するための第2相互接続エリアを有する。第2相互接続エリアは、電力相互接続エリア及びデータ相互接続エリアに分割されてよい。いくつかのさらなる例では、ブリッジダイ28は、複数のブリッジダイ28のうちの1つであることができる。これらの例のいくつかでは、ブリッジダイ28は、ダイ14又は16のうちの1つに直接連結されるだけでよい。

【0017】

ブリッジダイ28は、少なくとも部分的にブリッジダイ28の上面上又は上面内にバンプ30を含む。電氣的導電性パッドは、銅、金、銀、アルミニウム、亜鉛、ニッケル、真鍮、青銅、鉄などのような導電性金属を含むことができる。

【0018】

基板12及びブリッジダイ28は、シリコン貫通ビア70を含む。シリコン貫通ビア70は、バス60からZ方向に、基板12及びブリッジダイ28を通じて延伸する。シリコン貫通ビア70は、ブリッジダイ28の対向する主面の間に完全に延伸して、バンプ30に接続することができる。シリコン貫通ビアは、銅のような任意の電氣的導電性材料を含むことができる。シリコン貫通ビア70は、実質的に円形又は多角形プロファイルを有するように成形されることができる。実質的に円形プロファイルの例は、円形又は楕円プロファイルを含むことができる。多角形プロファイルの例は、実質的に四辺形、五角形、六角形、七角形プロファイル、又は任意の他のより高次の多角形プロファイルを含むことができる。シリコン貫通ビア70は、実質的に一定の断面形状を有することができ、又はシリコン貫通ビア70がテーパ又は湾曲プロファイルを有するように変化することができる。テーパプロファイルは、砂時計形状に適合することができる。

【0019】

基板12を通じて延びた結果として、シリコン貫通ビア70は、非1:1のアスペクト比を有する。例えば、アスペクト比は、約1.5:1から約10:1、約2:1から約5:1、約1.5:1、2:1、2.5:1、3:1、3.5:1、4:1、4.5:1、5:1、5.5:1、6:1、6.5:1、7:1、7.5:1、8:1、8.5:1、9:1、9.5:1、又は約10:1より小さい、等しい、又はより大きい範囲内にあることができる。Z方向に測定されたシリコン貫通ビア70の全長は、約10µmから約50µm、から約30µm、から約40µm、約10µm、15、20、25、30、35、40、45、又は約50µmより小さい、等しい、又はより大きい範囲内にあることができる。

【0020】

シリコン貫通ビア70を含むことは、電力がバス60からブリッジダイ28を通じて直接、ダイ14及び16に供給されることが可能にする。電力は、さらに、シリコンビア26を通じてダイ14及び16に直接ルーティングされることができる。しかし、シリコン貫通ビア70によるブリッジダイ28への電力の直接ルーティングは、ブリッジダイ28に電力を供給するためにビア26を湾曲又は撓める必要がないという追加の利点を有することができる。これは、パッケージ10のZ方向の全体高さを低減することができる。さ

10

20

30

40

50

らに、ブリッジダイ 28 を基板 12 上に直接配置することは、基板 12 にキャビティを形成する必要をなくし、故にパッケージ 10 を組み立てるために必要とされる製造プロセスを簡略化する。

#### 【0021】

一例では、誘電体層 50 は、ブリッジダイ 28 及び基板 12 の上に形成されることができる。誘電体層 50 は、ブリッジの配置及び埋め込みにおける寸法変形を可能にし、相互接続エリアのすべてを電氣的に分離する。誘電体層 50 は、ビスフェノール A、エポキシ樹脂、ビスフェノール F エポキシ樹脂、ノボラックエポキシ樹脂、脂肪族エポキシ樹脂、グリシジルアミンエポキシ樹脂、及びグリシジルアミンエポキシ樹脂のようなエポキシ系樹脂、又は 1 又は複数の末端エポキシ基を含む任意の他の樹脂から形成されることができる。いくつかの例では、誘電体層 50 は、約 5 ミクロンから約 50 ミクロン、又は約 15 ミクロンから 45 ミクロン、又は 20 ミクロンから 35 ミクロン又は約 30 ミクロン、又は約 15 ミクロン、20 ミクロン、25 ミクロン、30 ミクロン、35 ミクロン、40 ミクロン、又は 45 ミクロンより小さい、等しい、又はより大きい範囲の厚さを有する 1 つの層を含む。

10

#### 【0022】

誘電体層 50 の表面及びブリッジダイ 28 の表面は、界面 52 で接合される。誘電体層 50 は、エポキシ系樹脂から形成されることができ、ブリッジダイ 28 は、シリコンから形成されることができ、シリカ表面を有する。故に、界面 52 は、2 つの異なる材料から形成されることができる。誘電体層 50 及びブリッジダイ 28 を付着するために、接着促進層が、界面 52 に適用されることができる。界面は、有機基及び 3 つのヒドロキシル基に接合されたシリコン原子を含む複数のシラン系接着促進分子から形成されることができる接着促進層を含むことができる。

20

#### 【0023】

本発明のいくつかの例では、誘電体層 50 は、複数の材料層から形成されることができる。例えば、誘電体層 50 は、上述のようにエポキシ樹脂のベース層又は他の誘電体層から形成されることができ、ベース層に接合されるエポキシ系樹脂の第 2 層をさらに含むことができる。エポキシ系樹脂の第 2 層は、約 1 ミクロンから約 5 ミクロン、又は約 2 ミクロンから約 4 ミクロン、又は約 1.2 ミクロン、1.4 ミクロン、1.6 ミクロン、1.8 ミクロン、2.0 ミクロン、2.2 ミクロン、2.4 ミクロン、2.6 ミクロン、2.8 ミクロン、3.0 ミクロン、3.2 ミクロン、3.4 ミクロン、3.6 ミクロン、3.8 ミクロン、4 ミクロン、4.2 ミクロン、4.4 ミクロン、4.6 ミクロン、又は 4.8 ミクロンより小さい、等しい、又はより大きい範囲の厚さを有することができる。いくつかの例では、接着促進分子は、誘電体層 50 をブリッジダイ 28 上に積層する前に、エポキシ系樹脂の第 2 層に接合されることができる。この態様では、エポキシ系樹脂の第 2 層は、誘電体層 50 及びブリッジダイ 28 の間の接着のためのプライマ層として機能する。

30

#### 【0024】

半導体パッケージ 10 は、任意の適切な方法に従って形成されることができる。適切な方法の例として、複数の穴は、レーザエッチングにより基板 12 に形成されることができる。シリコン貫通ビア 70 は、穴を通じてバス 60 から所望の長さに鉛直に成長されることができる。基板 12 から延びるシリコン貫通ビア 70 の一部は、誘電材料内に封止され、平坦化されてシリコン貫通ビア 70 の上部を露出させることができ、半田ボール 32 がそこに成長されることができる。誘電材料の一部は、エッチング除去されることができ、ブリッジダイ 28 は、そこを貫通して延びるシリコン貫通ビア 70 を用いてエッチング部分に配置されることができる。そして、ダイ 14 及び 16 は、半田ボール 32 に取り付けられることができる。そして、アセンブリは、少なくとも部分的にオーバーモールド材料内に封止されることができ、ヒートスプレッドのような任意選択の要素をモールドに取り付けられることができる。

40

#### 【0025】

半導体デバイス 10 は、多くの異なる電子デバイスに組み込まれることができる。EM

50

IB（登録商標）は、デバイス10を組み込んだそのような技術の1つであり、超高密度相互接続を通じて異なるコンポーネントを1つのパッケージに統合する。図2は、本発明の例に係るシステムレベルダイヤグラムを示す。例えば、図2は、ICパッケージアセンブリ200を含む電子デバイス（例えば、システム）の例を示す。図2は、本発明の主題のためのより高いレベルのデバイスアプリケーションの例を示すために含まれる。一例では、システム200は、これに限定されないが、デスクトップコンピュータ、ラップトップコンピュータ、ネットブック、タブレット、ノートブックコンピュータ、携帯情報端末（PDA）、サーバ、ワークステーション、携帯電話、モバイルコンピューティングデバイス、スマートフォン、インターネット家電機器、又は任意の他のタイプのコンピューティングデバイスを含む。いくつかの例では、システム200は、システムオンチップ（SOC）システムである。

10

#### 【0026】

一例では、プロセッサ210は、1又は複数の処理コア212及び212Nを有し、212Nは、プロセッサ210内のN番目のプロセッサコアを表し、Nは正の整数である。一例では、システム200は、210及び205を含む複数のプロセッサを含み、プロセッサ205は、プロセッサ210のロジックと同様又は同一のロジックを有する。いくつかの例では、処理コア212は、これに限定されないが、命令をフェッチするプリフェッチロジック、命令をデコードするデコードロジック、命令を実行する実行ロジックなどを含む。いくつかの例では、プロセッサ210は、システム200に対する命令及び/又はデータをキャッシュするキャッシュメモリ216を有する。キャッシュメモリ216は、1又は複数のレベルのキャッシュメモリを含む階層構造に構成されてよい。

20

#### 【0027】

いくつかの例では、プロセッサ210は、プロセッサ210が揮発性メモリ232及び/又は不揮発性メモリ234を含むメモリ230にアクセスして通信することを可能にする機能を実行するように動作可能なメモリコントローラ214を含む。いくつかの例では、プロセッサ210は、メモリ230及びチップセット220に連結される。プロセッサ210は、無線信号を送信及び/又は受信するように構成された任意のデバイスと通信するために無線アンテナ278に連結されてもよい。一例では、無線アンテナ278は、これに限定されないが、IEEE802.11規格及びその関連ファミリー、HomePlug AV（HPAV）、超広帯域無線システム（UWB）、Bluetooth（登録商標）、WiMAX（登録商標）、又は任意の形態の無線通信プロトコルに従って動作する。

30

#### 【0028】

いくつかの例では、揮発性メモリ232は、これに限定されないが、シンクロナスダイナミックランダムアクセスメモリ（SDRAM）、ダイナミックランダムアクセスメモリ（DRAM）、ラムバスダイナミックランダムアクセスメモリ（RDRAM）、及び/又は任意の他のタイプのランダムアクセスメモリデバイスを含む。不揮発性メモリ234は、これに限定されないが、フラッシュメモリ、相変化メモリ（PCM）、リードオンリメモリ（ROM）、電氣的消去可能なプログラマブルリードオンリメモリ（EEPROM）、又は任意の他のタイプの不揮発性メモリデバイスを含む。

#### 【0029】

メモリ230は、情報及びプロセッサ210により実行される命令を格納する。一例では、プロセッサ210が命令を実行している間に、メモリ230は、一時的変数又は他の中間情報を格納してもよい。示された例では、チップセット220は、ポイントツーポイント（PtP又はP-P）インタフェース217及び222を介してプロセッサ210と接続する。チップセット220は、プロセッサ210がシステム200内の他の要素に接続することを可能にする。本発明のいくつかの例では、インタフェース217及び222は、Intel（登録商標）QuickPath相互接続（QPI）などのようなPtP通信プロトコルに従って動作する。他の例では、異なる相互接続が使用されてよい。

40

#### 【0030】

いくつかの例では、チップセット220は、プロセッサ210、205N、ディスプレ

50

イデバイス 240、及び他のデバイス 272、276、274、260、262、264、266、277 などと通信するよう動作可能である。チップセット 220 は、無線信号を送信及び/又は受信するように構成された任意のデバイスと通信するために無線アンテナ 278 に連結されてもよい。

#### 【0031】

チップセット 220 は、インタフェース 226 を介してディスプレイデバイス 240 に接続される。ディスプレイデバイス 240 は、例えば、液晶ディスプレイ (LCD)、プラズマディスプレイ、ブラウン管 (CRT) ディスプレイ、又は任意の他の形態の視覚ディスプレイデバイスであってよい。本発明のいくつかの例では、プロセッサ 210 及びチップセット 220 は、単一の SOC に一体化される。加えて、チップセット 220 は、様々な要素 274、260、262、264、及び 266 を相互接続する 1 又は複数のバス 250 及び 255 に接続する。バス 250 及び 255 は、バスブリッジ 272 を介して一緒に相互接続されてよい。一例では、チップセット 220 は、インタフェース 224 及び/又は 226、スマートテレビ 276、家庭用電気機械器具 277などを介して、不揮発性メモリ 260、大容量記憶デバイス (複数可) 262、キーボード/マウス 264、及びネットワークインタフェース 266 と結合する。

#### 【0032】

一例では、大容量記憶デバイス 262 は、これに限定されないが、ソリッドステートドライブ、ハードディスクドライブ、ユニバーサルシリアルバスフラッシュメモリドライブ、又は任意の他の形態のコンピュータデータストレージ媒体を含む。一例では、ネットワークインタフェース 266 は、限定されるものではないが、Ethernet (登録商標) インタフェース、ユニバーサルシリアルバス (USB) インタフェース、ペリフェラルコンポーネントインターコネク (PCI) エクスプレスインタフェース、無線インタフェース、及び/又は任意の他の好適な種類のインタフェースを含む任意の種類の十分知られたネットワークインタフェース規格によって実装される。一例では、無線インタフェースは、これに限定されないが、IEEE 802.11 規格及びその関連ファミリ、Home Plug AV (HPAV)、超広帯域無線システム (UWB)、Bluetooth (登録商標)、WiMAX (登録商標)、又は任意の形態の無線通信プロトコルに従って動作する。

#### 【0033】

図 2 に示されるモジュールは、システム 200 内に別個のブロックとして図示されるが、これらのブロックのいくつかにより実行される機能は、単一の半導体回路内に集積されてよく、2 又はそれより多い別個の集積回路を使用して実装されてよい。例えば、キャッシュメモリ 216 がプロセッサ 210 内に別個のブロックとして図示されるが、キャッシュメモリ 216 (又はキャッシュメモリ 216 の選択された態様) は、処理コア 212 に組み込まれてよい。 [例示的な例]

#### 【0034】

以下の例示的な例が提供され、その符号は、重要レベルを指定するものとして解釈されるべきではない。

#### 【0035】

例 1 は、XY 方向に延びる第 1 及び第 2 の対向する実質的に平面状の主面を有する基板と、前記 XY 方向に延びる第 3 及び第 4 の対向する実質的に平面状の主面を有するブリッジダイであり、前記ブリッジダイの前記第 3 の実質的に平面状の主面は、前記基板の前記第 2 の実質的に平面状の主面に直接接触する、前記ブリッジダイと、前記基板の前記第 1 の実質的に平面状の主面及び前記ブリッジダイの前記第 4 の実質的に平面状の主面を通して Z 方向に延びるシリコン貫通ビアと、前記シリコン貫通ビアに連結される電源と、少なくとも 1 つは前記ブリッジダイに電氣的に連結される第 1 の電子コンポーネント及び第 2 の電子コンポーネントと、前記第 1 の電子コンポーネント、第 2 の電子コンポーネント、及び前記ブリッジダイを少なくとも部分的に包むオーバーモールドと、を備える半導体パッケージを提供する。

10

20

30

40

50

## 【 0 0 3 6 】

例 2 は、前記基板は、シリコン内に拡散された導電層を含む、例 1 に記載の半導体パッケージを提供する。

## 【 0 0 3 7 】

例 3 は、前記シリコン貫通ビアは、導電性材料を含む、例 1 又は 2 のいずれか 1 つに記載の半導体パッケージを提供する。

## 【 0 0 3 8 】

例 4 は、前記導電性材料は銅である、例 3 に記載の半導体パッケージを提供する。

## 【 0 0 3 9 】

例 5 は、前記シリコン貫通ビアは、多角形プロファイルを含む、例 1 から 4 のいずれか 1 つの半導体パッケージを提供する。

10

## 【 0 0 4 0 】

例 6 は、前記多角形プロファイルは、実質的に円形、実質的に楕円、実質的に正方形、又は実質的に長方形である、例 5 の半導体パッケージを提供する。

## 【 0 0 4 1 】

例 7 は、前記第 1 及び第 2 の電子コンポーネントは、独立に、マルチダイコンポーネントパッケージ、シリコンダイ、抵抗、キャパシタ、又はインダクタを含む、例 1 から 6 のいずれか 1 つの半導体パッケージを提供する。

## 【 0 0 4 2 】

例 8 は、前記マルチダイコンポーネントパッケージは、NANDメモリストックである、例 7 の半導体パッケージを提供する。

20

## 【 0 0 4 3 】

例 9 は、前記シリコンダイは、中央処理装置、フラッシュメモリ、無線充電器、電源管理用集積回路 (PMIC)、Wi-Fi トランスミッタ、全地球測位システム、特定用途向け集積回路、又は NANDメモリストックを含む、例 7 又は 8 のいずれか 1 つの半導体パッケージを提供する。

## 【 0 0 4 4 】

例 10 は、前記基板の前記第 4 の主面並びに前記第 1 及び第 2 の電子コンポーネントに取り付けられる複数の半田ボールをさらに備える、例 1 から 9 のいずれか 1 つの半導体パッケージを提供する。

30

## 【 0 0 4 5 】

例 11 は、前記半田ボールの平均ピッチは、約 5  $\mu\text{m}$  から約 50  $\mu\text{m}$  の範囲内である、例 10 の半導体パッケージを提供する。

## 【 0 0 4 6 】

例 12 は、前記半田ボールの平均ピッチは、約 20  $\mu\text{m}$  から約 40  $\mu\text{m}$  の範囲内である、例 10 の半導体パッケージを提供する。

## 【 0 0 4 7 】

例 13 は、前記シリコン貫通ビアの高さは、約 10  $\mu\text{m}$  から約 50  $\mu\text{m}$  の範囲内である、例 1 から 12 のいずれか 1 つの半導体パッケージを提供する。

## 【 0 0 4 8 】

例 14 は、前記シリコン貫通ビアの高さは、約 30  $\mu\text{m}$  から約 40  $\mu\text{m}$  の範囲内である、例 1 から 13 のいずれか 1 つの半導体パッケージを提供する。

40

## 【 0 0 4 9 】

例 15 は、前記シリコン貫通ビアは、シリコン貫通ビアであり、前記埋め込みダイの前記第 4 の主面に隣接する半田ボールに連結される、例 1 から 14 のいずれか 1 つの半導体パッケージを提供する。

## 【 0 0 5 0 】

例 16 は、前記シリコン貫通ビアは、前記 Z 方向に高アスペクト比を有する、例 1 から 15 のいずれか 1 つの半導体パッケージを提供する。

## 【 0 0 5 1 】

50

例 17 は、前記アスペクト比は、約 1.5 : 1 から約 10 : 1 の範囲内である、例 16 の半導体パッケージを提供する。

【0052】

例 18 は、前記アスペクト比は、約 2 : 1 から約 5 : 1 の範囲内である、例 16 又は 17 のいずれか 1 つの半導体パッケージを提供する。

【0053】

例 19 は、前記基板の厚さは、前記 X Y 方向において実質的に一定である、例 1 から 18 のいずれか 1 つの半導体パッケージを提供する。

【0054】

例 20 は、前記基板は、キャピティを含まない、例 1 から 19 のいずれか 1 つの半導体パッケージを提供する。

10

【0055】

例 21 は、さらに、有機材料、ガラス材料、又はそれらの両方を含む前記基板に取り付けられたコアを備える、例 1 から 20 のいずれか 1 つの半導体パッケージを提供する。

【0056】

例 22 は、X Y 方向に延びる第 1 及び第 2 の対向する実質的に平面状の主面を有する基板と、前記 X Y 方向に延びる第 3 及び第 4 の対向する実質的に平面状の主面を有するブリッジダイであり、前記ブリッジダイの前記第 3 の実質的に平面状の主面は、前記基板の前記第 2 の実質的に平面状の主面に直接接触する、前記ブリッジダイと、前記基板の前記第 1 の実質的に平面状の主面及び前記ブリッジダイの前記第 4 の実質的に平面状の主面を  
通って Z 方向に延びるシリコン貫通ビアであり、約 1.5 : 1 から約 10 : 1 の範囲のアスペクト比を有し、前記埋め込みダイの前記第 4 の主面に隣接する半田ボールに連結される、前記シリコン貫通ビアと、前記シリコン貫通ビアに連結される電源と、前記ブリッジダイに電氣的に連結される第 1 の電子コンポーネントと、前記ブリッジダイに電氣的に連結される第 2 の電子コンポーネントと、前記第 1 の電子コンポーネント、第 2 の電子コンポーネント、及び前記ブリッジダイを少なくとも部分的に包むオーバーモールドと、を備える半導体パッケージを提供する。

20

【0057】

例 23 は、前記基板は、シリコン内に拡散された導電層を含む、例 22 に記載の半導体パッケージを提供する。

30

【0058】

例 24 は、前記シリコン貫通ビアは、導電性材料を含む、例 22 又は 23 のいずれか 1 つの半導体パッケージを提供する。

【0059】

例 25 は、前記導電性材料は銅である、例 24 の半導体パッケージを提供する。

【0060】

例 26 は、前記シリコン貫通ビアは、多角形プロファイルを含む、例 22 から 25 のいずれか 1 つの半導体パッケージを提供する。

【0061】

例 27 は、前記多角形プロファイルは、実質的に円形、実質的に楕円、実質的に正方形、又は実質的に長方形である、例 26 の半導体パッケージを提供する。

40

【0062】

例 28 は、前記第 1 及び第 2 の電子コンポーネントは、独立に、マルチダイコンポーネントパッケージ、シリコンダイ、抵抗、キャパシタ、及びインダクタを含む、例 22 から 27 のいずれか 1 つの半導体パッケージを提供する。

【0063】

例 29 は、前記マルチダイコンポーネントパッケージは、NANDメモリストックである、例 28 の半導体パッケージを提供する。

【0064】

例 30 は、前記シリコンダイは、中央処理装置、フラッシュメモリ、無線充電器、電源

50

管理用集積回路 ( P M I C )、 W i - F i トランスミッタ、全地球測位システム、特定用途向け集積回路、又は N A N D メモリスタックを含む、例 2 8 又は 2 9 のいずれか 1 つの半導体パッケージを提供する。

【 0 0 6 5 】

例 3 1 は、前記基板の前記第 4 の主面及び前記第 1 及び第 2 の電子コンポーネントに取り付けられる複数の半田ボールをさらに備える、例 2 2 から 3 0 のいずれか 1 つの半導体パッケージを提供する。

【 0 0 6 6 】

例 3 2 は、前記半田ボールの平均ピッチは、約 5  $\mu$  m から約 5 0  $\mu$  m の範囲内である、例 3 1 の半導体パッケージを提供する。

10

【 0 0 6 7 】

例 3 3 は、前記半田ボールの平均ピッチは、約 2 0  $\mu$  m から約 4 0  $\mu$  m の範囲内である、例 3 1 の半導体パッケージを提供する。

【 0 0 6 8 】

例 3 4 は、前記シリコン貫通ビアの高さは、約 1 0  $\mu$  m から約 5 0  $\mu$  m の範囲内である、例 2 2 から 3 3 のいずれか 1 つの半導体パッケージを提供する。

【 0 0 6 9 】

例 3 5 は、前記シリコン貫通ビアの高さは、約 3 0  $\mu$  m から約 4 0  $\mu$  m の範囲内である、例 2 2 から 3 4 のいずれか 1 つの半導体パッケージを提供する。

【 0 0 7 0 】

例 3 6 は、前記シリコン貫通ビアは、シリコン貫通ビアであり、前記埋め込みダイの前記第 4 の主面に隣接する半田ボールに連結される、例 2 2 から 3 5 のいずれか 1 つの半導体パッケージを提供する。

20

【 0 0 7 1 】

例 3 7 は、前記シリコン貫通ビアは、前記 Z 方向に高アスペクト比を有する、例 2 2 から 3 6 のいずれか 1 つの半導体パッケージを提供する。

【 0 0 7 2 】

例 3 8 は、前記アスペクト比は、約 1 . 5 : 1 から約 1 0 : 1 の範囲内である、例 3 7 の半導体パッケージを提供する。

【 0 0 7 3 】

例 3 9 は、前記アスペクト比は、約 2 : 1 から約 5 : 1 の範囲内である、例 3 7 の半導体パッケージを提供する。

30

【 0 0 7 4 】

例 4 0 は、前記基板の厚さは、前記 X Y 方向において実質的に一定である、例 2 2 から 3 9 のいずれか 1 つの半導体パッケージを提供する。

【 0 0 7 5 】

例 4 1 は、前記埋め込みダイの厚さは、前記 X Y 方向において実質的に一定である、例 2 2 から 4 0 のいずれか 1 つの半導体パッケージを提供する。

【 0 0 7 6 】

例 4 2 は、前記基板は、キャビティを含まない、例 2 2 から 4 1 のいずれか 1 つの半導体パッケージを提供する。

40

【 0 0 7 7 】

例 4 3 は、X Y 方向に延びる第 1 及び第 2 の対向する実質的に平面状の主面を有する基板から Z 方向に延びる複数のシリコン貫通ビアを成長させる段階と、前記 X Y 方向に延びる第 3 及び第 4 の対向する実質的に平面状の主面を有するブリッジダイを、前記基板の前記第 2 の実質的に平面状の主面に接触させ、それにより、前記複数のシリコン貫通ビアは、前記基板の前記第 1 の実質的に平面状の主面及び前記ブリッジダイの前記第 4 の実質的に平面状の主面を通して Z 方向に延びる、段階と、前記複数のシリコン貫通ビア上に複数の半田ボールを成長させる段階と、第 1 の電子コンポーネント及び第 2 の電子コンポーネントを前記半田ボールに取り付ける段階と、電源を前記複数のシリコン貫通ビアに結合す

50

る段階と、前記半導体パッケージをオーバーモールドを用いて少なくとも部分的に封止する段階と、を備える、例 1 から 4 2 のいずれか 1 つの半導体パッケージの形成方法を提供する。

【 0 0 7 8 】

例 4 4 は、前記基板は、シリコン内に拡散された導電層を含む、例 4 3 に記載の方法を提供する。

【 0 0 7 9 】

例 4 5 は、前記シリコン貫通ビアは、導電性材料を含む、例 4 3 又は 4 4 のいずれか 1 つの方法を提供する。

【 0 0 8 0 】

例 4 6 は、前記導電性材料は銅である、例 4 5 の方法を提供する。

【 0 0 8 1 】

例 4 7 は、前記シリコン貫通ビアは、多角形プロファイルを含む、例 4 3 から 4 6 のいずれか 1 つの方法を提供する。

【 0 0 8 2 】

例 4 8 は、前記多角形プロファイルは、実質的に円形、実質的に楕円、実質的に正方形、又は実質的に長方形である、例 4 7 の方法を提供する。

【 0 0 8 3 】

例 4 9 は、前記第 1 及び第 2 の電子コンポーネントは、独立に、マルチダイコンポーネントパッケージ、シリコンダイ、抵抗、キャパシタ、及びインダクタを含む、例 4 3 から 4 8 のいずれか 1 つの方法を提供する。

【 0 0 8 4 】

例 5 0 は、前記マルチダイコンポーネントパッケージは、NANDメモリストックである、例 4 9 の方法を提供する。

【 0 0 8 5 】

例 5 1 は、前記シリコンダイは、中央処理装置、フラッシュメモリ、無線充電器、電源管理用集積回路 (PMIC)、Wi-Fiトランスミッタ、全地球測位システム、特定用途向け集積回路、又はNANDメモリストックを含む、例 4 9 又は 5 0 のいずれか 1 つの方法を提供する。

【 0 0 8 6 】

例 5 2 は、前記基板の前記第 4 の主面及び前記第 1 及び第 2 の電子コンポーネントに取り付けられる複数の半田ボールをさらに備える、例 4 3 から 5 1 のいずれか 1 つの方法を提供する。

【 0 0 8 7 】

例 5 3 は、前記半田ボールの平均ピッチは、約  $5 \mu\text{m}$  から約  $50 \mu\text{m}$  の範囲内である、例 5 2 の方法を提供する。

【 0 0 8 8 】

例 5 4 は、前記半田ボールの平均ピッチは、約  $20 \mu\text{m}$  から約  $40 \mu\text{m}$  の範囲内である、例 5 2 の方法を提供する。

【 0 0 8 9 】

例 5 5 は、前記シリコン貫通ビアの高さは、約  $10 \mu\text{m}$  から約  $50 \mu\text{m}$  の範囲内である、例 4 3 から 5 4 のいずれか 1 つの方法を提供する。

【 0 0 9 0 】

例 5 6 は、前記シリコン貫通ビアの高さは、約  $30 \mu\text{m}$  から約  $40 \mu\text{m}$  の範囲内である、例 4 3 から 5 5 のいずれか 1 つの方法を提供する。

【 0 0 9 1 】

例 5 7 は、前記シリコン貫通ビアは、シリコン貫通ビアであり、前記埋め込みダイの前記第 4 の主面に隣接する半田ボールに連結される、例 4 3 から 5 6 のいずれか 1 つの方法を提供する。

【 0 0 9 2 】

10

20

30

40

50

例 5 8 は、前記シリコン貫通ビアは、前記 Z 方向に高アスペクト比を有する、例 4 3 から 5 7 のいずれか 1 つの方法を提供する。

【 0 0 9 3 】

例 5 9 は、前記アスペクト比は、約 1 . 5 : 1 から約 1 0 : 1 の範囲内である、例 5 8 の方法を提供する。

【 0 0 9 4 】

例 6 0 は、前記アスペクト比は、約 2 : 1 から約 5 : 1 の範囲内である、例 5 8 の方法を提供する。

【 0 0 9 5 】

例 6 1 は、前記基板の厚さは、前記 X Y 方向において実質的に一定である、例 4 3 から 6 0 のいずれか 1 つの方法を提供する。

【 0 0 9 6 】

例 6 2 は、前記埋め込みダイの厚さは、前記 X Y 方向において実質的に一定である、例 4 3 から 6 1 のいずれか 1 つの方法を提供する。

【 0 0 9 7 】

例 6 3 は、前記基板は、キャビティを含まない、例 4 3 から 6 2 のいずれか 1 つの方法を提供する。

【 0 0 9 8 】

例 6 4 は、さらに、前記基板を平坦化する段階を備える、例 4 3 から 6 3 のいずれか 1 つの方法を提供する。

【 0 0 9 9 】

本明細書によれば、以下の各項目に記載の構成もまた開示される。 [ 項目 1 ] X Y 方向に延びる第 1 及び第 2 の対向する実質的に平面状の主面を有する基板と、前記 X Y 方向に延びる第 3 及び第 4 の対向する実質的に平面状の主面を有するブリッジダイであり、前記ブリッジダイの前記第 3 の実質的に平面状の主面は、前記基板の前記第 2 の実質的に平面状の主面に直接接触する、前記ブリッジダイと、前記基板の前記第 1 の実質的に平面状の主面及び前記ブリッジダイの前記第 4 の実質的に平面状の主面を通して Z 方向に延びるシリコン貫通ビアと、前記シリコン貫通ビアに連結される電源と、少なくとも 1 つは前記ブリッジダイに電気的に連結される第 1 の電子コンポーネント及び第 2 の電子コンポーネントと、前記第 1 の電子コンポーネント、第 2 の電子コンポーネント、及び前記ブリッジダイを少なくとも部分的に包むオーバーモールドと、を備える半導体パッケージ。

[ 項目 2 ]

前記基板は、シリコン内に拡散された導電層を含む、項目 1 に記載の半導体パッケージ。

[ 項目 3 ]

前記シリコン貫通ビアは、導電性材料を含む、項目 1 に記載の半導体パッケージ。

[ 項目 4 ]

前記第 1 及び第 2 の電子コンポーネントは、独立に、マルチダイコンポーネントパッケージ、シリコンダイ、抵抗、キャパシタ、及びインダクタを含む、項目 1 に記載の半導体パッケージ。

[ 項目 5 ]

前記基板の前記第 4 の主面及び前記第 1 及び第 2 の電子コンポーネントに取り付けられる複数の半田ボールをさらに備える、項目 1 に記載の半導体パッケージ。

[ 項目 6 ]

前記半田ボールの平均ピッチは、約 5  $\mu\text{m}$  から約 5 0  $\mu\text{m}$  の範囲内である、項目 5 に記載の半導体パッケージ。

[ 項目 7 ]

前記シリコン貫通ビアの高さは、約 1 0  $\mu\text{m}$  から約 5 0  $\mu\text{m}$  の範囲内である、項目 1 に記載の半導体パッケージ。

[ 項目 8 ]

X Y 方向に延びる第 1 及び第 2 の対向する実質的に平面状の主面を有する基板と、前記

10

20

30

40

50

X Y 方向に延びる第 3 及び第 4 の対向する実質的に平面状の主面を有するブリッジダイであり、前記ブリッジダイの前記第 3 の実質的に平面状の主面は、前記基板の前記第 2 の実質的に平面状の主面に直接接触する、前記ブリッジダイと、前記基板の前記第 1 の実質的に平面状の主面及び前記ブリッジダイの前記第 4 の実質的に平面状の主面を通して Z 方向に延びるシリコン貫通ビアであり、約 1 . 5 : 1 から約 1 0 : 1 の範囲のアスペクト比を有し、前記埋め込みダイの前記第 4 の主面に隣接する半田ボールに連結される、前記シリコン貫通ビアと、前記シリコン貫通ビアに連結される電源と、前記ブリッジダイに電氣的に連結される第 1 の電子コンポーネントと、前記ブリッジダイに電氣的に連結される第 2 の電子コンポーネントと、前記第 1 の電子コンポーネント、第 2 の電子コンポーネント、及び前記ブリッジダイを少なくとも部分的に包むオーバーモールドと、を備える半導体パッケージ。

10

[ 項目 9 ]

前記基板は、シリコン内に拡散された導電層を含む、項目 8 に記載の半導体パッケージ。

[ 項目 1 0 ]

前記シリコン貫通ビアは、導電性材料を含む、項目 8 に記載の半導体パッケージ。

[ 項目 1 1 ]

前記第 1 及び第 2 の電子コンポーネントは、独立に、マルチダイコンポーネントパッケージ、シリコンダイ、抵抗、キャパシタ、及びインダクタを含む、項目 8 に記載の半導体パッケージ。

[ 項目 1 2 ]

前記半田ボールの平均ピッチは、約 5  $\mu$  m から約 5 0  $\mu$  m の範囲内である、項目 1 1 に記載の半導体パッケージ。

20

[ 項目 1 3 ]

前記シリコン貫通ビアは、前記 Z 方向に高アスペクト比を有する、項目 8 に記載の半導体パッケージ。

[ 項目 1 4 ]

前記アスペクト比は、約 1 . 5 : 1 から約 1 0 : 1 の範囲内である、項目 1 3 に記載の半導体パッケージ。

[ 項目 1 5 ]

前記基板は、キャビティを含まない、項目 8 に記載の半導体パッケージ。

30

[ 項目 1 6 ]

半導体パッケージを形成するための方法であって、X Y 方向に延びる第 1 及び第 2 の対向する実質的に平面状の主面を有する基板から Z 方向に延びる複数のシリコン貫通ビアを成長させる段階と、前記 X Y 方向に延びる第 3 及び第 4 の対向する実質的に平面状の主面を有するブリッジダイを、前記基板の前記第 2 の実質的に平面状の主面に接触させ、それにより、前記複数のシリコン貫通ビアは、前記基板の前記第 1 の実質的に平面状の主面及び前記ブリッジダイの前記第 4 の実質的に平面状の主面を通して Z 方向に延びる、段階と、前記複数のシリコン貫通ビア上に複数の半田ボールを成長させる段階と、第 1 の電子コンポーネント及び第 2 の電子コンポーネントを前記半田ボールに取り付ける段階と、電源を前記複数のシリコン貫通ビアに結合する段階と、前記半導体パッケージをオーバーモールドを用いて少なくとも部分的に封止する段階と、を備える方法。

40

[ 項目 1 7 ]

前記シリコン貫通ビアは、前記 Z 方向に高アスペクト比を有する、項目 1 6 に記載の方法。

[ 項目 1 8 ]

前記半田ボールの平均ピッチは、約 5  $\mu$  m から約 5 0  $\mu$  m の範囲内である、項目 1 7 に記載の方法。

[ 項目 1 9 ]

前記基板は、キャビティを含まない、項目 1 6 に記載の方法。

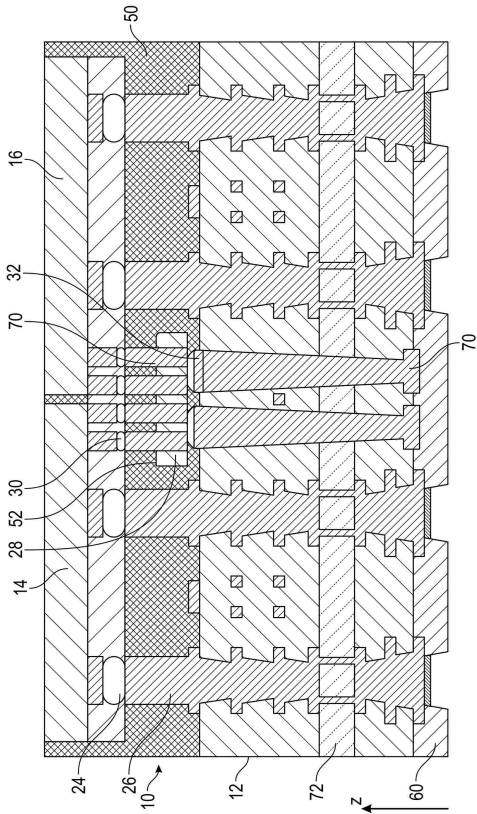
[ 項目 2 0 ]

50

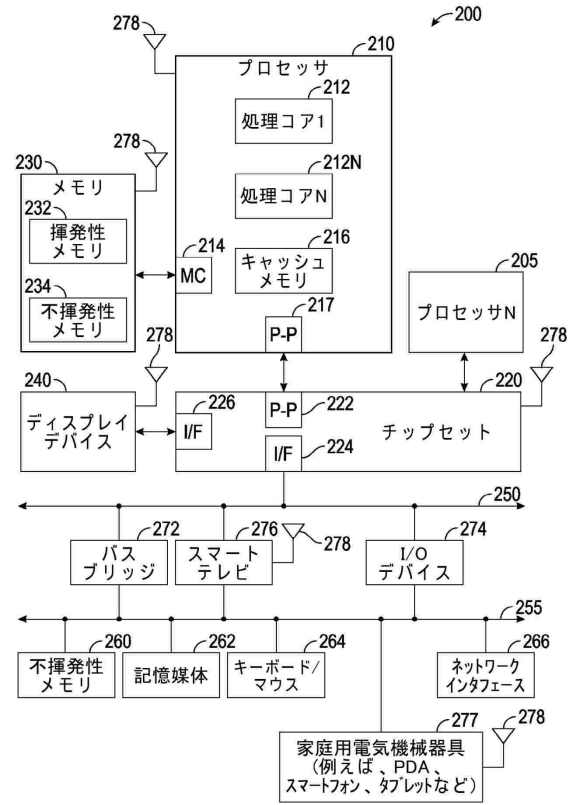
前記基板を平坦化する段階をさらに備える、項目 1 6 に記載の方法。

【図面】

【図 1】



【図 2】



10

20

30

40

50

---

フロントページの続き

(51)国際特許分類

F I

**H 0 1 L 25/18 (2023.01)**

レッジ ブレーバード・2200 インテル・コーポレーション内

(72)発明者 スリ チャイトラ ジョスナ チャヴァリ

アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブレーバード・2200 インテル・コーポレーション内

審査官 清水 稔

(56)参考文献

米国特許出願公開第2010/0187681(US, A1)

米国特許出願公開第2018/0138146(US, A1)

米国特許出願公開第2019/0312019(US, A1)

特表2018-523925(JP, A)

特開2019-125779(JP, A)

特表2017-505539(JP, A)

国際公開第2017/111957(WO, A1)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 23/12

H 0 1 L 23/29

H 0 1 L 25/07