

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年12月23日(23.12.2021)



(10) 国際公開番号

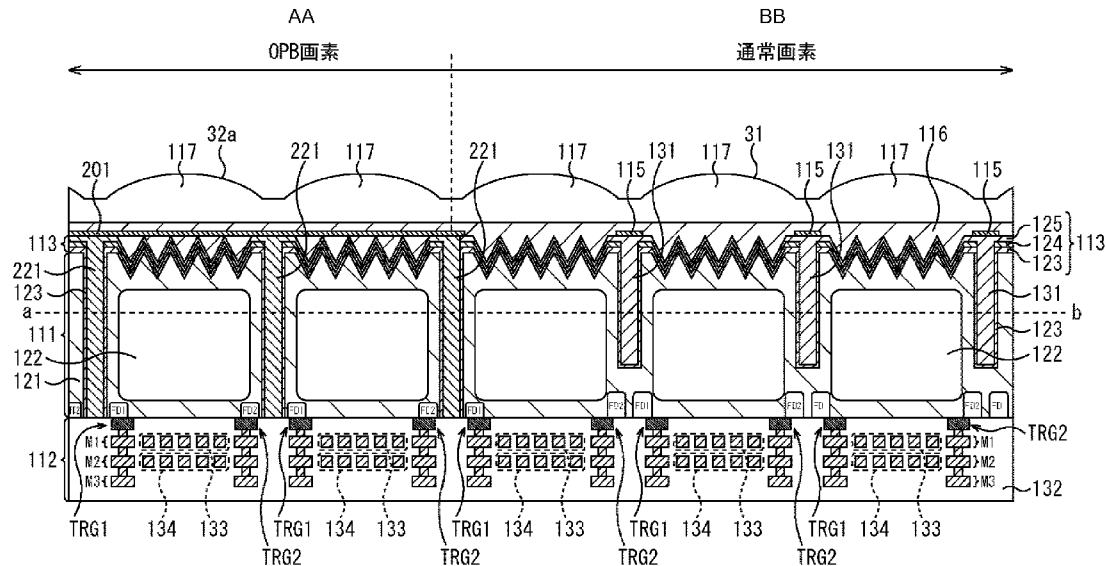
WO 2021/256261 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/369* (2011.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2021/020996 (72) 発明者: 佐藤 正隆(SATO Masataka); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (22) 国際出願日: 2021年6月2日(02.06.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-103745 2020年6月16日(16.06.2020) JP (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: IMAGING ELEMENT AND ELECTRONIC APPARATUS

(54) 発明の名称: 撮像素子、電子機器

[図13]



AA OPB pixels
BB Normal pixels

(57) Abstract: The present technology relates to an imaging element and an electronic apparatus which are capable of suppressing entry of leakage light into an adjacent pixel. The imaging element is provided with: a semiconductor layer in which a first pixel from which a pixel signal for use in image generation is read and a second pixel from which a pixel signal not for use in image generation is read are disposed; and a wiring layer stacked on the semiconductor layer. The first pixel and the second pixel have different structures. The imaging element is further provided with a first interpixel

[続葉有]

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

isolation portion isolating the semiconductor layer between adjacent first pixels, and a second interpixel isolation portion isolating the semiconductor layer between adjacent second pixels, wherein the first interpixel isolation portion and the second interpixel isolation portion are provided in different structures. The present technology is applicable to an imaging element in which a dummy pixel is disposed.

(57) 要約：本技術は、隣接する画素に光が漏れ込むことを抑制することができるようにする撮像素子、電子機器に関する。読み出された画素信号が画像の生成に用いられる第1の画素と、読み出された画素信号が画像の生成に用いられない第2の画素とが配置されている半導体層と、半導体層に積層されている配線層とを備え、第1の画素の構造と第2の画素の構造は異なる。隣接する第1の画素の半導体層を分離する第1の画素間分離部と、隣接する第2の画素の半導体層を分離する第2の画素間分離部とをさらに備え、第1の画素間分離部と第2の画素間分離部は異なる構造で設けられている。本技術は、ダミー画素が配置された撮像素子に適用できる。

明 細 書

発明の名称：撮像素子、電子機器

技術分野

[0001] 本技術は、撮像素子、電子機器に関し、例えば、隣接する画素に漏れ込む光を抑制するようにした撮像素子、電子機器に関する。

背景技術

[0002] ビデオカメラやデジタルスチルカメラなどにおいて、CCD (Charge Coupled Device) やCMOSイメージセンサで構成された撮像装置が広く使用されている。これらの撮像装置では、画素毎にフォトダイオードからなる受光部が形成されており、受光部では入射光を光電変換により信号電荷が生成される。

[0003] このような撮像装置では、斜めの入射光や受光部上部において乱反射した入射光により半導体基板内で偽信号が生成され、スミアやフレア等の光学的雑音が発生する可能性があった。特許文献1では、集光特性を悪化させることなくフレアやスミア等の光学的雑音を抑制することについての提案がなされている。

先行技術文献

特許文献

[0004] 特許文献1：特開2012-33583号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1に記載の画素領域は、実際に光を受光し光電変換によって生成された信号電荷を増幅してカラム信号処理回路に読み出す有効画素領域と、黒レベルの基準になる光学的黒を出力するためのオプティカルブラック領域とを有する構成されていることが記載されている。

[0006] オプティカルブラック領域に、光が漏れ込むようなことがあると、黒レベルの基準の精度が低下してしまう可能性がある。オプティカルブラック領域

への光の漏れ込みがより抑制されることが望まれている。

[0007] 本技術は、このような状況に鑑みてなされたものであり、オプティカルブラック領域への光の漏れ込みを抑制できるようにするものである。

課題を解決するための手段

[0008] 本技術の一側面の撮像素子は、読み出された画素信号が画像の生成に用いられる第1の画素と、読み出された画素信号が画像の生成に用いられない第2の画素とが配置されている半導体層と、前記半導体層に積層されている配線層とを備え、前記第1の画素の構造と前記第2の画素の構造は異なる。

[0009] 本技術の一側面の電子機器は、読み出された画素信号が画像の生成に用いられる第1の画素と、読み出された画素信号が画像の生成に用いられない第2の画素とが配置されている半導体層と、前記半導体層に積層されている配線層とを備え、前記第1の画素の構造と前記第2の画素の構造は異なる撮像素子と、周期的に明るさが変動する照射光を照射する光源と、前記照射光の照射タイミングを制御する発光制御部とを備える測距モジュールを備える。

[0010] 本技術の一側面の撮像素子においては、読み出された画素信号が画像の生成に用いられる第1の画素と、読み出された画素信号が画像の生成に用いられない第2の画素とが配置されている半導体層と、半導体層に積層されている配線層とが備えられている。また第1の画素の構造と第2の画素の構造は異なる。

[0011] 本技術の一側面の電子機器においては、前記撮像素子と、周期的に明るさが変動する照射光を照射する光源と、照射光の照射タイミングを制御する発光制御部とが備えられた測距モジュールが備えられる。

[0012] なお、電子機器は、独立した装置であっても良いし、1つの装置を構成している内部ブロックであっても良い。

図面の簡単な説明

[0013] [図1]本開示に係る撮像装置の概略構成を示す図である。

[図2]画素アレイ部の画素領域について説明するための図である。

[図3]画素アレイ部の画素の配置について説明するための図である。

- [図4]画素アレイ部の画素の断面構成例である。
- [図5]画素アレイ部の画素の断面構成例である。
- [図6]撮像装置の他の概略構成を示す図である。
- [図7]画素アレイ部の画素の断面構成例である。
- [図8]画素アレイ部の画素の断面構成例である。
- [図9]画素アレイ部の画素の断面構成例である。
- [図10]撮像素子の回路図である。
- [図11]撮像素子の平面視における図である。
- [図12]隣接画素からの光の漏れ込みについて説明するための図である。
- [図13]第1の実施の形態における撮像素子の断面構成例である。
- [図14]第1の実施の形態における撮像素子の平面構成例である。
- [図15]第2の実施の形態における撮像素子の断面構成例である。
- [図16]第2の実施の形態における撮像素子の平面構成例である。
- [図17]第3の実施の形態における撮像素子の断面構成例である。
- [図18]第3の実施の形態における撮像素子の平面構成例である。
- [図19]第4の実施の形態における撮像素子の断面構成例である。
- [図20]第5の実施の形態における撮像素子の断面構成例である。
- [図21]第5の実施の形態における撮像素子の平面構成例である。
- [図22]第6の実施の形態における撮像素子の断面構成例である。
- [図23]第6の実施の形態における撮像素子の平面構成例である。
- [図24]第7の実施の形態における撮像素子の断面構成例である。
- [図25]第8の実施の形態における撮像素子の断面構成例である。
- [図26]第8の実施の形態における撮像素子の平面構成例である。
- [図27]第9の実施の形態における撮像素子の断面構成例である。
- [図28]第9の実施の形態における撮像素子の平面構成例である。
- [図29]第10の実施の形態における撮像素子の断面構成例である。
- [図30]第10の実施の形態における撮像素子の平面構成例である。
- [図31]第11の実施の形態における撮像素子の断面構成例である。

[図32]第12の実施の形態における撮像素子の断面構成例である。

[図33]測距モジュールの構成例を示す図である。

[図34]電子機器の構成例を示す図である。

[図35]車両制御システムの概略的な構成の一例を示すブロック図である。

[図36]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0014] 以下に、本技術を実施するための形態（以下、実施の形態という）について説明する。

[0015] <撮像装置の概略構成例>

図1は、本開示に係る撮像素子を含む撮像装置の概略構成を示している。

[0016] 図1の撮像装置1は、半導体として例えばシリコン（Si）を用いた半導体基板12に、画素2が2次元アレイ状に配列された画素アレイ部3と、その周辺の周辺回路部とを有して構成される。周辺回路部には、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6、出力回路7、制御回路8などが含まれる。

[0017] 画素2は、光電変換素子としてのフォトダイオードと、複数の画素トランジスタを有して成る。複数の画素トランジスタは、例えば、転送トランジスタ、選択トランジスタ、リセットトランジスタ、及び、増幅トランジスタの4つのMOSトランジスタで構成される。

[0018] また、画素2は、共有画素構造とすることもできる。この画素共有構造は、複数のフォトダイオード、複数の転送トランジスタ、共有される1つのフローティングディフュージョン（浮遊拡散領域）、および共有される1つずつの他の画素トランジスタとから構成される。すなわち、共有画素では、複数の単位画素を構成するフォトダイオード及び転送トランジスタが、他の1つずつの画素トランジスタを共有して構成される。

[0019] 制御回路8は、入力クロックと、動作モードなどを指令するデータを受取、また撮像装置1の内部情報などのデータを出力する。すなわち、制御回路8は、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆

動回路 4、カラム信号処理回路 5 及び水平駆動回路 6 などの動作の基準となるクロック信号や制御信号を生成する。そして、制御回路 8 は、生成したクロック信号や制御信号を、垂直駆動回路 4、カラム信号処理回路 5 及び水平駆動回路 6 等に出力する。

[0020] 垂直駆動回路 4 は、例えばシフトレジスタによって構成され、画素駆動配線 10 を選択し、選択された画素駆動配線 10 に画素 2 を駆動するためのパルスを供給し、行単位で画素 2 を駆動する。すなわち、垂直駆動回路 4 は、画素アレイ部 3 の各画素 2 を行単位で順次垂直方向に選択走査し、各画素 2 の光電変換部において受光量に応じて生成された信号電荷に基づく画素信号を、垂直信号線 9 を通してカラム信号処理回路 5 に供給する。

[0021] カラム信号処理回路 5 は、画素 2 の列ごとに配置されており、1 行分の画素 2 から出力される信号を画素列ごとにノイズ除去などの信号処理を行う。例えば、カラム信号処理回路 5 は、画素固有の固定パターンノイズを除去するための CDS (Correlated Double Sampling : 相関 2 重サンプリング) および AD 変換等の信号処理を行う。

[0022] 水平駆動回路 6 は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から画素信号を水平信号線 11 に出力させる。

[0023] 出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 11 を通して順次に供給される信号に対し、信号処理を行って出力する。出力回路 7 は、例えば、バッファリングだけする場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理などが行われる場合もある。入出力端子 13 は、外部と信号のやりとりをする。

[0024] 以上のように構成される撮像装置 1 は、CDS 処理と AD 変換処理を行うカラム信号処理回路 5 が画素列ごとに配置されたカラム AD 方式と呼ばれる CMOS イメージセンサである。

[0025] また、撮像装置 1 は、画素トランジスタが形成される半導体基板 12 の表

面側と反対側の裏面側から光が入射される裏面照射型のMOS型撮像装置である。

[0026] <画素アレイ部3の構成例>

図2は、撮像装置1の画素アレイ部3の構成例を示す図である。

[0027] 図2のAに示した画素アレイ部3には、通常画素が配置される通常画素領域31とOPB（オプティカルブラック）画素が配置されるOPB画素領域32が配置されている。画素アレイ部3の上端（図中）に配置されているOPB画素領域32は、光が入射しないように遮光された遮光領域とされている。通常画素領域31は、遮光されていない開口領域とされている。

[0028] 開口領域内に配置された通常画素領域31は、画像の生成する際に画素信号が読み出される通常画素（以下、通常画素31と記述する）が配置されている。

[0029] 上方の遮光領域内に配置されたOPB画素領域32は、画像の黒レベルを示す画素信号である黒レベル信号の読出しに用いられるOPB画素（以下、OPB画素32と記述する）が配置されている。

[0030] 図2のBに示した画素アレイ部3には、有効不問画素33が配置された有効不問画素領域33が、通常画素領域31とOPB画素領域32との間に設けられている。有効不問画素領域33は、読み出された画素信号が画像の生成には用いられない有効不問画素33が配置された領域である。この有効不問画素33は、主に通常画素31の画素信号の特性の一様性を確保する役割を果たす。

[0031] 図2のA、図2のBに示した画素アレイ部3のどちらにも以下に説明する本技術を適用することができる。また、図2のA、図2のBに示した画素アレイ部3の配置以外の配置であっても、以下に説明する本技術を適用することはできる。

[0032] 例えば、OPB画素領域32は、通常画素31の一辺に形成されている例を示したが、2乃至4辺に設けられている構成とすることもできる。また、有効不問画素33も、通常画素31の一辺に形成されている例を示したが、

2乃至4辺に設けられている構成とすることもできる。

[0033] <画素アレイ部3の色配置例>

通常画素領域31に配置される通常画素31は、可視光領域の光を受光する画素、赤外光（IR：Infrared）を受光する画素などとすることができる。また、通常画素31は、測距に用いられる画素とすることもできる。

[0034] 図3を参照し、可視光領域の光を受光する画素と赤外光を受光する画素とが画素アレイ部3に配置されている場合を例に挙げて説明する。可視光領域の光を受光する画素と赤外光を受光する画素を画素アレイ部3に配置することで、カラー画像と赤外画像を同時に取得できる。

[0035] 可視光領域の光を受光する画素と赤外光を受光する画素を画素アレイ部3に配置した場合、画素アレイ部3には、図3に示したように、赤色の検出に用いるR（Red）画素、緑色の検出に用いるG（Green）画素、青色の検出に用いるB（Blue）画素、および、赤外光の検出に用いるIR画素のそれぞれが2次元格子状に設けられる。

[0036] 図3は、画素アレイ部3の通常画素31の配列の例を示している。図3に示した例は、縦4画素×横4画素からなるパターンを1単位とする画素配列の例が示されており、R画素：G画素：B画素：IR画素＝2：8：2：4の割合で、通常画素31が配置されている。より具体的には、G画素は、市松状に配置されている。R画素は、1行目の1列目と3行目の3列目に配置されている。B画素は、1行目の3列目と3行目の1列目に配置されている。IR画素は、残りの画素位置に配置されている。そして、この画素配列のパターンが、画素アレイ部3上の行方向及び列方向に繰り返し配置される。

[0037] 図3に示した画素の配列は一例であり、他の配列を用いることも可能である。

[0038] 図4は、各通常画素31のフィルタの構成例を模式的に示している。この例では、B画素、G画素、R画素、IR画素が、左から右に並べられている。R画素、G画素およびB画素においては、光の入射側から順に、オンチップレンズ52、カラーフィルタ層51、IRカットフィルタ53が積層され

ている。

[0039] カラーフィルタ層 5 1 においては、R 画素に対して赤及び赤外光の波長域を透過する R フィルタが設けられ、G 画素に対して緑及び赤外光の波長域を透過する G フィルタが設けられ、B 画素に対して青及び赤外光の波長域を透過する B フィルタが設けられている。IR カットフィルタ 5 3 は、所定の範囲の近赤外光に透過帯を有するフィルタである。

[0040] IR 画素においては、光の入射側から順に、オンチップレンズ 5 2、IR フィルタ 5 4 が積層されている。IR フィルタ 5 4 は、R フィルタ 6 1 と B フィルタ 6 2 を積層することで形成されている。R フィルタ 6 1 と B フィルタ 6 2 を積層することで、800 nm より長い波長を有する光線を透過する IR フィルタ 5 4（即ち、青色＋赤色）が形成される。

[0041] 図 4 に示した IR フィルタ 5 4 は、オンチップレンズ 5 2 側に R フィルタ 6 1 が配置され、その下側に B フィルタ 6 2 が配置されているが、オンチップレンズ 5 2 側に B フィルタ 6 2 が配置され、その下側に R フィルタ 6 1 が配置されていても良い。

[0042] 通常画素領域 3 1 には、図 3、図 4 を参照して説明したように、可視光領域の光を受光する画素と赤外光を受光する画素を配置することができる。また、通常画素領域 3 1 に、可視光領域の光を受光する画素のみを配置する構成であっても良い。さらに、本技術は、通常画素領域 3 1 に、赤外光を受光する画素のみを配置する構成の場合に対しても適用できる。

[0043] <単位画素の構造>

次に、通常画素領域 3 1 に行列状に配置されている通常画素 3 1 の具体的な構造について説明する。図 5 は、通常画素 3 1 の垂直方向の断面図である。

[0044] 以下に説明する通常画素 3 1 は、裏面照射型である場合を例に挙げて説明を行うが、表面照射型に対しても本技術を適用することはできる。

[0045] 図 5 に示した通常画素 3 1 は、Si 基板 7 0 の内部に形成された各画素の光電変換素子である PD（フォトダイオード）7 1 を有する。PD 7 1 の光

入射側（図中、上側であり、裏面側となる）には、P型領域72が形成され、そのP型領域72のさらに下層には、平坦化膜73が形成されている。このP型領域72と平坦化膜73の境界を、裏面Si界面75とする。

[0046] 平坦化膜73には、遮光膜74が形成されている。遮光膜74は、隣接する画素への光の漏れ込みを防止するために設けられ、隣接するPD71の間に形成されている。遮光膜74は、例えば、W（タングステン）等の金属材料から成る。

[0047] 平坦化膜73上であり、Si基板70の裏面側には、入射光をPD71に集光させるOCL（オンチップレンズ）76が形成されている。

[0048] 図5では図示していないが、OCL76上にカバーガラスや、樹脂などの透明板が接着されている構成とすることもできる。また、図5では図示していないが、OCL76と平坦化膜73との間にカラーフィルタ層を形成した構成としても良い。またそのカラーフィルタ層は、図4に示したようなからカラーフィルタ層51とすることができる。

[0049] PD71の光入射側の逆側（図中、上側であり、表面側となる）には、アクティブ領域（Pwell）77が形成されている。アクティブ領域77には、画素トランジスタ等を分離する素子分離領域（以下、STI（Shallow Trench Isolation）と称する）78が形成されている。

[0050] Si基板70の表面側（図面上側）であり、アクティブ領域77上には、配線層79が形成されており、この配線層79には、複数のトランジスタが形成されている。図5では、転送トランジスタ80が形成されている例を示した。転送トランジスタ（ゲート）80は、縦型トランジスタで形成されている。すなわち、転送トランジスタ（ゲート）80は、縦型トランジスタトレンチ81が開口され、そこにPD71から電荷を読み出すための転送ゲート（TG）80が形成されている。

[0051] さらに、Si基板70の表面側にはアンプ（AMP）トランジスタ、選択（SEL）トランジスタ、リセット（RST）トランジスタ等の画素トランジスタが形成されている。

- [0052] 通常画素31間には、トレンチが形成されている。このトレンチを、DTI (Deep Trench Isolation) 82と記述する。このDTI 82は、隣接する通常画素31間に、Si基板70を深さ方向（図中縦方向であり、表面から裏面への方向）に貫く形状で形成される。また、DTI 82は、隣接する通常画素31に不要な光が漏れないように、画素間の遮光壁としても機能する。
- [0053] PD71とDTI 82との間には、DTI 82側からPD71に向かって順にP型固相拡散層83とN型固相拡散層84が形成されている。P型固相拡散層83は、DTI 82に沿ってSi基板70の裏面Si界面75に接するまで形成されている。N型固相拡散層84は、DTI 82に沿ってSi基板70のP型領域72に接するまで形成されている。
- [0054] P型固相拡散層83は裏面Si界面75に接するまで形成されているが、N型固相拡散層84は裏面Si界面75に接しておらず、N型固相拡散層84と裏面Si界面75の間に間隔が設けられている。
- [0055] このような構成により、P型固相拡散層83とN型固相拡散層84のPN接合領域は強電界領域を成し、PD71にて発生された電荷を保持するようにされている。このような構成によれば、DTI 82に沿って形成したP型固相拡散層83とN型固相拡散層84が強電界領域を成し、PD71にて発生された電荷を保持することができる。
- [0056] このような構成とすることで、N型固相拡散層84が、Si基板70の裏面Si界面75とは接しない構成とされ、DTI 82に沿ってSi基板70のP型領域72に接する形成とされている。このような構成とすることで、電荷のピニングが弱体化してしまうことを防ぐことができ、電荷がPD71に流れ込んでDark特性が悪化してしまうようなことを防ぐことが可能となる。
- [0057] また、図5に示した通常画素31は、DTI 82の内壁に、SiO₂から成る側壁膜85が形成され、その内側にはポリシリコンから成る充填剤86が埋め込まれている。

[0058] <単位画素の構造>

次に、通常画素領域 3 1 に行列状に配置されている通常画素 3 1 の具体的な他の構造について説明する。通常画素領域 3 1 には、例えば、赤外光を受光する画素を配置し、その画素から得られる信号を用いて被写体までの距離を測定する際の画素を配置することができる。そのような測距を行う装置（測距装置）に配置される通常画素 3 1 の断面構成について説明を加える。

[0059] また、測距の方法として、ToF（Time-of-Flight）法により距離計測を行う距離画素を例に挙げて説明する。またToF法には、Direct ToF（dToF）方式と、Indirect ToF（iToF）方式がある。まず、通常画素 3 1 として、dToF方式により測距を行う画素を配置した場合を例に挙げて説明する。DTof方式は、被写体に向けて光を照射した時刻と、被写体から反射された反射光を受信した時刻とから距離を直接測定する方式である。

[0060] 図 6 は、通常画素 3 1 を、DTof方式の画素で構成したときの撮像装置 1 の構成を示す図である。図 6 において、撮像装置 1 は、画素アレイ部 3、およびバイアス電圧印加部 2 1 を備えて構成される。

[0061] 画素アレイ部 3 は、図示しない光学系により集光される光を受光する受光面であり、複数のSPAD画素 2 が行列状に配置されている。図 6 の右側に示すように、SPAD画素 2 は、SPAD素子 2 2、p 型MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）2 3、およびCMOSインバータ 2 4 を備えて構成される。

[0062] SPAD素子 2 2 は、カソードに大きな負電圧 V_{BD} を印加することによってアバランシェ増倍領域を形成し、1 フォトンの入射で発生する電子をアバランシェ増倍させることができる。p 型MOSFET 2 3 は、SPAD素子 2 2 でアバランシェ増倍された電子による電圧が負電圧 V_{BD} に達すると、SPAD素子 2 2 で増倍された電子を放出して、初期電圧に戻すクエンチング（quenching）を行う。CMOSインバータ 2 4 は、SPAD素子 2 2 で増倍された電子により発生する電圧を整形することで、1 フォトンの到来時刻を始点としてパルス波形が発生する受光信号（APD OUT）を出力する。

[0063] バイアス電圧印加部 2 1 は、画素アレイ部 3 に配置される複数の SPAD 画素 2 それぞれに対してバイアス電圧を印加する。

[0064] このように構成されている撮像装置 1 からは、SPAD 画素 2 ごとに受光信号が出力され、図示しない後段の演算処理部に供給される。例えば、演算処理部は、それぞれの受光信号において 1 フォトンの到来時刻を示すパルスが発生したタイミングに基づいて、被写体までの距離を求める演算処理を行って、SPAD 画素 2 ごとに距離を求める。そして、それらの距離に基づいて、複数の SPAD 画素 2 により検出された被写体までの距離を平面的に並べた距離画像が生成される。

[0065] <SPAD 画素の構成例>

図 7 を参照して、撮像装置 1 に形成される SPAD 画素 2 の構成例について説明する。図 7 は、SPAD 画素 2 の断面的な構成例を示す図である。

[0066] 図 7 に示すように、撮像装置 1 は、センサ基板 2 5、センサ側配線層 2 6、およびロジック側配線層 2 7 が積層された積層構造となっており、ロジック側配線層 2 7 に対して、図示しないロジック回路基板が積層されて構成される。ロジック回路基板には、例えば、図 6 のバイアス電圧印加部 2 1 や、p 型 MOSFET 2 3、CMOS インバータ 2 4 などが形成されている。例えば、撮像装置 1 は、センサ基板 2 5 に対してセンサ側配線層 2 6 を形成するとともに、ロジック回路基板に対してロジック側配線層 2 7 を形成した後、センサ側配線層 2 6 およびロジック側配線層 2 7 を接合面（図 7 の破線で示す面）で接合する製造方法により製造することができる。

[0067] センサ基板 2 5 は、例えば、単結晶のシリコンを薄くスライスした半導体基板であって、p 型または n 型の不純物濃度が制御されており、SPAD 画素 2 ごとに SPAD 素子 2 2 が形成される。また、図 7 においてセンサ基板 2 5 の下側を向く面が、光を受光する受光面とされ、その受光面の反対側となる表面に対してセンサ側配線層 2 6 が積層される。

[0068] センサ側配線層 2 6 およびロジック側配線層 2 7 には、SPAD 素子 2 2 に印加する電圧を供給するための配線や、SPAD 素子 2 2 で発生した電子をセンサ

基板 2 5 から取り出ための配線などが形成される。

[0069] SPAD素子 2 2 は、センサ基板 2 5 に形成される N ウェル 4 1、P 型拡散層 4 2、N 型拡散層 4 3、ホール蓄積層 4 4、ピニング層 4 5、および高濃度 P 型拡散層 4 6 により構成される。そして、SPAD素子 2 2 では、P 型拡散層 4 2 と N 型拡散層 4 3 とが接続する領域に形成される空乏層によって、アバランシェ増倍領域 4 7 が形成される。

[0070] N ウェル 4 1 は、センサ基板 2 5 の不純物濃度が n 型に制御されることにより形成され、SPAD素子 2 2 における光電変換により発生する電子をアバランシェ増倍領域 4 7 へ転送する電界を形成する。なお、N ウェル 4 1 に替えて、センサ基板 2 5 の不純物濃度を p 型に制御して P ウェルを形成してもよい。

[0071] P 型拡散層 4 2 は、センサ基板 2 5 の表面近傍であって N 型拡散層 4 3 に対して裏面側（図 7 の下側）に形成される濃い P 型の拡散層（P +）であり、SPAD素子 2 2 のほぼ全面に亘るように形成される。

[0072] N 型拡散層 4 3 は、センサ基板 2 5 の表面近傍であって P 型拡散層 4 2 に対して表面側（図 7 の上側）に形成される濃い N 型の拡散層（N +）であり、SPAD素子 2 2 のほぼ全面に亘るように形成される。また、N 型拡散層 4 3 は、アバランシェ増倍領域 4 7 を形成するための負電圧を供給するためのコンタクト電極 9 0 と接続するために、その一部がセンサ基板 2 5 の表面まで形成されるような凸形状となっている。

[0073] ホール蓄積層 4 4 は、N ウェル 4 1 の側面および底面を囲うように形成される P 型の拡散層（P）であり、ホールを蓄積している。また、ホール蓄積層 4 4 は、SPAD素子 2 2 のアノードと電氣的に接続されており、バイアス調整を可能とする。これにより、ホール蓄積層 4 4 のホール濃度が強化され、ピニング層 4 5 を含むピニングが強固になることによって、例えば、暗電流の発生を抑制することができる。

[0074] ピニング層 4 5 は、ホール蓄積層 4 4 よりも外側の表面（センサ基板 2 5 の裏面や絶縁膜 4 9 と接する側面）に形成される濃い P 型の拡散層（P +）

であり、ホール蓄積層 44 と同様に、例えば、暗電流の発生を抑制する。

[0075] 高濃度 P 型拡散層 46 は、センサ基板 25 の表面近傍において N ウェル 41 の外周を囲うように形成される濃い P 型の拡散層 (P++) であり、ホール蓄積層 44 を SPAD 素子 22 のアノードと電氣的に接続するためのコンタクト電極 91 との接続に用いられる。

[0076] アバランシェ増倍領域 47 は、N 型拡散層 43 に印加される大きな負電圧によって P 型拡散層 42 および N 型拡散層 43 の境界面に形成される高電界領域であって、SPAD 素子 22 に入射する 1 フォトンで発生する電子 (e^-) を増倍する。

[0077] また、撮像装置 1 には、隣接する SPAD 素子 22 どうしの間に形成されるメタル膜 48 および絶縁膜 49 による二重構造の画素間分離部 50 によって、それぞれの SPAD 素子 22 が絶縁されて分離される。例えば、画素間分離部 50 は、センサ基板 25 の裏面から表面まで貫通するように形成される。

[0078] メタル膜 48 は、光を反射する金属 (例えば、タングステンなど) により形成される膜であり、絶縁膜 49 は、SiO₂ などの絶縁性を備えた膜である。例えば、メタル膜 48 の表面が絶縁膜 49 で覆われるようにセンサ基板 25 に埋め込まれることで画素間分離部 50 は形成され、画素間分離部 50 によって、隣接する SPAD 素子 22 との間で電氣的および光学的に分離される。

[0079] センサ側配線層 26 には、コンタクト電極 90 乃至 92、メタル配線 93 乃至 95、コンタクト電極 96 乃至 98、および、メタルパッド 99 乃至 100 が形成される。

[0080] コンタクト電極 90 は、N 型拡散層 43 とメタル配線 93 とを接続し、コンタクト電極 91 は、高濃度 P 型拡散層 46 とメタル配線 94 とを接続し、コンタクト電極 92 は、メタル膜 48 とメタル配線 95 とを接続する。

[0081] メタル配線 93 は、例えば、図 3 に示すように、少なくともアバランシェ増倍領域 47 を覆うように、アバランシェ増倍領域 47 よりも広く形成される。そして、メタル配線 93 は、図 7 において白抜きの矢印で示すように、SPAD 素子 22 を透過した光を、SPAD 素子 22 に反射する。

- [0082] メタル配線 94 は、平面視においてメタル配線 93 の外周を囲うように、高濃度 P 型拡散層 46 と重なるように形成される。メタル配線 95 は、平面視において SPAD 画素 2 の四隅でメタル膜 48 に接続するように形成される。
- [0083] コンタクト電極 96 は、メタル配線 93 とメタルパッド 99 とを接続し、コンタクト電極 167 は、メタル配線 94 とメタルパッド 99 とを接続し、コンタクト電極 168 は、メタル配線 95 とメタルパッド 100 とを接続する。
- [0084] メタルパッド 99 乃至 82 は、ロジック側配線層 27 に形成されているメタルパッド 171 乃至 173 と、それぞれを形成する金属 (Cu) どうしにより電気的および機械的に接合するのに用いられる。
- [0085] ロジック側配線層 27 には、電極パッド 161 乃至 163、絶縁層 164、コンタクト電極 165 乃至 170、およびメタルパッド 171 乃至 173 が形成される。
- [0086] 電極パッド 161 乃至 163 は、それぞれロジック回路基板 (図示せず) との接続に用いられ、絶縁層 164 は、電極パッド 161 乃至 163 どうしを絶縁する。
- [0087] コンタクト電極 165 および 166 は、電極パッド 161 とメタルパッド 171 とを接続し、コンタクト電極 167 および 168 は、電極パッド 162 とメタルパッド 172 とを接続し、コンタクト電極 169 および 170 は、電極パッド 163 とメタルパッド 173 とを接続する。
- [0088] メタルパッド 171 は、メタルパッド 99 と接合され、メタルパッド 172 は、メタルパッド 99 と接合され、メタルパッド 173 は、メタルパッド 100 と接合される。
- [0089] このような配線構造により、例えば、電極パッド 161 は、コンタクト電極 165 および 166、メタルパッド 171、メタルパッド 99、コンタクト電極 96、メタル配線 93、並びに、コンタクト電極 90 を介して、N 型拡散層 43 に接続されている。従って、SPAD 画素 2 では、N 型拡散層 43 に印加される大きな負電圧を、ロジック回路基板から電極パッド 161 に対し

て供給することができる。

[0090] また、電極パッド162は、コンタクト電極167および168、メタルパッド172、メタルパッド99、コンタクト電極97、メタル配線94、並びに、コンタクト電極91を介して高濃度P型拡散層46に接続される接続構成となっている。従って、SPAD画素2では、ホール蓄積層44と電氣的に接続されるSPAD素子22のアノードが電極パッド162に接続されることで、電極パッド162を介してホール蓄積層44に対するバイアス調整を可能とすることができる。

[0091] さらに、電極パッド163は、コンタクト電極169および170、メタルパッド173、メタルパッド100、コンタクト電極98、メタル配線95、並びに、コンタクト電極92を介して、メタル膜48に接続される接続構成となっている。従って、SPAD画素2では、ロジック回路基板から電極パッド163に供給されるバイアス電圧をメタル膜48に印加することができる。

[0092] そして、SPAD画素2は、上述したように、メタル配線93が、少なくともアバランシェ増倍領域47を覆うように、アバランシェ増倍領域47よりも広く形成されるとともに、メタル膜48がセンサ基板25を貫通するように形成されている。即ち、SPAD画素2は、メタル配線93およびメタル膜48によりSPAD素子22の光入射面以外を全て取り囲んだ反射構造となるように形成されている。これにより、SPAD画素2は、メタル配線93およびメタル膜48により光を反射する効果によって、光学的なクロストークの発生を防止することができるとともに、SPAD素子22の感度を向上させることができる。

[0093] また、SPAD画素2は、Nウェル41の側面および底面をホール蓄積層44で囲み、ホール蓄積層44をSPAD素子22のアノードと電氣的に接続する接続構成によって、バイアス調整を可能とすることができる。さらに、SPAD画素2は、画素間分離部50のメタル膜48にバイアス電圧を印加することによって、キャリアをアバランシェ増倍領域47にアシストする電界を形成す

ることができる。

[0094] 以上のように構成されるSPAD画素2は、クロストークの発生が防止されるとともに、SPAD素子22の感度が向上される結果、特性の向上を図ることができる。またこのようなSPAD画素2を、通常画素31として用いることができる。

[0095] <画素の他の断面構成例>

次に、測距を行う装置（測距装置）に配置される通常画素31の他の断面構成について説明を加える。以下の説明する通常画素31は、iToF方式の測距画素に用いることができる。

[0096] 図8は、画素アレイ部3に配置される通常画素31の構成例を示す断面図である。通常画素31は、半導体基板111と、その表面側（図中下側）に形成された多層配線層112とを備える。

[0097] 半導体基板111は、例えばシリコン（Si）で構成され、例えば1乃至10 μ mの厚みを有して形成されている。シリコン以外に、InGaAs（インジウムガリウムヒ化物）といった材料の基板が用いられても良い。半導体基板111では、例えば、P型（第1導電型）の半導体領域121に、N型（第2導電型）の半導体領域122が画素単位に形成されることにより、フォトダイオードPDが画素単位に形成されている。半導体基板111の表裏両面に設けられているP型の半導体領域121は、暗電流抑制のための正孔電荷蓄積領域を兼ねている。

[0098] 図8において上側となる半導体基板111の上面が、半導体基板111の裏面であり、光が入射される光入射面となる。半導体基板111の裏面側上面には、反射防止膜113が形成されている。

[0099] 反射防止膜113は、例えば、例えば、固定電荷膜および酸化膜が積層された積層構造とされ、例えば、ALD（Atomic Layer Deposition）法による高誘電率（High-k）の絶縁薄膜を用いることができる。具体的には、酸化ハフニウム（HfO₂）や、酸化アルミニウム（Al₂O₃）、酸化チタン（TiO₂）、STO（Strontium Titan Oxide）などを用いることができる。図8の

例では、反射防止膜 1 1 3 は、酸化ハフニウム膜 1 2 3、酸化アルミニウム膜 1 2 4、および酸化シリコン膜 1 2 5 が積層されて構成されている。

[0100] 反射防止膜 1 1 3 の上面であって、半導体基板 1 1 1 の隣接する通常画素 3 1 の境界部 1 1 4（以下、画素境界部 1 1 4 とも称する。）には、入射光の隣接画素への入射を防止する画素間遮光膜 1 1 5 が形成されている。画素間遮光膜 1 1 5 の材料は、光を遮光する材料であればよく、例えば、タングステン（W）、アルミニウム（Al）又は銅（Cu）などの金属材料を用いることができる。

[0101] 反射防止膜 1 1 3 の上面と、画素間遮光膜 1 1 5 の上面には、平坦化膜 1 1 6 が、例えば、酸化シリコン（SiO₂）、窒化シリコン（SiN）、酸窒化シリコン（SiON）等の絶縁膜、または、樹脂などの有機材料により形成されている。

[0102] そして、平坦化膜 1 1 6 の上面には、オンチップレンズ 1 1 7 が画素ごとに形成されている。オンチップレンズ 1 1 7 は、例えば、スチレン系樹脂、アクリル系樹脂、スチレン-アクリル共重合系樹脂、またはシロキサン系樹脂等の樹脂系材料で形成される。オンチップレンズ 1 1 7 によって集光された光は、フォトダイオードPDに効率良く入射される。

[0103] また、半導体基板 1 1 1 の裏面側の画素境界部 1 1 4 には、半導体基板 1 1 1 の裏面側（オンチップレンズ 1 1 7 側）から基板深さ方向に所定の深さまで、半導体基板 1 1 1 の深さ方向に隣接画素どうしを分離する画素間分離部 1 3 1 が形成されている。画素間分離部 1 3 1 の底面および側壁を含む外周部は、反射防止膜 1 1 3 の一部である酸化ハフニウム膜 1 2 3 で覆われている。画素間分離部 1 3 1 は、入射光が隣の通常画素 3 1 へ突き抜けることを防止し、自画素内に閉じ込めるとともに、隣接する通常画素 3 1 からの入射光の漏れ込みを防止する。

[0104] 図 8 の例では、反射防止膜 1 1 3 の最上層の材料である酸化シリコン膜 1 2 5 を、裏面側から掘り込んだトレンチ（溝）に埋め込むことにより酸化シリコン膜 1 2 5 と画素間分離部 1 3 1 を同時形成するため、反射防止膜 1 1

3としての積層膜の一部である酸化シリコン膜125と、画素間分離部131とが同一の材料で構成されているが、必ずしも同一である必要はない。画素間分離部131として裏面側から掘り込んだトレンチ（溝）に埋め込む材料は、例えば、タングステン（W）、アルミニウム（Al）、チタン（Ti）、窒化チタン（TiN）等の金属材料でもよい。

[0105] 一方、多層配線層112が形成された半導体基板111の表面側には、各通常画素31に形成された1つのフォトダイオードPDに対して、2つの転送トランジスタTRG1およびTRG2が形成されている。また、半導体基板111の表面側には、フォトダイオードPDから転送された電荷を一時保持する電荷蓄積部としての浮遊拡散領域FD1およびFD2が、高濃度のN型半導体領域（N型拡散領域）により形成されている。

[0106] 多層配線層112は、複数の金属膜Mと、その間の層間絶縁膜132とで構成される。図8では、第1金属膜M1乃至第3金属膜M3の3層で構成される例が示されている。

[0107] 多層配線層112の複数の金属膜Mのうち、所定の金属膜Mである、例えば、第1金属膜M1には、配線133が形成され、第2金属膜M2には、配線134が形成されている。

[0108] 以上のように、撮像装置1は、オンチップレンズ117と多層配線層112との間に半導体層である半導体基板111を配置し、オンチップレンズ117が形成された裏面側から入射光をフォトダイオードPDに入射させる裏面照射型の構造を有する。

[0109] また、通常画素31は、各画素に設けられたフォトダイオードPDに対して、2つの転送トランジスタTRG1およびTRG2を備え、フォトダイオードPDで光電変換されて生成された電荷（電子）を、浮遊拡散領域FD1またはFD2に振り分け可能に構成されている。

[0110] ここでは、2つの転送トランジスタTRG1とTRG2を備える測距に用いる画素であり、2タップ型と称されることもある画素を例に挙げて説明する。

[0111] 測距に用いる画素の構成としては、このような2タップ型に限らず、1つ

の転送トランジスタを備える１タップ型と称されることもある画素であっても良い。１タップ型の場合、構成としては、図５に示した通常画素３１のような構成とすることもできる。すなわち、図５に示した構成を有する通常画素３１を、測距を行う画素として用いることもできる。

[0112] また、測距に用いる画素の構成としては、４つの転送トランジスタを備える４タップ型と称されることもある画素であっても良い。本技術は、１画素が備える転送トランジスタの個数や、測距方法などには限定されず、適用可能である。

[0113] 以下、２タップ型の通常画素３１を例に挙げて説明を続ける。図８に示した通常画素３１は、画素境界部１１４に画素間分離部１３１を形成することにより、入射光が隣の通常画素３１へ突き抜けることを防止し、自画素内に閉じ込めるとともに、隣接する通常画素３１からの入射光の漏れ込みを防止する。

[0114] 測距に用いられる通常画素３１の他の断面構成について、図９を参照して説明する。

[0115] 図９に示した通常画素３１において、図８に示した通常画素３１と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。図９に示した通常画素３１では、半導体基板１１１（のＰ型の半導体領域１２１）のフォトダイオードPDの形成領域の上方に位置するPD上部領域１５３が、微細な凹凸が形成された凹凸構造となっている。また、半導体基板１１１のPD上部領域１５３の凹凸構造に対応して、その上面に形成された反射防止膜１５１も凹凸構造で形成されている。反射防止膜１５１は、酸化ハフニウム膜１２３、酸化アルミニウム膜１２４、および、酸化シリコン膜１２５の積層により構成されている。

[0116] このように、半導体領域１２１のPD上部領域１５３を凹凸構造とすることで、基板界面における急激な屈折率の変化を緩和し、反射光による影響を低減させることができる。

[0117] なお、図９では、半導体領域１２１の裏面側（オンチップレンズ１１７側

）から掘り込んで形成されたDTIで形成された画素間分離部131が、図8の画素間分離部131よりも、やや深い位置まで形成されている。画素間分離部131が形成される基板厚み方向の深さは、このように任意の深さとすることができる。

[0118] <画素の回路構成例>

図10は、画素アレイ部3に2次元配置された通常画素31であり、通常画素31を、図8または図9に示した測距を行うのに適した構成の撮像素子としたときの回路構成を示している。

[0119] 通常画素31は、光電変換素子としてフォトダイオードPDを備える。また、通常画素31は、転送トランジスタTRG、浮遊拡散領域FD、付加容量FDL、切替トランジスタFDG、増幅トランジスタAMP、リセットトランジスタRST、及び、選択トランジスタSELをそれぞれ2個ずつ有する。さらに、通常画素31は、電荷排出トランジスタOFGを有している。

[0120] ここで、通常画素31において2個ずつ設けられる転送トランジスタTRG、浮遊拡散領域FD、付加容量FDL、切替トランジスタFDG、増幅トランジスタAMP、リセットトランジスタRST、及び、選択トランジスタSELのそれぞれを区別する場合、図10に示されるように、転送トランジスタTRG1およびTRG2、浮遊拡散領域FD1およびFD2、付加容量FDL1およびFDL2、切替トランジスタFDG1およびFDG2、増幅トランジスタAMP1およびAMP2、リセットトランジスタRST1およびRST2、並びに、選択トランジスタSEL1およびSEL2のように称する。

[0121] 転送トランジスタTRG、切替トランジスタFDG、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRST、及び、電荷排出トランジスタOFGは、例えば、N型のMOSトランジスタで構成される。

[0122] 転送トランジスタTRG1は、ゲート電極に供給される転送駆動信号TRG1gがアクティブ状態になるとこれに応答して導通状態になることで、フォトダイオードPDに蓄積されている電荷を浮遊拡散領域FD1に転送する。転送トランジスタTRG2は、ゲート電極に供給される転送駆動信号TRG2gがアクティブ状

態になるとこれに応答して導通状態になることで、フォトダイオードPDに蓄積されている電荷を浮遊拡散領域FD 2 に転送する。

[0123] 浮遊拡散領域FD 1 およびFD 2 は、フォトダイオードPDから転送された電荷を一時保持する電荷蓄積部である。

[0124] 切替トランジスタFDG 1 は、ゲート電極に供給されるFD駆動信号FDG 1 gがアクティブ状態になるとこれに応答して導通状態になることで、付加容量FDL 1 を、浮遊拡散領域FD 1 に接続させる。切替トランジスタFDG 2 は、ゲート電極に供給されるFD駆動信号FDG 2 gがアクティブ状態になるとこれに応答して導通状態になることで、付加容量FDL 2 を、浮遊拡散領域FD 2 に接続させる。付加容量FDL 1 およびFDL 2 は、図 8 の配線 1 3 4 によって形成されている。

[0125] リセットトランジスタRST 1 は、ゲート電極に供給されるリセット駆動信号RSTgがアクティブ状態になるとこれに応答して導通状態になることで、浮遊拡散領域FD 1 の電位をリセットする。リセットトランジスタRST 2 は、ゲート電極に供給されるリセット駆動信号RSTgがアクティブ状態になるとこれに応答して導通状態になることで、浮遊拡散領域FD 2 の電位をリセットする。なお、リセットトランジスタRST 1 およびRST 2 がアクティブ状態とされるとき、切替トランジスタFDG 1 およびFDG 2 も同時にアクティブ状態とされ、付加容量FDL 1 およびFDL 2 もリセットされる。

[0126] 垂直駆動回路 4 は、例えば、入射光の光量が多い高照度のとき、切替トランジスタFDG 1 およびFDG 2 をアクティブ状態として、浮遊拡散領域FD 1 と付加容量FDL 1 を接続するとともに、浮遊拡散領域FD 2 と付加容量FDL 2 を接続する。これにより、高照度時に、より多くの電荷を蓄積することができる。

[0127] 一方、入射光の光量が少ない低照度のときには、垂直駆動回路 4 は、切替トランジスタFDG 1 およびFDG 2 を非アクティブ状態として、付加容量FDL 1 およびFDL 2 を、それぞれ、浮遊拡散領域FD 1 およびFD 2 から切り離す。これにより、変換効率を上げることができる。

[0128] 電荷排出トランジスタOFGは、ゲート電極に供給される排出駆動信号OFG 1 gがアクティブ状態になるとこれに応答して導通状態になることで、フォトダ

イオードPDに蓄積された電荷を排出する。

- [0129] 増幅トランジスタAMP 1 は、ソース電極が選択トランジスタSEL 1 を介して垂直信号線 9 Aに接続されることにより、不図示の定電流源と接続し、ソースフォロワ回路を構成する。増幅トランジスタAMP 2 は、ソース電極が選択トランジスタSEL 2 を介して垂直信号線 9 Bに接続されることにより、不図示の定電流源と接続し、ソースフォロワ回路を構成する。
- [0130] 選択トランジスタSEL 1 は、増幅トランジスタAMP 1 のソース電極と垂直信号線 9 Aとの間に接続されている。選択トランジスタSEL 1 は、ゲート電極に供給される選択信号SEL 1 gがアクティブ状態になるとこれに応答して導通状態となり、増幅トランジスタAMP 1 から出力される検出信号VSL 1 を垂直信号線 9 Aに出力する。
- [0131] 選択トランジスタSEL 2 は、増幅トランジスタAMP 2 のソース電極と垂直信号線 9 Bとの間に接続されている。選択トランジスタSEL 2 は、ゲート電極に供給される選択信号SEL 2 gがアクティブ状態になるとこれに応答して導通状態となり、増幅トランジスタAMP 2 から出力される検出信号VSL 2 を垂直信号線 9 Bに出力する。
- [0132] 通常画素 3 1 の転送トランジスタTRG 1 およびTRG 2、切替トランジスタFDG 1 およびFDG 2、増幅トランジスタAMP 1 およびAMP 2、選択トランジスタSEL 1 およびSEL 2、並びに、電荷排出トランジスタ0FGは、垂直駆動回路 4 によって制御される。
- [0133] 図 1 0 の画素回路において、付加容量FDL 1 およびFDL 2 と、その接続を制御する、切替トランジスタFDG 1 およびFDG 2 は省略してもよいが、付加容量FDLを設け、入射光量に応じて使い分けることにより、高ダイナミックレンジを確保することができる。
- [0134] 通常画素 3 1 の動作について簡単に説明する。
- [0135] まず、受光を開始する前に、通常画素 3 1 の電荷をリセットするリセット動作が全画素で行われる。すなわち、電荷排出トランジスタ0FGと、リセットトランジスタRST 1 およびRST 2、並びに、切替トランジスタFDG 1 およびFDG

2 がオンされ、フォトダイオードPD、浮遊拡散領域FD 1 およびFD 2、並びに、付加容量FDL 1 およびFDL 2 の蓄積電荷が排出される。

[0136] 蓄積電荷の排出後、全画素で受光が開始される。

[0137] 受光期間では、転送トランジスタTRG 1 とTRG 2 とが交互に駆動される。すなわち、第 1 の期間において、転送トランジスタTRG 1 がオン、転送トランジスタTRG 2 がオフに制御される。この第 1 の期間では、フォトダイオードPDで発生した電荷が、浮遊拡散領域FD 1 に転送される。第 1 の期間の次の第 2 の期間では、転送トランジスタTRG 1 がオフ、転送トランジスタTRG 2 がオンに制御される。この第 2 の期間では、フォトダイオードPDで発生した電荷が、浮遊拡散領域FD 2 に転送される。これにより、フォトダイオードPDで発生した電荷が、浮遊拡散領域FD 1 とFD 2 とに振り分けられて、蓄積される。

[0138] ここで、光電変換で得られた電荷（電子）の読み出しが行われる方の転送トランジスタTRGおよび浮遊拡散領域FDをアクティブタップ（active tap）とも称することとする。逆に、光電変換で得られた電荷の読み出しが行われない方の転送トランジスタTRGおよび浮遊拡散領域FDをイナクティブタップ（inactive tap）とも称することとする。

[0139] そして、受光期間が終了すると、画素アレイ部 3 の各通常画素 3 1 が、線順次に選択される。選択された通常画素 3 1 では、選択トランジスタSEL 1 およびSEL 2 がオンされる。これにより、浮遊拡散領域FD 1 に蓄積された電荷が、検出信号VSL 1 として、垂直信号線 9 Aを介してカラム信号処理回路 5 に出力される。浮遊拡散領域FD 2 に蓄積された電荷は、検出信号VSL 2 として、垂直信号線 9 Bを介してカラム信号処理回路 5 に出力される。

[0140] 以上で 1 回の受光動作が終了し、リセット動作から始まる次の受光動作が実行される。

[0141] 通常画素 3 1 が受光する反射光は、光源が照射したタイミングから、対象物までの距離に応じて遅延されている。対象物までの距離に応じた遅延時間によって、2 つの浮遊拡散領域FD 1 とFD 2 に蓄積される電荷の配分比が変化するため、2 つの浮遊拡散領域FD 1 とFD 2 に蓄積される電荷の配分比から、

物体までの距離を求めることができる。

[0142] <画素の平面図>

図 1 1 は、図 1 0 に示した画素回路の配置例を示した平面図である。図 1 0 における横方向は、図 1 の行方向（水平方向）に対応し、縦方向は図 1 の列方向（垂直方向）に対応する。

[0143] 図 1 1 に示されるように、矩形の通常画素 3 1 の中央部の領域に、フォトダイオードPDがN型の半導体領域 1 2 2 で形成されている。

[0144] フォトダイオードPDの外側であって、矩形の通常画素 3 1 の四辺の所定の一辺に沿って、転送トランジスタTRG 1、切替トランジスタFDG 1、リセットトランジスタRST 1、増幅トランジスタAMP 1、及び、選択トランジスタSEL 1 が直線的に並んで配置され、矩形の通常画素 3 1 の四辺の他の一辺に沿って、転送トランジスタTRG 2、切替トランジスタFDG 2、リセットトランジスタRST 2、増幅トランジスタAMP 2、及び、選択トランジスタSEL 2 が直線的に並んで配置されている。

[0145] さらに、転送トランジスタTRG、切替トランジスタFDG、リセットトランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELが形成されている通常画素 3 1 の二辺とは別の辺に、電荷排出トランジスタ0FGが配置されている。

[0146] なお、図 1 1 に示した画素回路の配置は、この例に限られず、その他の配置としてもよい。

[0147] <反射光による影響について>

図 2 を参照して説明したように、画素アレイ部 3 には、通常画素領域 3 1 と O P B 画素領域 3 2 とが配置されている。通常画素領域 3 1 は開口されているのに対して、O P B 画素領域 3 2 は遮光されている。

[0148] 図 1 2 に、通常画素領域 3 1 と O P B 画素領域 3 2 が隣接して配置されている領域の画素の断面図を示す。図 1 2 には、図中左側に、O P B 画素 3 2 が 2 画素配置され、右側に、通常画素 3 1 が 3 画素配置されている例を示した。また、通常画素 3 1 は、図 9 に示した凹凸構造を有する通常画素 3 1 で

ある場合を示している。

[0149] OPB画素32の基本的な構成は、通常画素31と同一とすることができる。OPB画素領域32は遮光されているため、OPB画素32のオンチップレンズ117側には、遮光膜201が形成され、入射光が遮光される構成とされている。

[0150] なお、OPB画素32や有効不問画素33は、ダミー画素と称することもできる。OPB画素32と有効不問画素33は、それぞれ読み出された画素信号が画像の生成には用いられない画素である。読み出された画素信号が画像の生成には用いられないとは、再生された画面には、表示されない画素ともいえる。

[0151] 図12に示したOPB画素32は、オンチップレンズ117を備える構成を示しているが、OPB画素32や有効不問画素33（ダミー画素）の構成としては、オンチップレンズ117を備えない構成としても良い。また、オンチップレンズ117がつぶれているなど、集光機能が劣化した状態で形成されている構成としても良い。

[0152] またダミー画素は、平面視でみたときに、垂直信号線9（図1）で接続されていない構成としても良い。

[0153] またダミー画素は、有効画素（通常画素31）が備えるトランジスタと同等のトランジスタを備えない構成としても良い。図10、図11に、通常画素31が備えるトランジスタについて説明したが、通常画素31は、複数のトランジスタを備えるが、通常画素31が備える複数のトランジスタよりも少ないトランジスタを備える画素を、ダミー画素とすることもできる。

[0154] このように、ダミー画素は、通常画素31と異なる構成を有し、図12に示したように、遮光膜201を有したり、通常画素31が有する要素（トランジスタ、FD、OCLなど）のうち少なくとも1つが異なる構成とされていたりする。

[0155] 以下の説明においては、OPB画素32の構成は、通常画素31と基本的に同様であるが、遮光膜201を有する点が異なる構成である場合を例に挙

げて説明を続ける。

[0156] また、以下の説明においては、図 1 2 に示した O P B 画素 3 2 のように、P D 上部領域 1 5 3 に凹凸構造を有する構造を例に挙げて説明を続けるが、O P B 画素 3 2 には、凹凸構造を設けない構成としても良い。

[0157] 図 1 2 に矢印で示したように、通常画素 3 1 に光が入射する。通常画素 3 1 に入射した光は、例えば、多層配線層 1 1 2 内の配線に到達し、反射される光もある。反射された光は、画素間分離部 1 3 1 に到達し、反射され、通常画素 3 1 内に戻される光もあるが、透過して、隣接する O P B 画素 3 2 に漏れ込む光もある。画素間分離部 1 3 1 が、トレンチのみで構成されている場合などには、多層配線層 1 1 2 内の配線で反射された光は、画素間分離部 1 3 1 (トレンチ) を透過して、隣接する O P B 画素 3 2 に漏れ込む光が多くなる可能性がある。

[0158] また、多層配線層 1 1 2 内の配線で反射された光は、画素間分離部 1 3 1 が形成されていない P 型の半導体領域 1 2 1 を通って、隣接する O P B 画素 3 2 に漏れ込む光もある。また、O P B 画素 3 2 に漏れ込んだ光は、さらに隣接する O P B 画素 3 2 にも漏れ込む可能性がある。

[0159] また、測距に用いられる測距画素は、近赤外などの長波長の光を受光する仕様とされているものがある。長波長の光は、シリコン基板での量子効率が高いため、シリコン基板内を反射しながら進む傾向にある。すなわち、長波長の光の場合、上記したように隣接する画素に漏れ込む光が多くなる可能性が高い。

[0160] 長波長の光を扱う画素の場合、通常画素 3 1 から O P B 画素 3 2 に漏れ込む光が多くなる可能性がある。

[0161] O P B 画素 3 2 は、画像の黒レベルを示す画素信号である黒レベル信号の読出しに用いられたため、遮光し、光が入射しないように構成されている。しかしながら、上記したように、O P B 画素 3 2 に、隣接する通常画素 3 1 や O P B 画素 3 2 からの光の漏れ込みがあると、黒レベルの浮きが発生したり、O P B 画素 3 2 ごとのばらつきが生じたりし、黒レベルの設定精度が落ち

る可能性がある。

[0162] 以下に説明する本技術を適用した実施の形態においては、OPB画素32への光の漏れ込みを低減し、黒レベルの設定精度が落ちるようなことを防ぐことができる。

[0163] <第1の実施の形態>

以下に、OPB画素32への光の漏れ込みを低減することができる本技術を適用した撮像素子について説明を加える。以下の説明では、撮像素子の構成として、図9に示した通常画素31の構成の場合であり、OPB画素32の基本的な構成も、図9に示した通常画素31の構成と同様である場合を例に挙げて説明する。

[0164] 以下に説明する実施の形態は、図8に示したような凹凸構造を有していない撮像素子に対しても適用できる。また以下に説明する実施の形態は、図9に示した測距に適した構造を有する撮像素子を例に挙げて説明するが、カラー画像を撮影する画素などにも本技術を適用できる。

[0165] 図13は、第1の実施の形態における撮像素子の断面構成例を示す図である。図13に示した第1の実施の形態における撮像素子と、図12に示した撮像素子を比較する。図13に示したOPB画素32aの画素間分離部221が、図12に示したOPB画素32の画素間分離部131と異なる点以外は、同様であるため、その説明は省略する。

[0166] 図13に示したOPB画素32aの画素間分離部221は、半導体領域121を図中縦方向に貫通する構成とされている。通常画素31の画素間分離部131は、非貫通に形成されているのに対して、OPB画素32aの画素間分離部221は、貫通した構成とされている。

[0167] このように、画素アレイ部3に配置される通常画素31の画素間分離部131と、OPB画素32aの画素間分離部221は、異なる構成とされている。

[0168] 図14は、図13の線分a-bにおける通常画素31とOPB画素32aの平面図である。図14において、1つの四角形は、通常画素31またはO

P B 3 2 aを表している。1つの通常画素3 1は、非貫通で形成されている画素間分離部1 3 1で囲まれている。換言すれば、通常画素領域3 1には、格子状に非貫通に形成された画素間分離部1 3 1が形成されている。

[0169] 1つのO P B画素3 2 aは、貫通で形成されている画素間分離部2 2 1で囲まれている。換言すれば、O P B画素領域3 2 aには、格子状に貫通して形成された画素間分離部2 2 1が形成されている。

[0170] 第1の実施の形態におけるO P B画素3 2 aの画素間分離部2 2 1を、半導体領域1 2 1を貫通する構成とすることで、通常画素3 1から漏れ込む光を抑制することができる。

[0171] 例えば、図1 2を参照して説明したO P B画素3 2では、通常画素3 1に入射し、多層配線層1 1 2の配線で反射され、図1 2でO P B画素3 2に形成されていた画素間分離部1 3 1の下部にある半導体領域1 2 1を透過してO P B画素3 2に入射してしまう可能性があった。図1 3に示したO P B画素3 2 aでは、図1 2でO P B画素3 2に形成されていた画素間分離部1 3 1の下部にある半導体領域1 2 1にも画素間分離部2 2 1が形成されているため、この領域を透過してO P B画素3 2 aに入射してくる反射光を防ぐことができる。

[0172] <第2の実施の形態>

図1 5は、第2の実施の形態における撮像素子の断面構成例を示す図である。図1 5に示した第2の実施の形態における撮像素子と、図1 2に示した撮像素子を比較する。図1 5に示したO P B画素3 2 bの画素間分離部2 4 1が、図1 2に示したO P B画素3 2の画素間分離部1 3 1と異なる点以外は、同様であるため、その説明は省略する。

[0173] 図1 5に示したO P B画素3 2 bの画素間分離部2 4 1は、光を吸収する材料が充填されている。O P B画素3 2 bの画素間分離部2 4 1に充填されている材料と、通常画素3 1の画素間分離部1 3 1に充填されている材料は異なる。

[0174] 通常画素3 1の画素間分離部1 3 1は、入射してきた光や多層配線層1 1

2内の配線で反射してきた反射光を、PD52に戻し、PD52内に光を閉じ込めるのに適した材料が充填されている。換言すれば、通常画素31の画素間分離部131は、遮光性能よりも反射性能が高い材料（材料Aと記述する）が充填されている。

[0175] OPB画素32bの画素間分離部241は、隣接する通常画素31またはOPB画素32bからの光の漏れ込みを抑制するのに適した材料が充填されている。換言すれば、OPB画素32bの画素間分離部241は、反射性能よりも遮光性能が高い材料または光を吸収する性能が高い（材料Bと記述する）が充填されている。

[0176] OPB画素32bの画素間分離部241には、近赤外光の吸収係数が高い材料や、反射係数が高い材料が、充填されているようにすることができる。また、画素間分離部241の内部は、単層膜であっても良いし、多層膜であっても良い。

[0177] OPB画素32bの画素間分離部241に充填される材料は、例えば、SiO₂（二酸化ケイ素）、Al（アルミニウム）、W（タングステン）、Cu（銅）、Ti（チタン）、TiN（窒化チタン）、Ta（タンタル）などがある。

[0178] このように、画素アレイ部3に配置される通常画素31の画素間分離部131と、OPB画素32bの画素間分離部241は、異なる構成とされている。

[0179] 図16は、図15の線分a-bにおける通常画素31とOPB画素32bの平面図である。図16において、1つの四角形は、通常画素31またはOPB32bを表している。1つの通常画素31は、材料Aが充填されている画素間分離部131で囲まれている。換言すれば、通常画素領域31には、格子状に材料Aが充填されている画素間分離部131が形成されている。

[0180] 1つのOPB画素32bは、材料Bが充填されている画素間分離部241で囲まれている。換言すれば、OPB画素領域32bには、格子状に材料Bが充填されている画素間分離部241が形成されている。

[0181] 第2の実施の形態におけるOPB画素32bの画素間分離部241を、遮光性の高い材料Bで充填した構成とすることで、通常画素31から漏れ込む光を抑制することができる。

[0182] <第3の実施の形態>

図17は、第3の実施の形態における撮像素子の断面構成例を示す図である。第3の実施の形態における撮像素子は、図2のBに示したように、画素アレイ部3に通常画素領域31、OPB画素領域32、および有効不問画素領域33が設けられている構成に、第2の実施の形態を適用した場合である。

[0183] 図17に示した第3の実施の形態における撮像素子と、図15に示した撮像素子を比較する。図15に示したOPB画素32bの画素間分離部241と同様の構成が、図17に示した有効不問画素33の画素間分離部261に適用した構成である。

[0184] 図17に示した有効不問画素33cの画素間分離部261は、光を吸収する材料が充填されている。有効不問画素33cの画素間分離部261に充填されている材料と、通常画素31の画素間分離部131に充填されている材料は異なる。有効不問画素33cの画素間分離部261は、隣接する通常画素31または有効不問画素33cからの光の漏れ込みを抑制するのに適した材料が充填されている。

[0185] 図17に示した有効不問画素33cの画素間分離部261に充填されている材料と、OPB画素32cの画素間分離部131に充填されている材料は異なる。

[0186] 図17に示した例では、OPB画素32cの基本的な構成は、通常画素31と同様な構成としているが、OPB画素32cの基本的な構成は、有効不問画素33cと同様な構成としても良い。すなわち、OPB画素32cの画素間分離部131は、有効不問画素領域33cの画素間分離部261と同じく、遮光性の高い材料が充填されている構成とすることができる。

[0187] また、OPB画素32cの画素間分離部131は、有効不問画素33cの

画素間分離部 261 や、通常画素 31 の画素間分離部 131 とは異なる構造とされていても良い。

[0188] 有効不問画素 33c の画素間分離部 261 に充填される材料は、例えば、 SiO_2 （二酸化ケイ素）、 Al （アルミニウム）、 W （タングステン）、 Cu （銅）、 Ti （チタン）、 TiN （窒化チタン）、 Ta （タンタル）などがある。

[0189] このように、画素アレイ部 3 に配置される通常画素 31 の画素間分離部 131 と、有効不問画素 33c の画素間分離部 261 は、異なる構成とされている。

[0190] 図 18 は、図 17 の線分 a-b における通常画素 31、OPB 画素 32c、有効不問画素 33c の平面図である。図 18 において、1 つの四角形は、通常画素 31、OPB 32c、または有効不問画素 33c を表している。1 つの通常画素 31 は、材料 A が充填されている画素間分離部 131 で囲まれている。換言すれば、通常画素領域 31 には、格子状に材料 A が充填されている画素間分離部 131 が形成されている。

[0191] 図 18 に示した例では、1 つの OPB 画素 32c は、1 つの通常画素 31 と同じく、材料 A が充填されている画素間分離部 131 で囲まれている。換言すれば、OPB 画素領域 32c には、格子状に材料 A が充填されている画素間分離部 131 が形成されている。

[0192] 1 つの有効不問画素 33c は、材料 B が充填されている画素間分離部 261 で囲まれている。換言すれば、有効不問画素領域 33 には、格子状に材料 B が充填されている画素間分離部 261 が形成されている。

[0193] 第 3 の実施の形態における有効不問画素 33c の画素間分離部 261 を、遮光性の高い材料 B で充填した構成とすることで、通常画素 31 から漏れ込む光を抑制することができる。また、有効不問画素 33c に漏れ込む光が抑制することができるため、有効不問画素 33c に隣接する OPB 画素 32c に漏れ込む光も抑制することができる。

[0194] <第 4 の実施の形態>

図19は、第4の実施の形態における撮像素子の断面構成例を示す図である。図19に示した第4の実施の形態における撮像素子と、図15に示した撮像素子を比較する。図19に示したOPB画素32dの画素間分離部281は、図15に示したOPB画素32bの画素間分離部241よりも深い位置まで形成されている点が異なる以外は、同様であるため、その説明は省略する。

[0195] 第4の実施の形態におけるOPB画素32dの画素間分離部281は、通常画素31の画素間分離部131よりも深い位置まで形成され、画素間分離部131よりも光を吸収する特性を有する材料が充填されている。

[0196] OPB画素32dの画素間分離部281は、第1の実施の形態におけるOPB画素32aの画素間分離部221（図13）のように、半導体基板111を貫通した構成（貫通したトレンチ）とされ、そのトレンチの内側には、光を吸収する特性を有する材料が充填されているようにしても良い。

[0197] 第4の実施の形態におけるOPB画素32dにおいても、通常画素31からOPB画素32dに漏れ込む光や、隣接するOPB画素32dから漏れ込む光を抑制することができる。

[0198] ＜第5の実施の形態＞

図20は、第5の実施の形態における撮像素子の断面構成例を示す図である。図20に示した第5の実施の形態における撮像素子と、図15に示した撮像素子を比較する。図20に示したOPB画素32eの画素間分離部301は、図15に示したOPB画素32bの画素間分離部241よりも太く形成されている点が異なる以外は、同様であるため、その説明は省略する。

[0199] 第5の実施の形態におけるOPB画素32eの画素間分離部301は、通常画素31の画素間分離部131よりも太く形成され、画素間分離部131よりも光を吸収する特性を有する材料が充填されている。

[0200] OPB画素32eの画素間分離部301は、第1の実施の形態におけるOPB画素32aの画素間分離部221（図13）のように、半導体基板111を貫通した構成（貫通したトレンチ）とされ、そのトレンチの内側には、

光を吸収する特性を有する材料が充填されているようにしても良い。

[0201] 図21は、図20の線分a-bにおける通常画素31とOPB画素32eの平面図である。図21において、1つの四角形は、通常画素31またはOPB画素32eを表している。1つの通常画素31は、材料Aが充填されている画素間分離部131で囲まれている。

[0202] 1つのOPB画素32eは、材料Bが充填されている画素間分離部301で囲まれ、かつ、画素間分離部301は、画素間分離部131よりも太く（幅が広く）形成されている。換言すれば、OPB画素領域32eには、幅広の格子状に材料Bが充填されている画素間分離部301が形成されている。

[0203] 第5の実施の形態におけるOPB画素32eにおいても、通常画素31からOPB画素32eに漏れ込む光や、隣接するOPB画素32eから漏れ込む光を抑制することができる。

[0204] <第6の実施の形態>

図22は、第6の実施の形態における撮像素子の断面構成例を示す図である。第6の実施の形態における撮像素子は、図2のBに示したように、画素アレイ部3に通常画素領域31、OPB画素領域32、および有効不問画素領域33が設けられている構成に、第5の実施の形態を適用した場合である。

[0205] 図22に示した第6の実施の形態における撮像素子と、図20に示した撮像素子を比較する。図20に示したOPB画素32eの画素間分離部301と同様の構成が、図20に示した有効不問画素33fの画素間分離部321に設けられた構成である。

[0206] また、図22に示した第6の実施の形態における撮像素子と、図17に示した撮像素子を比較した場合、図22に示した有効不問画素33fの画素間分離部321は、図17に示した有効不問画素33cの画素間分離部261よりも太く形成されている点異なり、他の点は同様である。

[0207] 第6の実施の形態における有効不問画素33fの画素間分離部321は、通常画素31の画素間分離部131よりも太く形成され、画素間分離部13

1よりも光を吸収する特性を有する材料が充填されている。

[0208] 有効不問画素33fの画素間分離部321は、第1の実施の形態におけるOPB画素32aの画素間分離部221（図13）のように、半導体基板111を貫通した構成（貫通したトレンチ）とされ、そのトレンチの内側には、光を吸収する特性を有する材料が充填されているようにしても良い。

[0209] 図23は、図22の線分a－bにおける通常画素31、OPB画素32f、および有効不問画素33fの平面図である。図23において、1つの四角形は、通常画素31、OPB画素32f、または有効不問画素33fを表している。1つの通常画素31は、材料Aが充填されている画素間分離部131で囲まれている。

[0210] 図23に示した例では、1つのOPB画素32fは、1つの通常画素31と同じく、材料Aが充填されている画素間分離部131で囲まれている。換言すれば、OPB画素領域32fには、格子状に材料Aが充填されている画素間分離部131が形成されている。

[0211] 1つの有効不問画素33fは、材料Bが充填されている画素間分離部321で囲まれ、かつ、画素間分離部321は、画素間分離部131よりも太く（幅が広く）形成されている。換言すれば、OPB画素領域32fには、幅広の格子状に材料Bが充填されている画素間分離部321が形成されている。

[0212] 第6の実施の形態における有効不問画素33fにおいても、通常画素31から有効不問画素33fに漏れ込む光や、隣接する有効不問画素33fから漏れ込む光を抑制することができる。また、有効不問画素33fからOPB画素32fへの光の漏れ込みを抑制することができる。

[0213] ＜第7の実施の形態＞

図24は、第7の実施の形態における撮像素子の断面構成例を示す図である。第7の実施の形態における撮像素子の構成は、第2の実施の形態における撮像素子と基本的な構成は同一である。

[0214] 図24に示した第7の実施の形態におけるOPB画素32gの遮光膜34

1 は、画素間分離部 2 4 1 と同じ材料で形成されている点が、第 2 の実施の形態における O P B 画素 3 2 b と異なり、他の点は同一である。

[0215] 遮光膜 3 4 1 と画素間分離部 2 4 1 を同一の材料で形成することで、同一工程で加工することができるようになり、製造時の工程を減らすことができ、低コスト化することができる。

[0216] ここでは、第 7 の実施の形態を、第 2 の実施の形態と組み合わせた場合を例に挙げて説明したが、第 4 の実施の形態における O P B 画素 3 2 d (図 1 9) と組み合わせても良いし、第 5 の実施の形態における O P B 画素 3 2 e (図 2 0) と組み合わせても良い。

[0217] 第 7 の実施の形態における O P B 画素 3 2 g においても、通常画素 3 1 から O P B 画素 3 2 g に漏れ込む光や、隣接する O P B 画素 3 2 g から漏れ込む光を抑制することができる。

[0218] <第 8 の実施の形態>

図 2 5 は、第 8 の実施の形態における撮像素子の断面構成例を示す図である。図 2 5 に示した第 8 の実施の形態における撮像素子と、図 1 2 に示した撮像素子を比較する。図 2 5 に示した撮像素子は、第 0 金属膜 M0 が新たに追加された構成とされている点が、図 1 2 に示した撮像素子と異なる点であり、他の点は同様であるため、その説明は省略する。

[0219] 図 2 5 に示した第 8 の実施の形態における撮像素子は、第 1 金属膜 M1 と半導体基板 1 1 1 との間に、第 0 金属膜 M0 を設ける。この第 0 金属膜 M0 のうち、O P B 画素 3 2 h の領域には、遮光部材 4 0 1 が設けられている。

[0220] 多層配線層 1 1 2 の第 0 乃至第 4 の金属膜 M のうち、半導体基板 1 1 1 に最も近い第 0 金属膜 M0 の、O P B 画素 3 2 h のフォトダイオード PD の形成領域の下方に位置する領域に、銅やアルミニウムなどのメタル（金属）配線が遮光部材 4 0 1 として形成されている。

[0221] 図 2 6 は、図 2 5 の線分 a - b における通常画素 3 1 と O P B 画素 3 2 h の平面図である。図 2 6 において、1 つの四角形は、通常画素 3 1 または O P B 画素 3 2 h を表している。1 つの通常画素 3 1、1 つの O P B 画素 3 2

は、それぞれ材料Aが充填されている画素間分離部131で囲まれている。

[0222] また図26には、遮光部材401も示した。遮光部材401は、平面視において、OPB画素32のフォトダイオードPDの形成領域と少なくとも一部が重なる領域に形成されている。

[0223] 遮光部材401は、上述した実施の形態におけるOPB画素32の画素間分離部に充填されている材料と同様の材料を用いることができる。

[0224] 遮光部材401は、オンチップレンズ117を介して光入射面から半導体基板111内に入射し、半導体基板111内で光電変換されずに半導体基板111を透過してしまった光を、半導体基板111に最も近い第0金属膜M0で遮光し、それより下方の第1金属膜M1や第2金属膜M3へ透過させないようにする。この遮光機能により、半導体基板111内で光電変換されずに半導体基板111を透過してしまった光が、第0金属膜M0より下の金属膜Mで散乱し、近傍画素へ入射してしまうことを抑制できる。これにより、近傍画素で誤って光を検知してしまうことを防ぐことができる。

[0225] また、遮光部材401は、隣接する通常画素31またはOPB画素32hから漏れ込んだ光を、遮光部材401で吸収させ、OPB画素32hのフォトダイオードPDへと再度入射されるようなことを防ぐ機能も有する。

[0226] 第8の実施の形態におけるOPB画素32hにおいても、通常画素31からOPB画素32hに漏れ込む光や、隣接するOPB画素32hから漏れ込む光を抑制することができる。

[0227] <第9の実施の形態>

図27は、第9の実施の形態における撮像素子の断面構成例を示す図である。図27に示した第9の実施の形態における撮像素子は、第8の実施の形態における遮光部材401を備えるOPB画素32hの構成を、有効不問画素33iに適用した構成とされている。

[0228] 図27に示した第9の実施の形態における撮像素子も、第8の実施の形態における撮像素子と同じく、第1金属膜M1と半導体基板111との間に、第0金属膜M0が設けられている。また第0金属膜M0のうち、有効不問画素3

3 i の領域には、遮光部材 4 2 1 が設けられている。

[0229] 多層配線層 1 1 2 の第 0 乃至第 4 の金属膜 M のうち、半導体基板 1 1 1 に最も近い第 0 金属膜 M0 の、有効不問画素 3 3 i のフォトダイオード PD の形成領域の下方に位置する領域に、銅やアルミニウムなどのメタル（金属）配線が遮光部材 4 0 1 として形成されている。

[0230] 図 2 8 は、図 2 7 の線分 a - b における通常画素 3 1、OPB 画素 3 2 i、および有効不問画素 3 3 i の平面図である。図 2 8 において、1 つの四角形は、通常画素 3 1、OPB 画素 3 2 i、または有効不問画素 3 3 i を表している。1 つの通常画素 3 1、1 つの OPB 画素 3 2 i、および 1 つの有効不問画素 3 3 i は、それぞれ材料 A が充填されている画素間分離部 1 3 1 で囲まれている。

[0231] また図 2 6 には、遮光部材 4 2 1 も示した。遮光部材 4 2 1 は、平面視において、有効不問画素 3 3 i のフォトダイオード PD の形成領域と少なくとも一部が重なる領域に形成されている。

[0232] 第 8 の実施の形態における有効不問画素 3 3 i においても、通常画素 3 1 から有効不問画素 3 3 i に漏れ込む光や、隣接する有効不問画素 3 3 i から漏れ込む光を抑制することができる。また、有効不問画素 3 3 i から、OPB 画素 3 2 i に漏れ込む光も抑制することができる。

[0233] <第 1 0 の実施の形態>

図 2 9 は、第 1 0 の実施の形態における撮像素子の断面構成例を示す図である。上述した第 8 の実施の形態における撮像素子や、第 9 の実施の形態における撮像素子は、第 0 金属膜 M0 を設け、その第 0 金属膜 M0 に、遮光部材 4 0 1（4 2 1）が設けられている例を示した。遮光部材 4 0 1（4 2 1）に該当する遮光部材は、第 0 金属膜 M0 以外のレイヤーに設けても良い。

[0234] 図 2 9 に示した第 1 0 の実施の形態における撮像素子は、コンタクト層に遮光部材 4 4 1 が設けられている。コンタクト層は、多層配線層 1 1 2 が形成された半導体基板 1 1 1 の表面側であり、2 つの転送トランジスタ TRG 1 および TRG 2 が形成されているレイヤーである。このコンタクト層のコンタクト

が設けられていない領域に、遮光部材421を形成しても良い。

[0235] 図29に示したように、OPB画素32jのコンタクト層には、遮光部材421が設けられている。通常画素31のコンタクト層には、遮光部材421は設けられていない。

[0236] コンタクト層に遮光部材421を設けることで、第0金属膜M0を形成しなくても良いため、第0金属膜M0を形成するための工程を省略することができる。また、遮光部材421は、コンタクト層にコンタクトを形成する工程において、コンタクトと同時に形成することもできるため、工程を増やすことなく製造することができる。

[0237] 図30は、図29の線分a-bにおける通常画素31とOPB画素32hの平面図である。図30において、1つの四角形は、通常画素31またはOPB画素32hを表している。1つの通常画素31、1つのOPB画素32は、それぞれ材料Aが充填されている画素間分離部131で囲まれている。

[0238] また図30には、遮光部材421も示した。遮光部材421は、平面視において、OPB画素32のフォトダイオードPDの形成領域と少なくとも一部が重なる領域に形成されている。図30に示した例では、フォトダイオードPDの領域に形成されている遮光部材421は、四角形が、3×3に配置された例を示した。

[0239] 遮光部材421の形状は、四角形状に限定されるわけではなく、四角形状以外の形状、例えば、円形や多角形であっても良い。また、配置も3×3に限定されるわけではなく、コンタクトに影響を及ぼすことがない位置に配置されれば良い。また、遮光部材421は、コンタクトと同一の形状（形と大きさ）で形成されていても良いし、異なる形状で形成されていても良い。

[0240] 遮光部材421は、OPB画素32jを取り囲む画素間分離部131の下方にも形成されているようにしても良い。平面視において、例えば、図30に示したように、画素間分離部131の下方に位置する領域にも遮光部材421が設けられる。図30に示した例では、場所により異なる形状で、遮光部材421が形成されている例を示した。

[0241] 遮光部材421は、画素間分離部131の下方の領域の一部に形成されていても良いし、画素間分離部131と同じく、OPB画素32jを取り囲むように形成されていても良い。

[0242] 遮光部材421の形状、大きさ、配置位置などは、所定のパターンが繰り返されるようにしても良いし、何らかのパターンに依存せずに配置されているようにしても良い。

[0243] 第10の実施の形態におけるOPB画素32jにおいても、通常画素31からOPB画素32jに漏れ込む光や、隣接するOPB画素32jから漏れ込む光を抑制することができる。

[0244] <第11の実施の形態>

図31は、第11の実施の形態における撮像素子の断面構成例を示す図である。図31に示した第11の実施の形態における撮像素子は、第10の実施の形態における遮光部材421を備えるOPB画素32jの構成を、有効不問画素33kに適用した構成とされている。

[0245] 図31に示した第11の実施の形態における撮像素子も、第10の実施の形態における撮像素子と同じく、コンタクト層に、遮光部材461が設けられている。

[0246] 遮光部材461が、有効不問画素33kのコンタクト層に形成されている。OPB画素32kにも、第10の実施の形態のように、遮光部材441が形成されていても良い。

[0247] 第11の実施の形態における有効不問画素33kにおいても、通常画素31から有効不問画素33kに漏れ込む光や、隣接する有効不問画素33kから漏れ込む光を抑制することができる。また、有効不問画素33kから、OPB画素32kに漏れ込む光も抑制することができる。

[0248] <第12の実施の形態>

上述した第1乃至第11の実施の形態は、単独で実施することも可能であるし、組み合わせて実施することも可能である。例えば、OPB画素32の画素間分離部を、通常画素31の画素間分離部131と異なる材料を充填し

た構成とし、かつOPB画素32の下部に遮光部材を設けた構成としても良い。

[0249] また、有効不問画素33の画素間分離部を、通常画素31の画素間分離部131と異なる材料を充填した構成とし、かつ有効不問画素33の下部に遮光部材を設けた構成としても良い。

[0250] 例えば、第2の実施の形態におけるOPB画素32b（図15）と、第10の実施の形態におけるOPB画素32jを組み合わせた実施の形態の撮像素子を、図32に示す。図32に示した第12の実施の形態におけるOPB画素32mは、遮光性が高い材料が充填されている画素間分離部241を備え、コンタクト層に、遮光部材441を備える。

[0251] このように、上記した第1乃至第11の実施の形態を組み合わせることも可能である。組み合わせる実施した場合も、通常画素31からOPB画素32や有効不問画素33に漏れ込む光や、隣接するOPB画素32や有効不問画素33から漏れ込む光を抑制することができる。

[0252] 上述したように、通常画素31とOPB画素32が、画素アレイ部3に配置されている構成である場合、通常画素31の画素間分離部131とOPB画素32の画素間分離部を異なる構成とすることで、OPB画素32に漏れ込む光を抑制することができ、黒レベルの設定の精度を向上させることができる。

[0253] より具体的には、OPB画素32の画素間分離部を、隣接する画素からの光の漏れ込みを通常画素31の画素間分離部131よりも、より防ぐことができる材料や構成とすることで、OPB画素32に漏れ込む光を抑制することができ、黒レベルの設定の精度を向上させることができる。

[0254] 近赤外などの長波長の光を受光し、処理する撮像素子、例えば測距に用いられる撮像素子においては、上記した実施の形態における撮像素子を適用することで、よりOPB画素32に漏れ込む光を抑制することができ、黒レベルの設定の精度を向上させることができる。

[0255] <測距モジュールの構成例>

上記した実施の形態における撮像装置 1 は、測距を行う装置に適用することができる。図 33 は、上述した撮像装置 1 を用いて測距情報を出力する測距モジュールの構成例を示すブロック図である。

[0256] 測距モジュール 500 は、発光部 511、発光制御部 512、および、受光部 513 を備える。

[0257] 発光部 511 は、所定波長の光を発する光源を有し、周期的に明るさが変動する照射光を発して物体に照射する。例えば、発光部 511 は、光源として、波長が 780nm 乃至 1000nm の範囲の赤外光を発する発光ダイオードを有し、発光制御部 512 から供給される矩形波の発光制御信号 CLKp に同期して、照射光を発生する。

[0258] なお、発光制御信号 CLKp は、周期信号であれば、矩形波に限定されない。例えば、発光制御信号 CLKp は、サイン波であってもよい。

[0259] 発光制御部 512 は、発光制御信号 CLKp を発光部 511 および受光部 513 に供給し、照射光の照射タイミングを制御する。この発光制御信号 CLKp の周波数は、例えば、20メガヘルツ (MHz) である。なお、発光制御信号 CLKp の周波数は、20メガヘルツ (MHz) に限定されず、5メガヘルツ (MHz) などであってもよい。

[0260] 受光部 513 は、物体から反射した反射光を受光し、受光結果に応じて距離情報を画素ごとに算出し、物体（被写体）までの距離に対応するデプス値を画素値として格納したデプス画像を生成して、出力する。

[0261] 受光部 513 には、上述した実施の形態のいずれかの画素構造を有する撮像装置 1 が用いられる。例えば、受光部 513 としての撮像装置 1 は、発光制御信号 CLKp に基づいて、画素アレイ部 3 の各画素の浮遊拡散領域 FD1 または FD2 に振り分けられた電荷に応じた信号強度から、距離情報を画素ごとに算出する。なお、画素のタップ数は、上述した 4 タップなどでもよい。

[0262] 以上のように、間接ToF方式により被写体までの距離情報を求めて出力する測距モジュール 500 の受光部 513 として、上述した画素構造を有する撮像装置 1 を組み込むことができる。これにより、測距モジュール 500 とし

ての測距特性を向上させることができる。

[0263] <電子機器の構成例>

撮像装置 1 は、上述したように測距モジュールに適用できる他、例えば、測距機能を備えるデジタルスチルカメラやデジタルビデオカメラなどの撮像装置、測距機能を備えたスマートフォンといった各種の電子機器に適用することができる。

[0264] 図 3 4 は、本技術を適用した電子機器としての、スマートフォンの構成例を示すブロック図である。

[0265] スマートフォン 6 0 1 は、図 3 4 に示されるように、測距モジュール 6 0 2、撮像装置 6 0 3、ディスプレイ 6 0 4、スピーカ 6 0 5、マイクロフォン 6 0 6、通信モジュール 6 0 7、センサユニット 6 0 8、タッチパネル 6 0 9、および制御ユニット 6 1 0 が、バス 6 1 1 を介して接続されて構成される。また、制御ユニット 6 1 0 では、CPU がプログラムを実行することによって、アプリケーション処理部 6 2 1 およびオペレーションシステム処理部 6 2 2 としての機能を備える。

[0266] 測距モジュール 6 0 2 には、図 3 3 の測距モジュール 5 0 0 が適用される。例えば、測距モジュール 6 0 2 は、スマートフォン 6 0 1 の前面に配置され、スマートフォン 6 0 1 のユーザを対象とした測距を行うことにより、そのユーザの顔や手、指などの表面形状のデプス値を測距結果として出力することができる。

[0267] 撮像装置 6 0 3 は、スマートフォン 6 0 1 の前面に配置され、スマートフォン 6 0 1 のユーザを被写体とした撮像を行うことにより、そのユーザが写された画像を取得する。なお、図示しないが、スマートフォン 6 0 1 の背面にも撮像装置 6 0 3 が配置された構成としてもよい。

[0268] ディスプレイ 6 0 4 は、アプリケーション処理部 6 2 1 およびオペレーションシステム処理部 6 2 2 による処理を行うための操作画面や、撮像装置 6 0 3 が撮像した画像などを表示する。スピーカ 6 0 5 およびマイクロフォン 6 0 6 は、例えば、スマートフォン 6 0 1 により通話を行う際に、相手側の

音声の出力、および、ユーザの音声の集音を行う。

[0269] 通信モジュール607は、インターネット、公衆電話回線網、所謂4G回線や5G回線等の無線移動体用の広域通信網、WAN (Wide Area Network)、LAN (Local Area Network)等の通信網を介したネットワーク通信、Bluetooth (登録商標)、NFC (Near Field Communication)等の近距離無線通信などを行う。センサユニット608は、速度や加速度、近接などをセンシングし、タッチパネル609は、ディスプレイ604に表示されている操作画面に対するユーザによるタッチ操作を取得する。

[0270] アプリケーション処理部621は、スマートフォン601によって様々なサービスを提供するための処理を行う。例えば、アプリケーション処理部621は、測距モジュール602から供給されるデプス値に基づいて、ユーザの表情をバーチャルに再現したコンピュータグラフィックスによる顔を作成し、ディスプレイ604に表示する処理を行うことができる。また、アプリケーション処理部621は、測距モジュール602から供給されるデプス値に基づいて、例えば、任意の立体的な物体の三次元形状データを作成する処理を行うことができる。

[0271] オペレーションシステム処理部622は、スマートフォン601の基本的な機能および動作を実現するための処理を行う。例えば、オペレーションシステム処理部622は、測距モジュール602から供給されるデプス値に基づいて、ユーザの顔を認証し、スマートフォン601のロックを解除する処理を行うことができる。また、オペレーションシステム処理部622は、測距モジュール602から供給されるデプス値に基づいて、例えば、ユーザのジェスチャを認識する処理を行い、そのジェスチャに従った各種の操作を入力する処理を行うことができる。

[0272] このように構成されているスマートフォン601では、測距モジュール602として、上述した測距モジュール500を適用することで、例えば、所定の物体までの距離を測定して表示したり、所定の物体の三次元形状データを作成して表示したりする処理などを行うことができる。

[0273] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0274] 図35は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0275] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図35に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（Interface）12053が図示されている。

[0276] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0277] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信

される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0278] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0279] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0280] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0281] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両

のレーン逸脱警告等を含むA D A S (Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0282] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0283] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12030に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0284] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図35の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0285] 図36は、撮像部12031の設置位置の例を示す図である。

[0286] 図36では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0287] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像

を取得する。サイドミラーに備えられる撮像部 12102、12103は、主として車両 12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104は、主として車両 12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0288] なお、図 36 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112、12113 は、それぞれサイドミラーに設けられた撮像部 12102、12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0289] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0290] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的変化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うこと

ができる。

[0291] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0292] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0293] 本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

[0294] なお、本明細書に記載された効果はあくまで例示であって限定されるもの

では無く、また他の効果があってもよい。

[0295] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0296] なお、本技術は以下のような構成も取ることができる。

(1)

読み出された画素信号が画像の生成に用いられる第1の画素と、
読み出された画素信号が画像の生成に用いられない第2の画素と
が配置されている半導体層と、
前記半導体層に積層されている配線層と
を備え、
前記第1の画素の構造と前記第2の画素の構造は異なる
撮像素子。

(2)

隣接する前記第1の画素の前記半導体層を分離する第1の画素間分離部と
、
隣接する前記第2の画素の前記半導体層を分離する第2の画素間分離部と
をさらに備え、
前記第1の画素間分離部と前記第2の画素間分離部は異なる構造で設けら
れている

前記(1)に記載の撮像素子。

(3)

前記第1の画素間分離部は、前記半導体層を非貫通に設けられ、
前記第2の画素間分離部は、前記半導体層を貫通して設けられている
前記(2)に記載の撮像素子。

(4)

前記第1の画素間分離部に充填されている第1の材料と、前記第2の画素
間分離部に充填されている第2の材料は異なる

前記(2)または(3)に記載の撮像素子。

(5)

前記第2の材料は、前記第1の材料よりも、近赤外光の吸収係数が高い材料である

前記(4)に記載の撮像素子。

(6)

前記第2の画素間分離部は、前記第1の画素間分離部よりも幅広に設けられている

前記(2)乃至(5)のいずれかに記載の撮像素子。

(7)

前記第2の画素間分離部は、前記第1の画素間分離部よりも前記半導体層の深い位置まで設けられている

前記(2)乃至(6)のいずれかに記載の撮像素子。

(8)

前記第2の画素は、光入射面側に遮光性の高い遮光膜を備え、

前記第2の画素間分離部に充填されている材料と、前記遮光膜の材料は、同一の材料である

前記(2)乃至(7)のいずれかに記載の撮像素子。

(9)

前記配線層は、遮光部材を備える1層を少なくとも有し、

前記遮光部材は、平面視において前記第2の画素と重なるように設けられている

前記(1)乃至(8)のいずれかに記載の撮像素子。

(10)

前記遮光部材を備える1層は、コンタクト層である

前記(9)に記載の撮像素子。

(11)

前記遮光部材は、隣接する前記第2の画素の前記半導体層を分離する第2の画素間分離部の下部であり、前記配線層内にも設けられている

前記（９）に記載の撮像素子。

（１２）

前記第２の画素は、ＯＰＢ（オプティカルブラック）画素である

前記（１）乃至（１１）のいずれかに記載の撮像素子。

（１３）

前記第２の画素は、前記第１の画素と、ＯＰＢ（オプティカルブラック）画素との間に設けられている画素である

前記（１）乃至（１２）のいずれかに記載の撮像素子。

（１４）

読み出された画素信号が画像の生成に用いられる第１の画素と、
読み出された画素信号が画像の生成に用いられない第２の画素と
が配置されている半導体層と、

前記半導体層に積層されている配線層と

を備え、

前記第１の画素の構造と前記第２の画素の構造は異なる

撮像素子と、

周期的に明るさが変動する照射光を照射する光源と、

前記照射光の照射タイミングを制御する発光制御部と

を備える測距モジュール

を備える電子機器。

符号の説明

[0297] １ 撮像装置, ２ 画素, ３ 画素アレイ部, ４ 垂直駆動回路,
５ カラム信号処理回路, ６ 水平駆動回路, ７ 出力回路, ８
制御回路, ９ 垂直信号線, １０ 画素駆動配線, １１ 水平信号線
, １２ 半導体基板, １３ 入出力端子, ３１ 通常画素, ３２
ＯＰＢ画素, ３３ 有効不問画素, ５１ カラーフィルタ層, ５２
オンチップレンズ, ５３ ＩＲカットフィルタ, ５４ ＩＲフィルタ,
６１ Ｒフィルタ, ６２ Ｂフィルタ, １１１ 半導体基板, １１

2 多層配線層, 1 1 3 反射防止膜, 1 1 4 画素境界部, 1 1 5
画素間遮光膜, 1 1 6 平坦化膜, 1 1 7 オンチップレンズ, 1
2 1 半導体領域, 1 2 2 半導体領域, 1 2 3 酸化ハフニウム膜,
1 2 4 酸化アルミニウム膜, 1 2 5 酸化シリコン膜, 1 3 1 画
素間分離部, 1 3 2 層間絶縁膜, 1 3 3, 1 3 4 配線, 1 5 1
反射防止膜, 1 5 3 PD上部領域, 2 0 1 遮光膜, 2 2 1, 2 4 1
, 2 6 1, 2 8 1, 3 0 1, 3 2 1 画素間分離部, 3 4 1 遮光膜,
4 0 1, 4 2 1, 4 4 1, 4 6 1 遮光部材

請求の範囲

- [請求項1] 読み出された画素信号が画像の生成に用いられる第1の画素と、
読み出された画素信号が画像の生成に用いられない第2の画素と
が配置されている半導体層と、
前記半導体層に積層されている配線層と
を備え、
前記第1の画素の構造と前記第2の画素の構造は異なる
撮像素子。
- [請求項2] 隣接する前記第1の画素の前記半導体層を分離する第1の画素間分離部と、

隣接する前記第2の画素の前記半導体層を分離する第2の画素間分離部と
をさらに備え、
前記第1の画素間分離部と前記第2の画素間分離部は異なる構造で
設けられている
請求項1に記載の撮像素子。
- [請求項3] 前記第1の画素間分離部は、前記半導体層を非貫通に設けられ、
前記第2の画素間分離部は、前記半導体層を貫通して設けられてい
る
請求項2に記載の撮像素子。
- [請求項4] 前記第1の画素間分離部に充填されている第1の材料と、前記第2
の画素間分離部に充填されている第2の材料は異なる
請求項2に記載の撮像素子。
- [請求項5] 前記第2の材料は、前記第1の材料よりも、近赤外光の吸収係数が
高い材料である
請求項4に記載の撮像素子。
- [請求項6] 前記第2の画素間分離部は、前記第1の画素間分離部よりも幅広に
設けられている

請求項 2 に記載の撮像素子。

[請求項7] 前記第 2 の画素間分離部は、前記第 1 の画素間分離部よりも前記半導体層の深い位置まで設けられている

請求項 2 に記載の撮像素子。

[請求項8] 前記第 2 の画素は、光入射面側に遮光性の高い遮光膜を備え、
前記第 2 の画素間分離部に充填されている材料と、前記遮光膜の材料は、同一の材料である

請求項 2 に記載の撮像素子。

[請求項9] 前記配線層は、遮光部材を備える 1 層を少なくとも有し、
前記遮光部材は、平面視において前記第 2 の画素と重なるように設けられている

請求項 1 に記載の撮像素子。

[請求項10] 前記遮光部材を備える 1 層は、コンタクト層である

請求項 9 に記載の撮像素子。

[請求項11] 前記遮光部材は、隣接する前記第 2 の画素の前記半導体層を分離する第 2 の画素間分離部の下部であり、前記配線層内にも設けられている

請求項 9 に記載の撮像素子。

[請求項12] 前記第 2 の画素は、O P B（オプティカルブラック）画素である

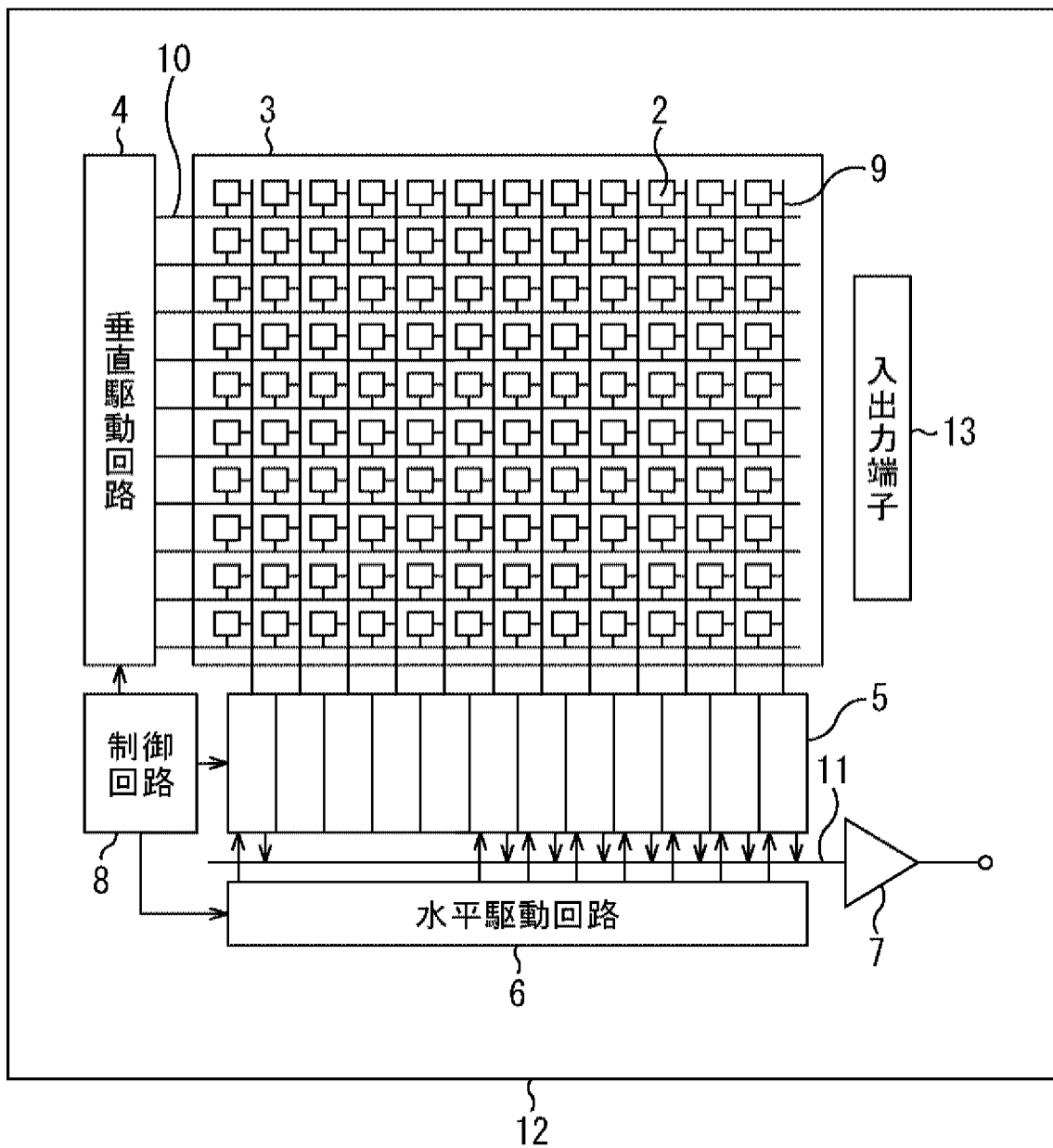
請求項 1 に記載の撮像素子。

[請求項13] 前記第 2 の画素は、前記第 1 の画素と、O P B（オプティカルブラック）画素との間に設けられている画素である

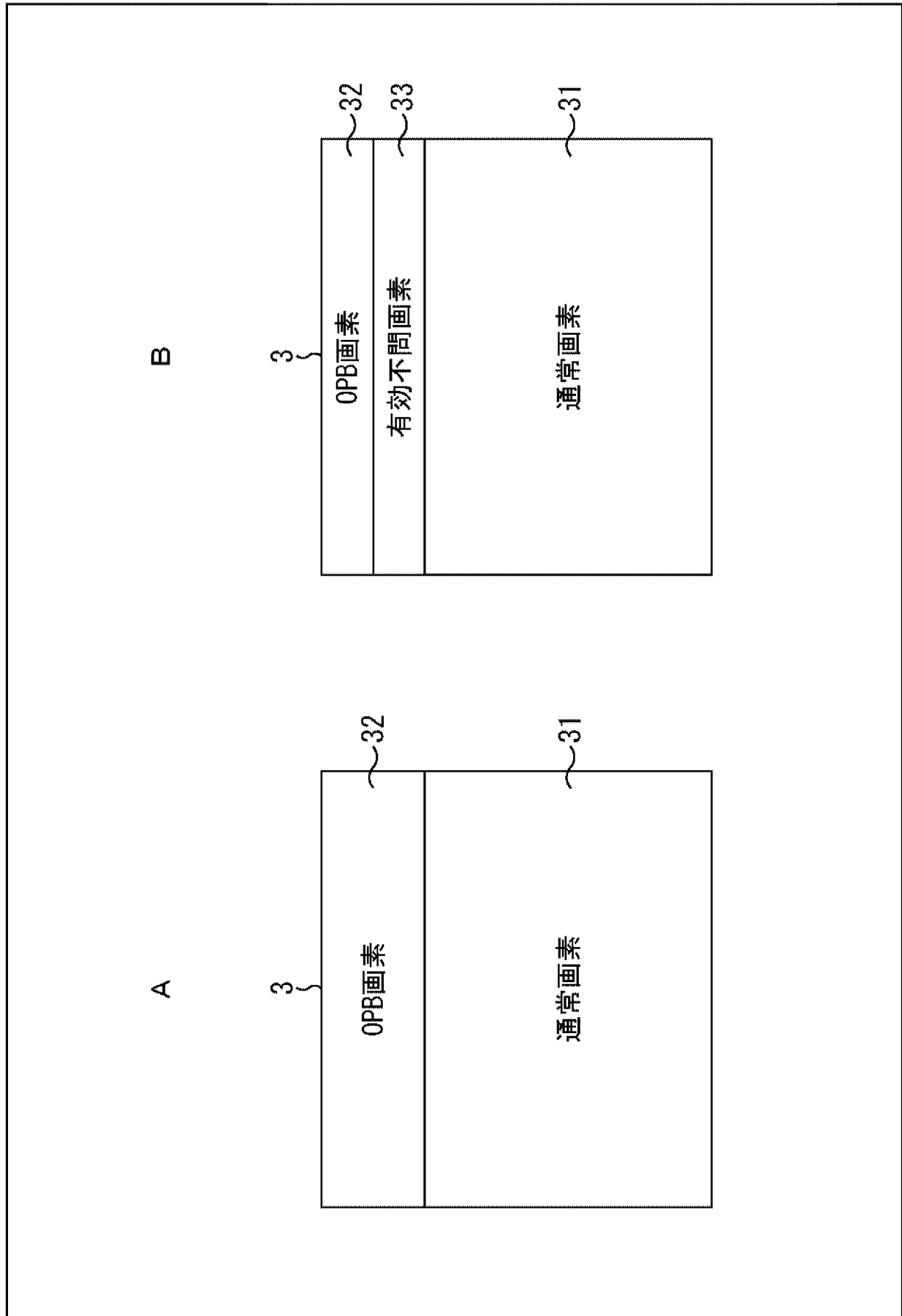
請求項 1 に記載の撮像素子。

[請求項14] 読み出された画素信号が画像の生成に用いられる第 1 の画素と、
読み出された画素信号が画像の生成に用いられない第 2 の画素とが配置されている半導体層と、
前記半導体層に積層されている配線層とを備え、

前記第 1 の画素の構造と前記第 2 の画素の構造は異なる
撮像素子と、
周期的に明るさが変動する照射光を照射する光源と、
前記照射光の照射タイミングを制御する発光制御部と
を備える測距モジュール
を備える電子機器。

$$\frac{1}{\downarrow}$$


[図2]
FIG. 2

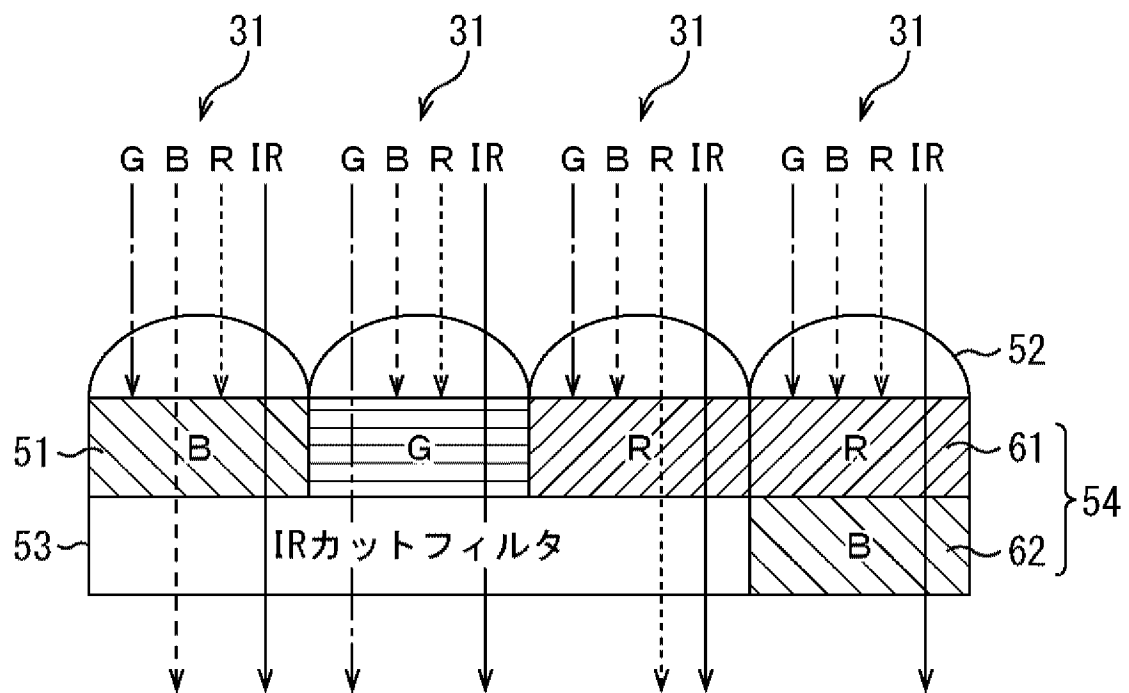


[図3]
FIG. 3

3

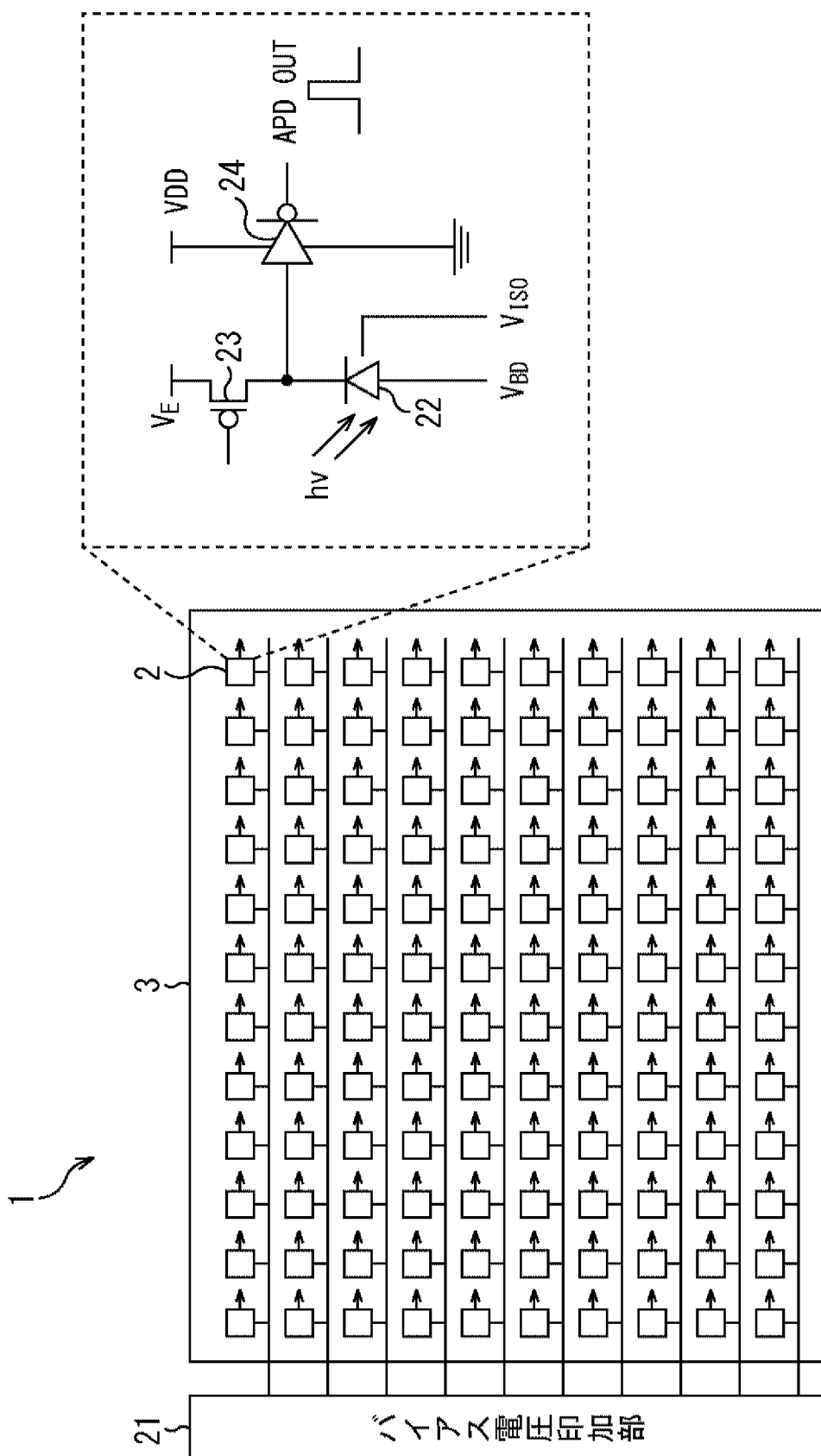
R	G	B	G
G	IR	G	IR
B	G	R	G
G	IR	G	IR

[図4]
FIG. 4

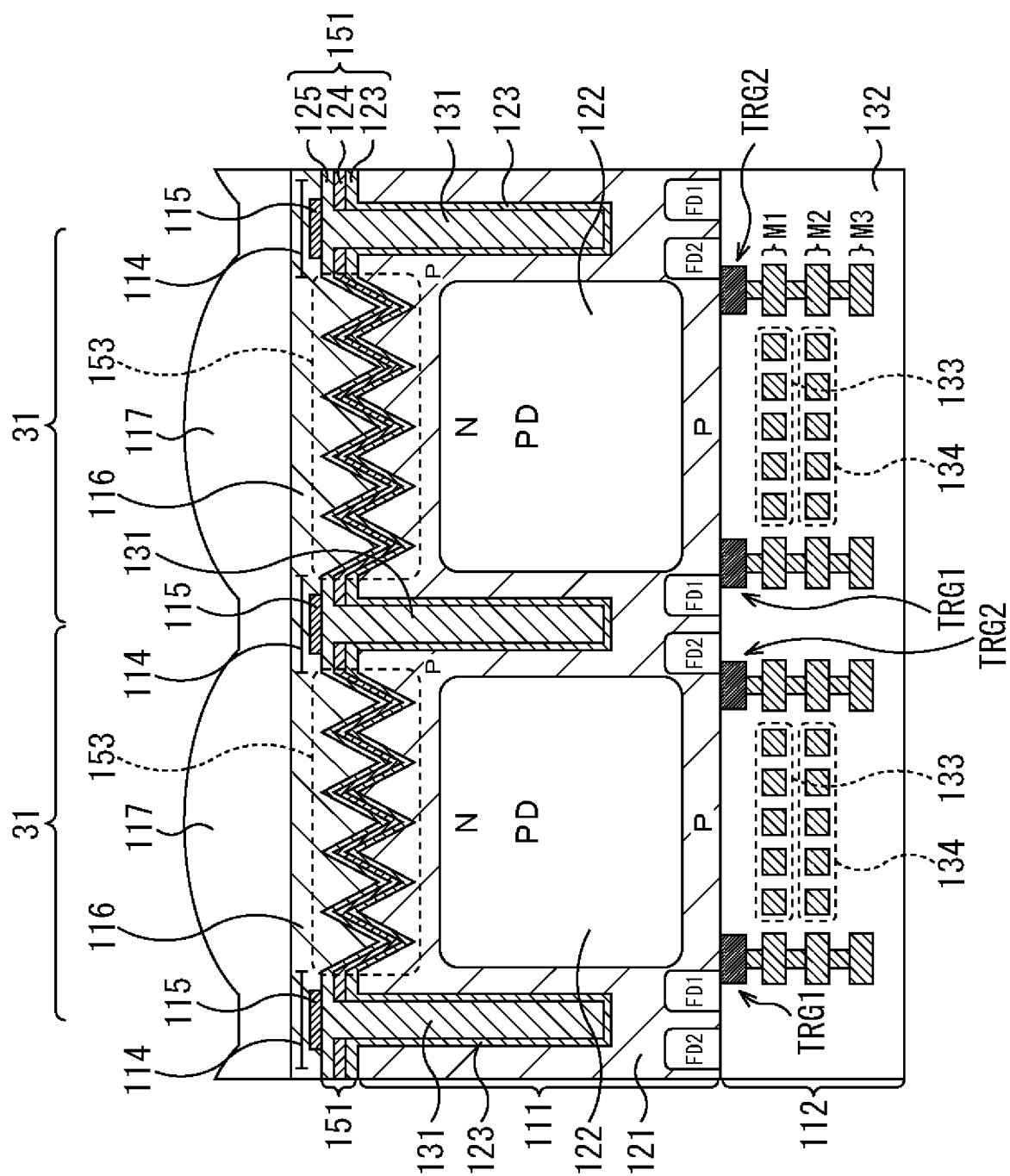


[illegible]

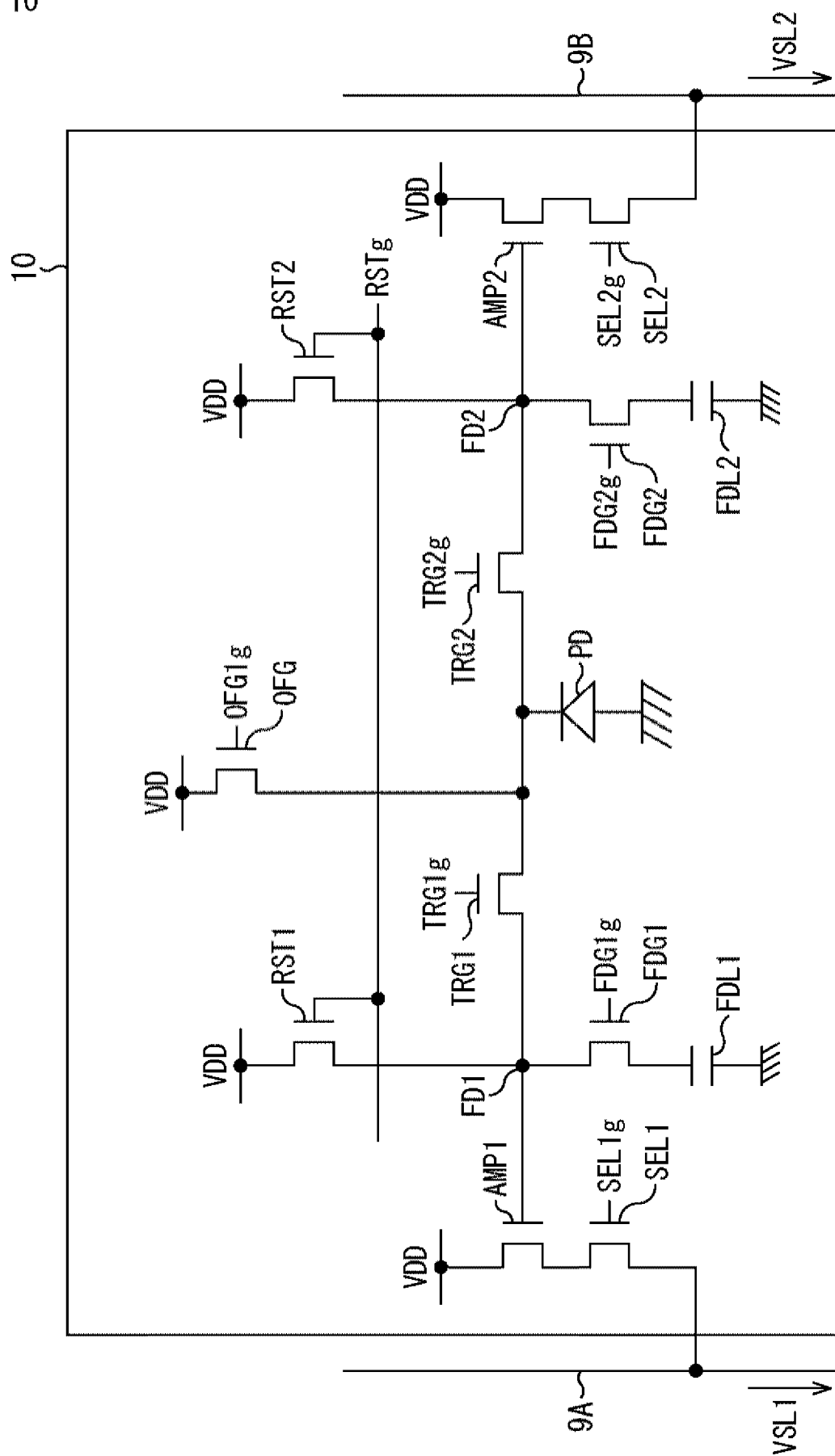
[図6]
FIG. 6



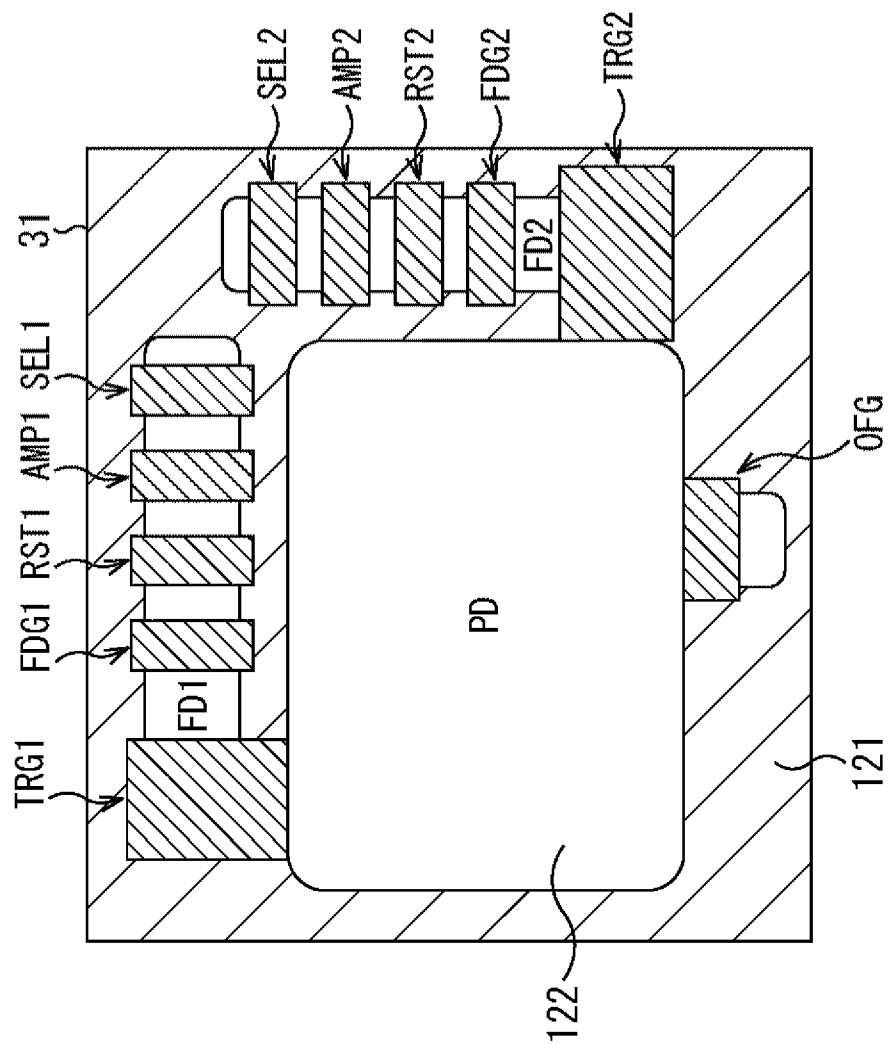
[図9]
FIG. 9



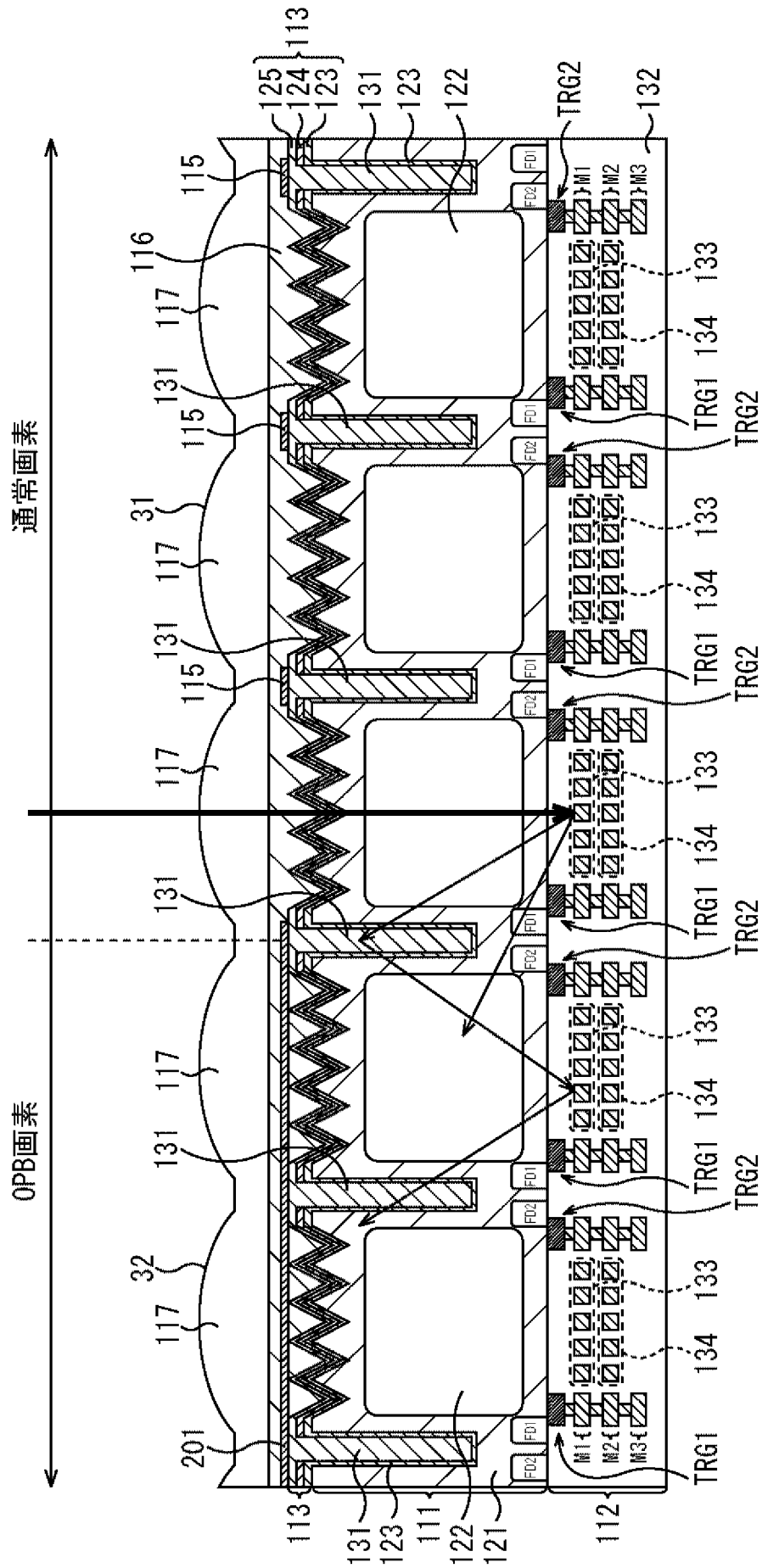
[図10]
FIG. 10



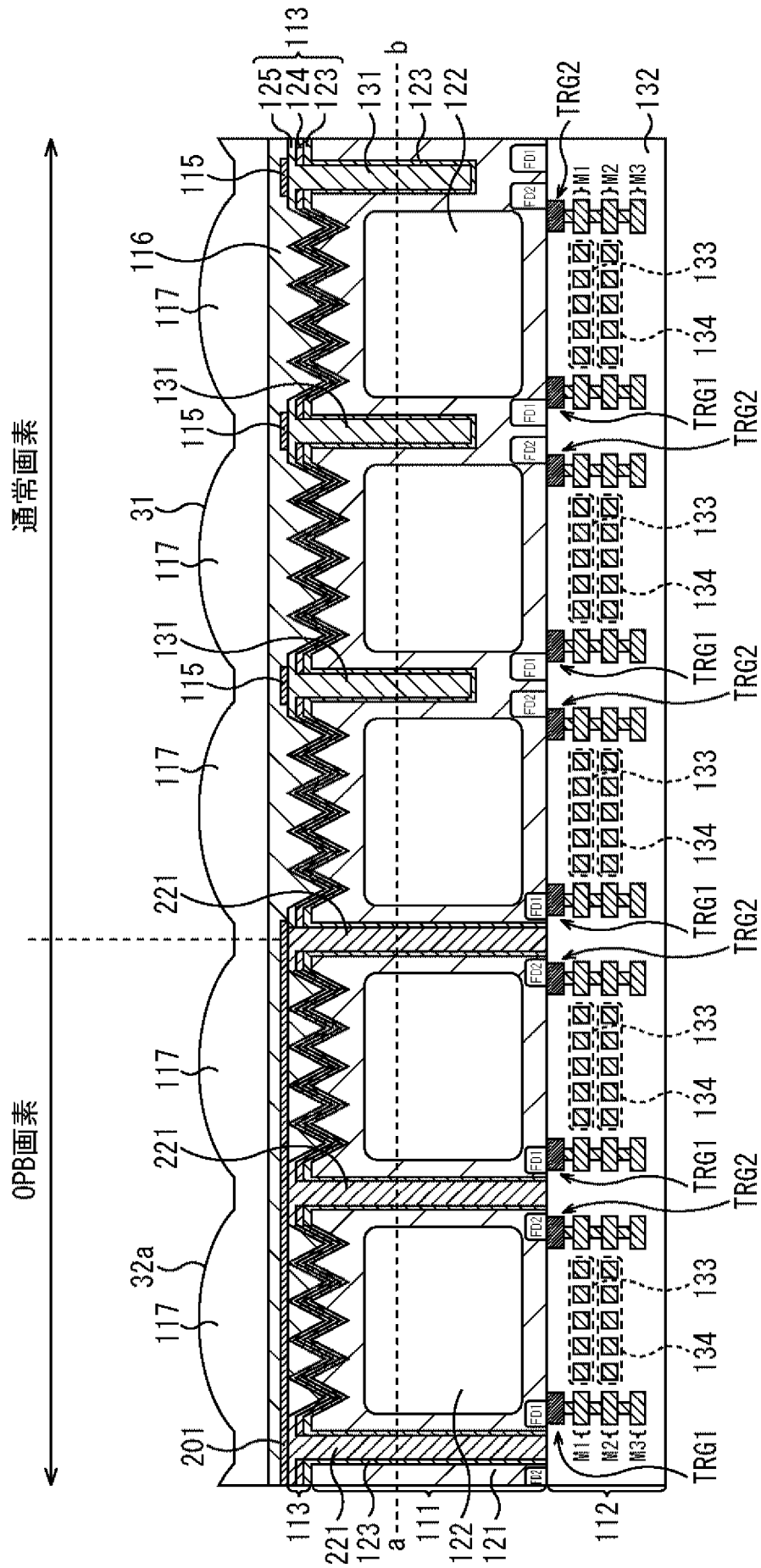
[図11]
FIG. 11



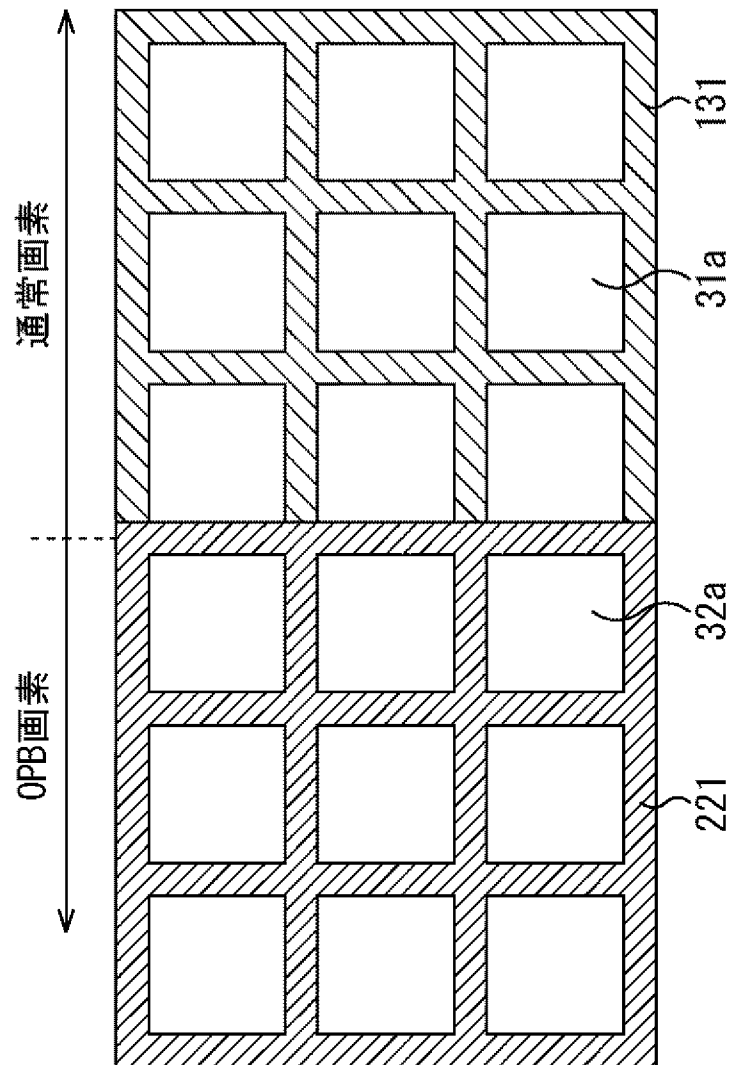
[図12]
FIG. 12



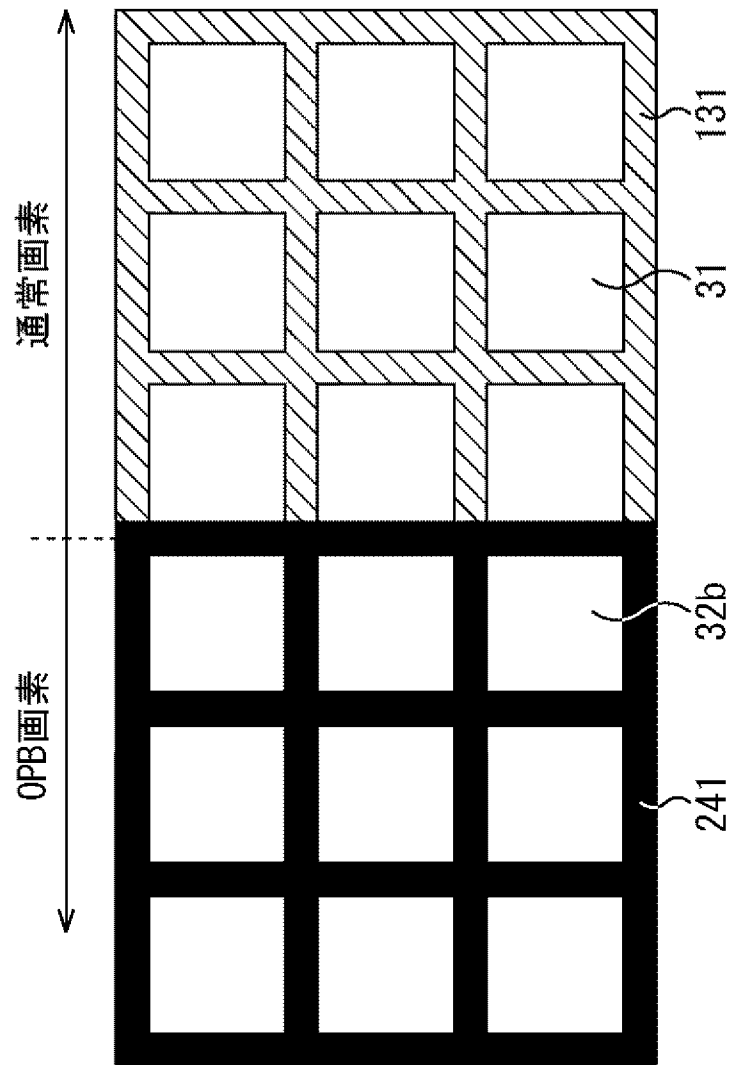
[図13]
FIG. 13



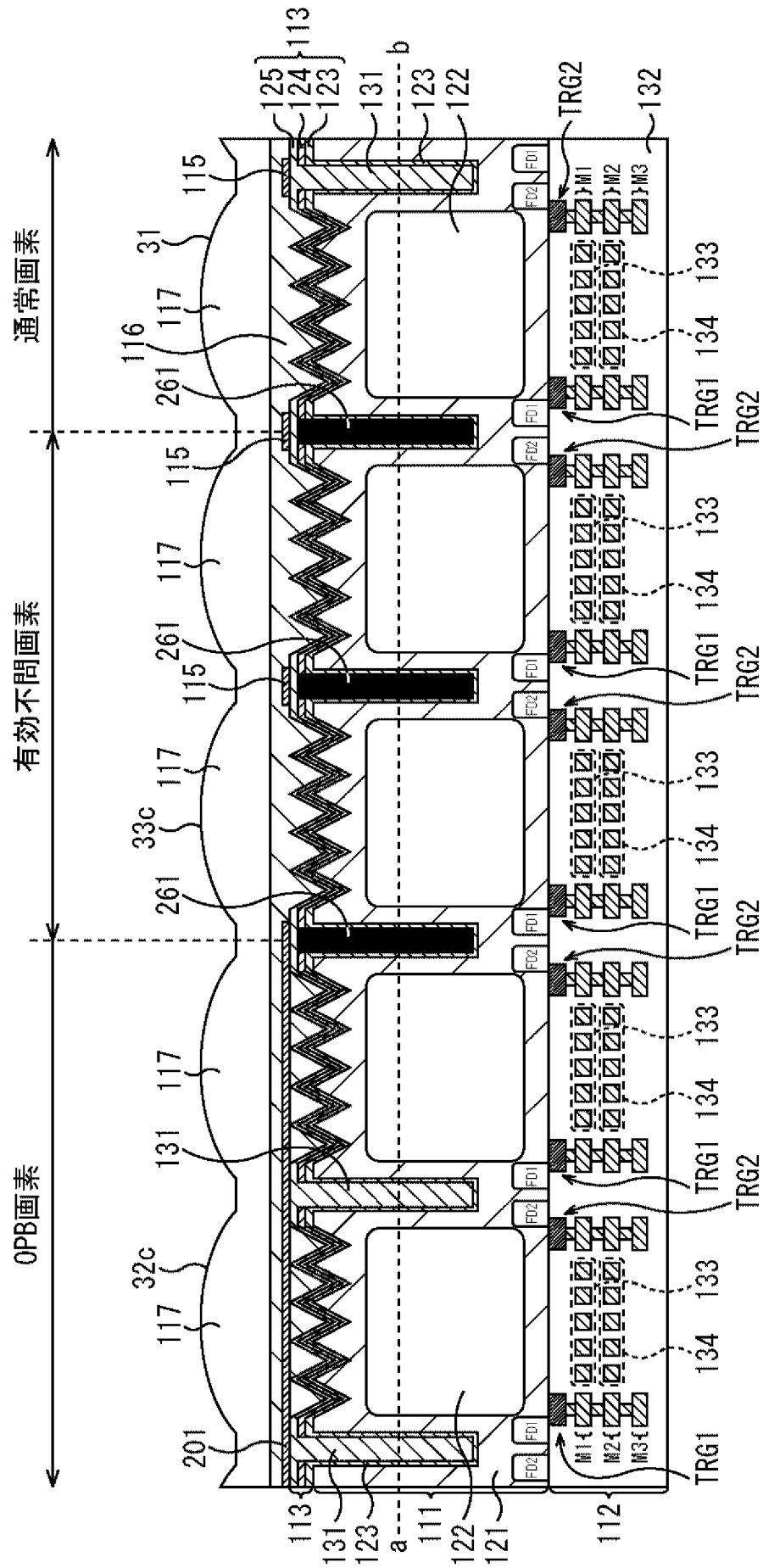
[図14]
FIG. 14



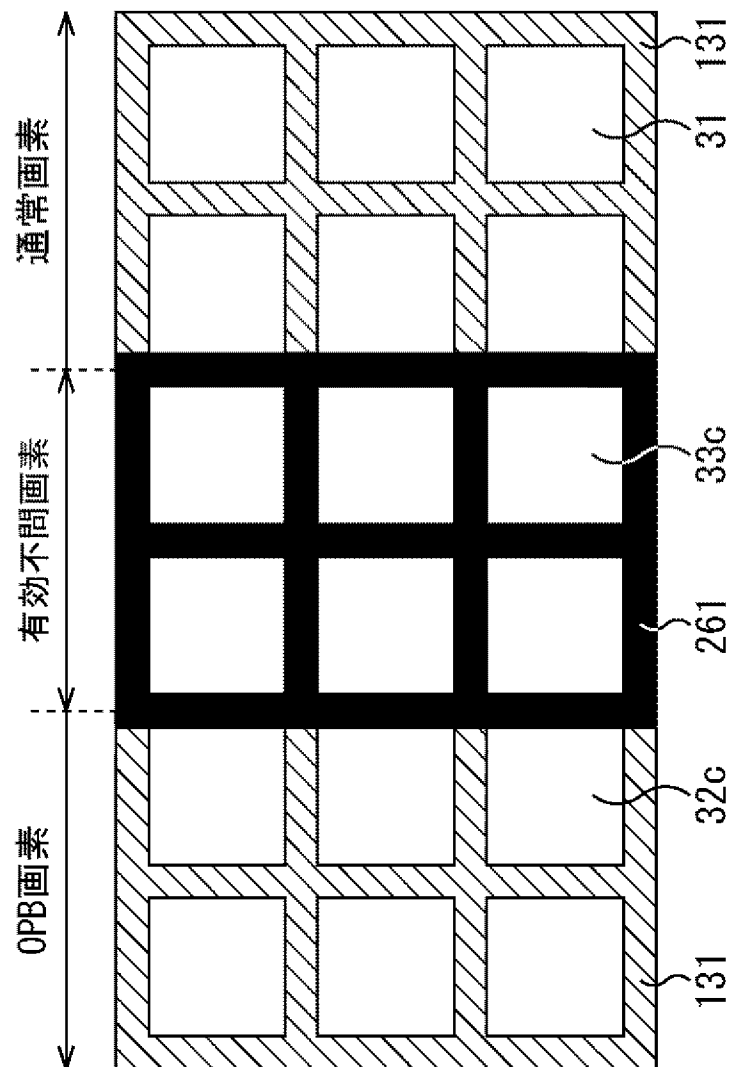
[図16]
FIG. 16



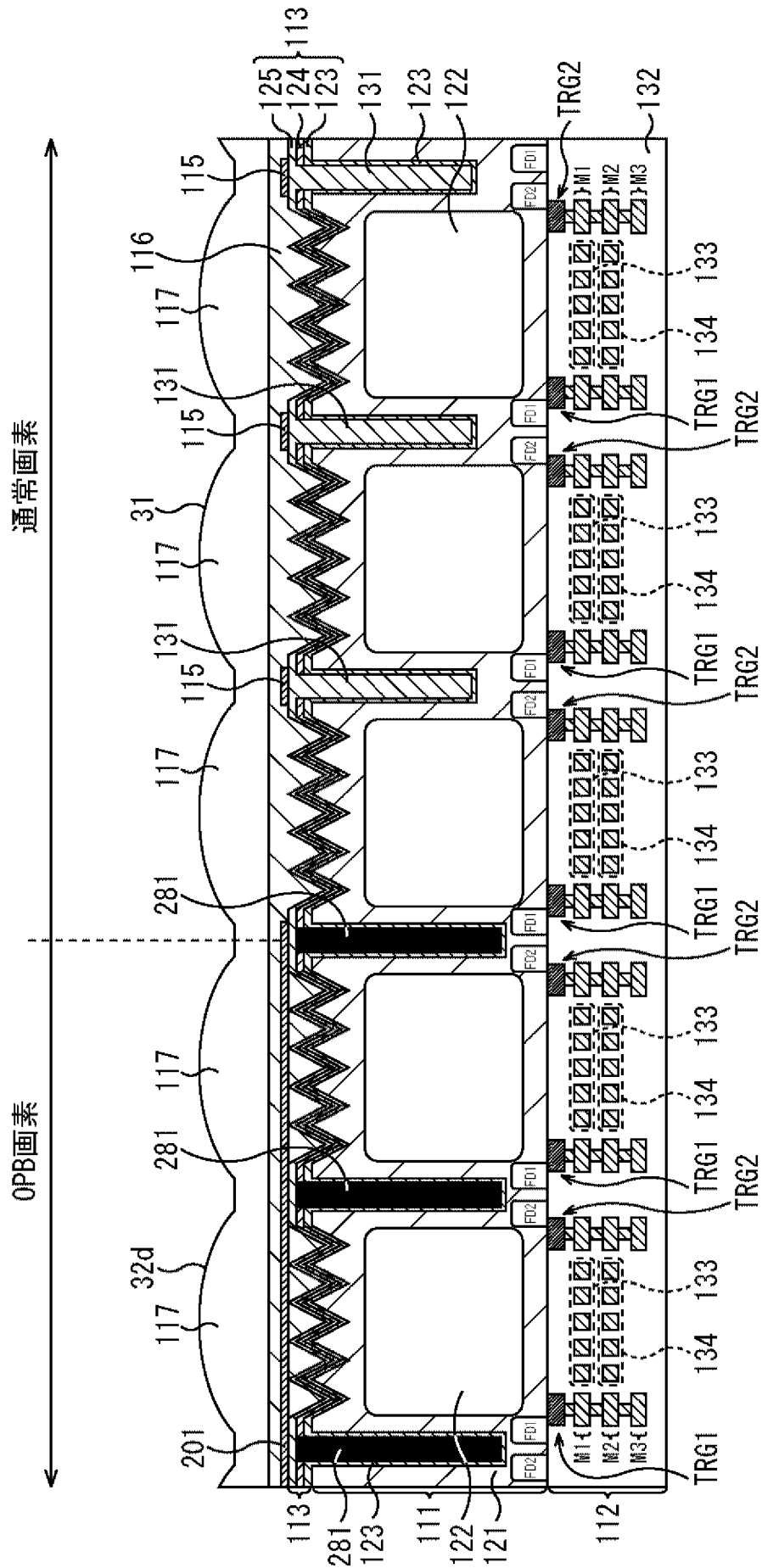
[図17]
FIG. 17



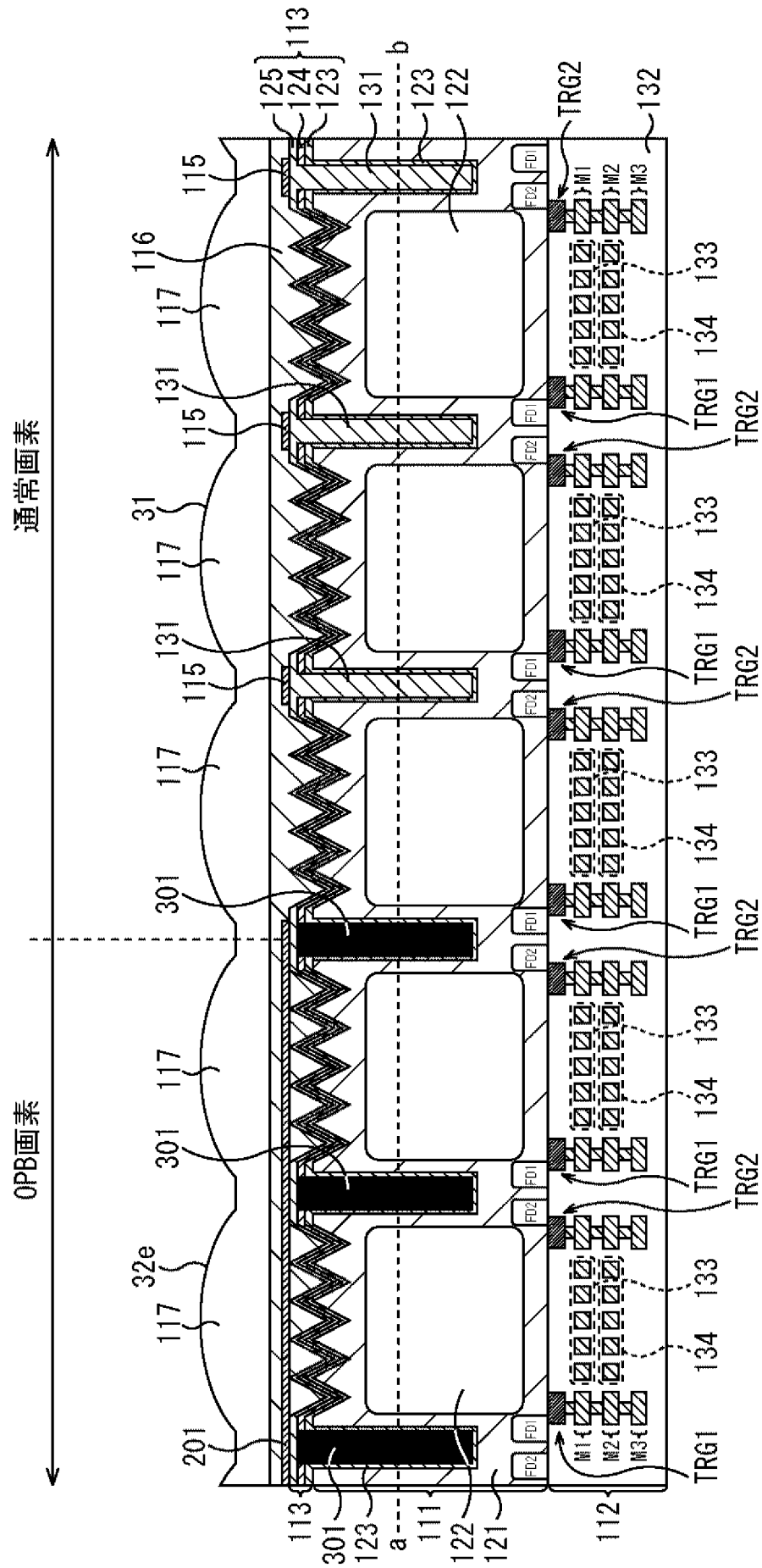
[図18]
FIG. 18



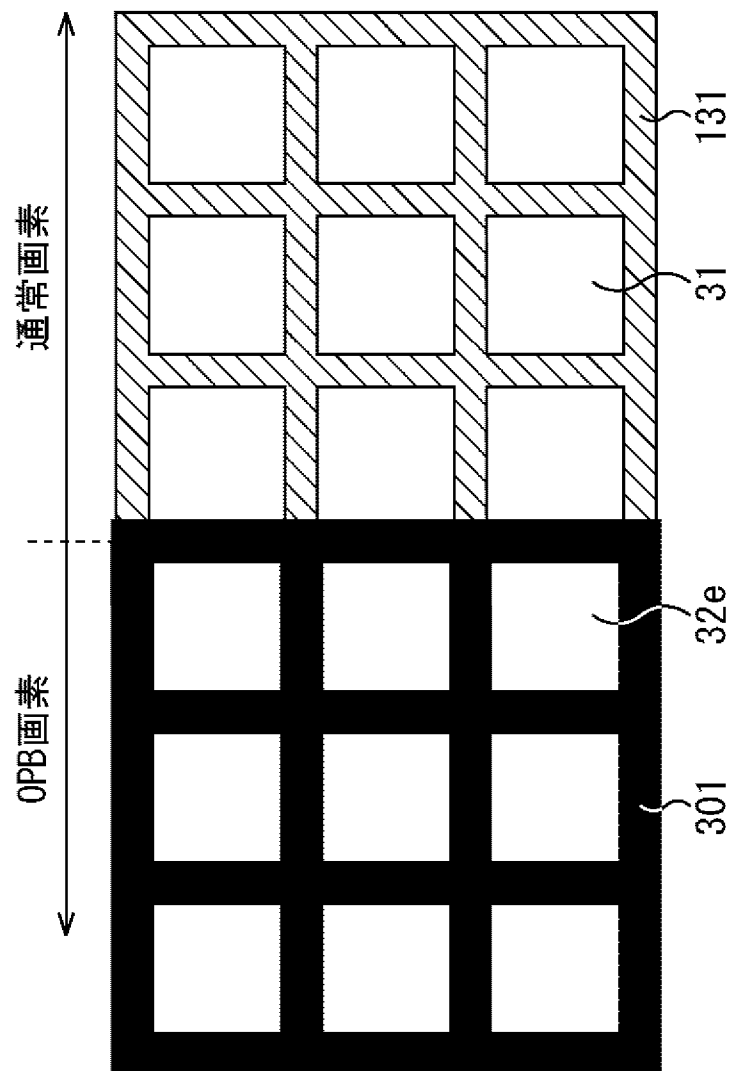
[図19]
FIG. 19



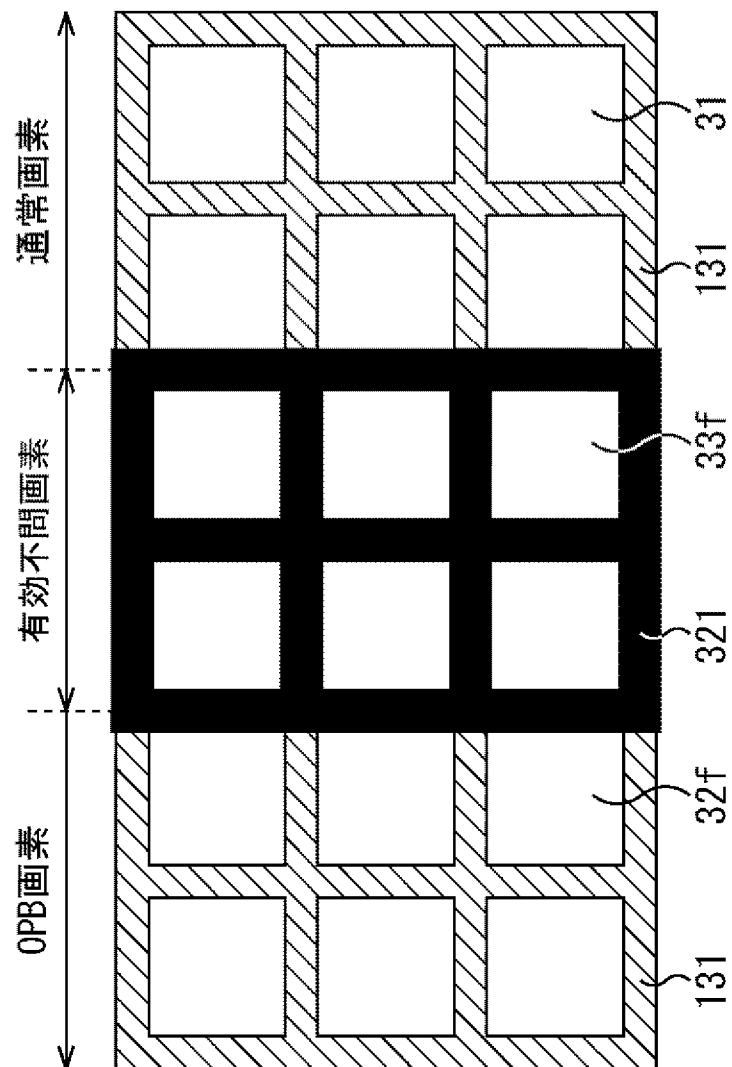
[図20]
FIG. 20



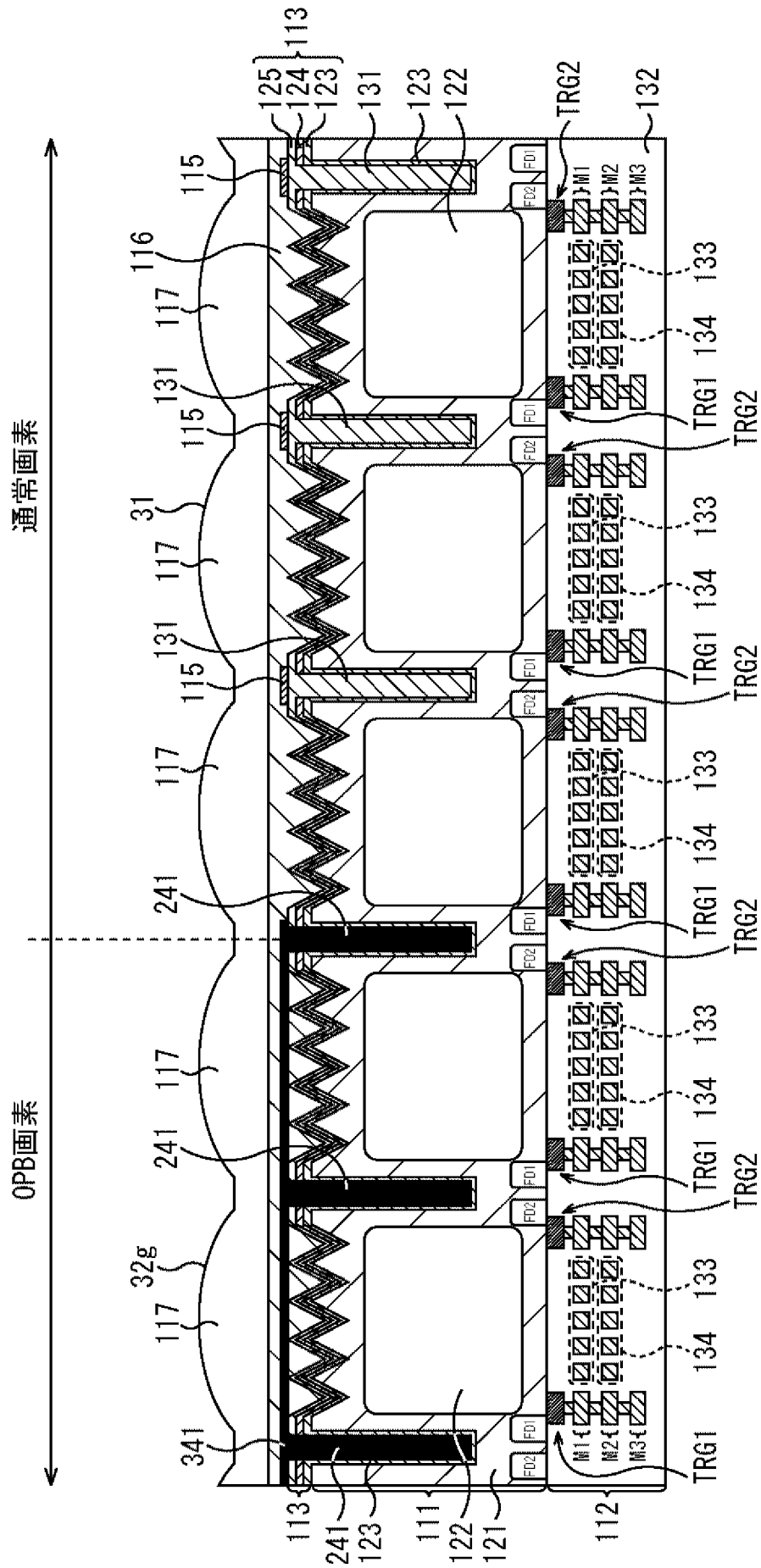
[図21]
FIG. 21



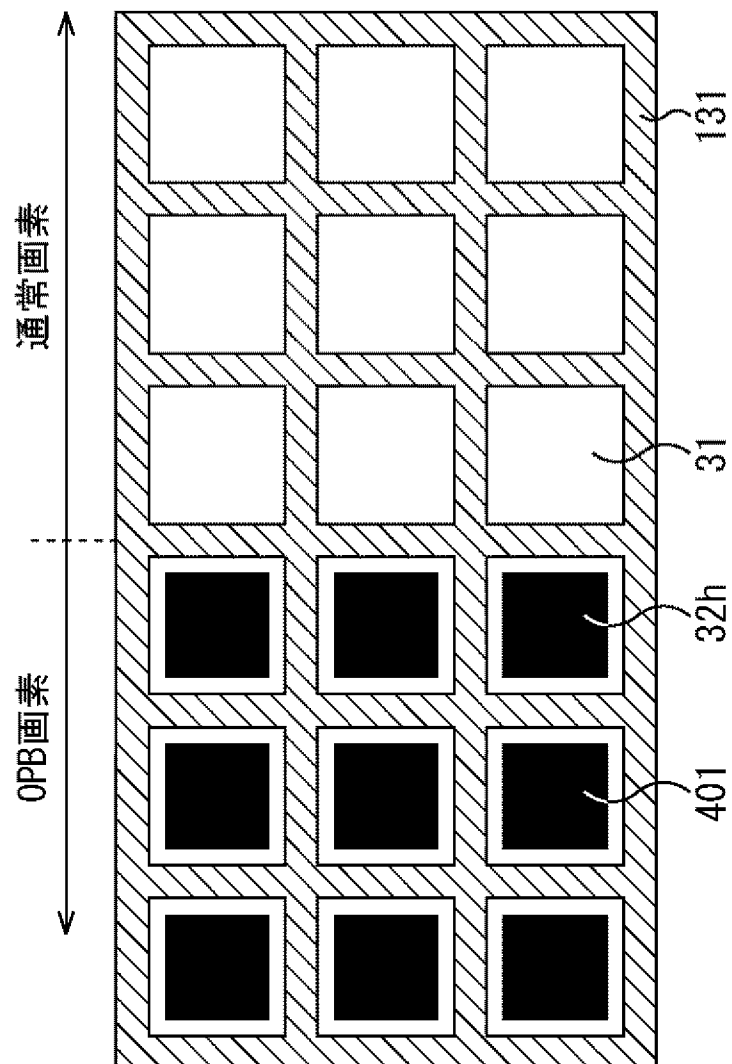
[図23]
FIG. 23



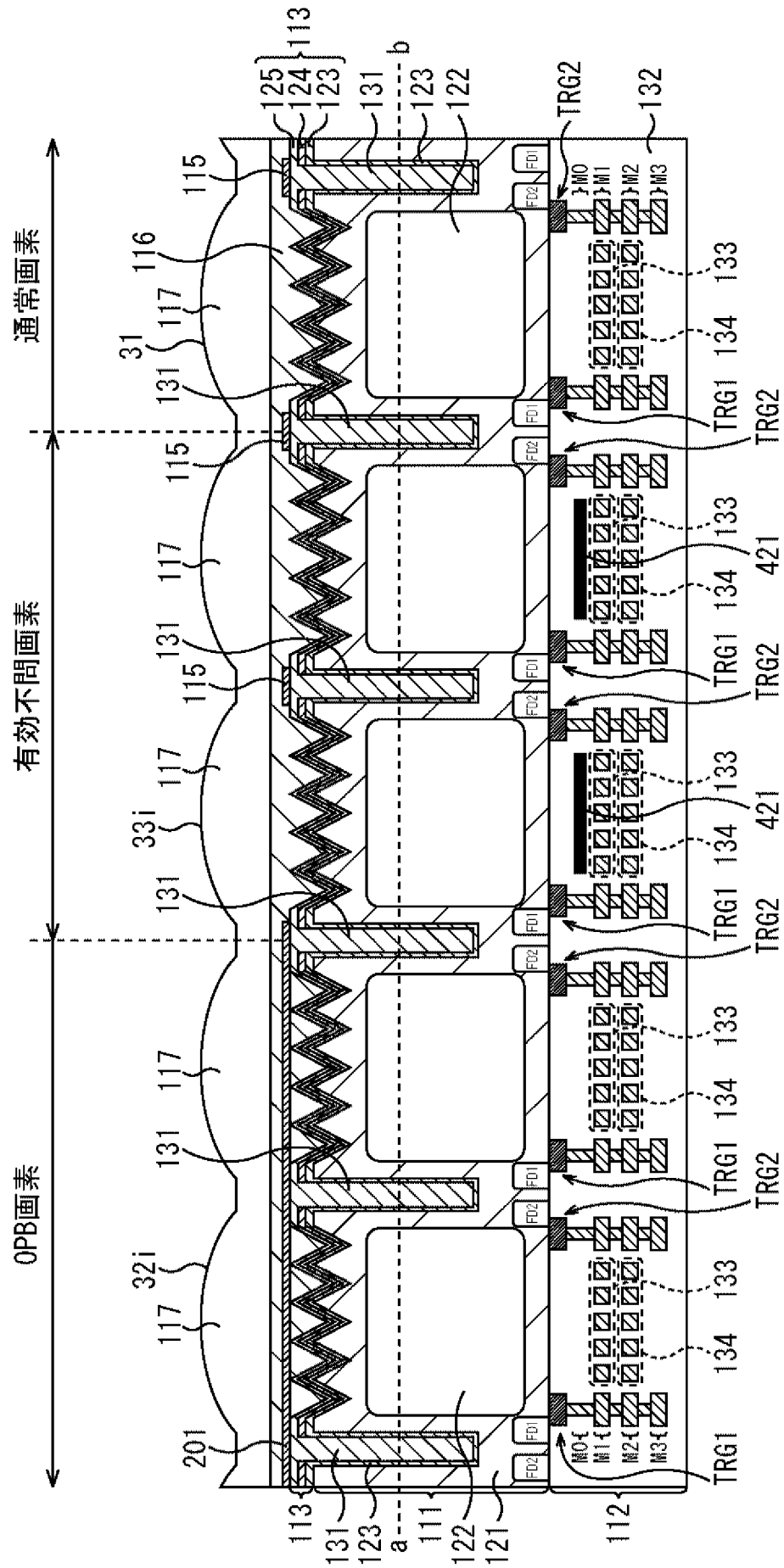
[図24]
FIG. 24



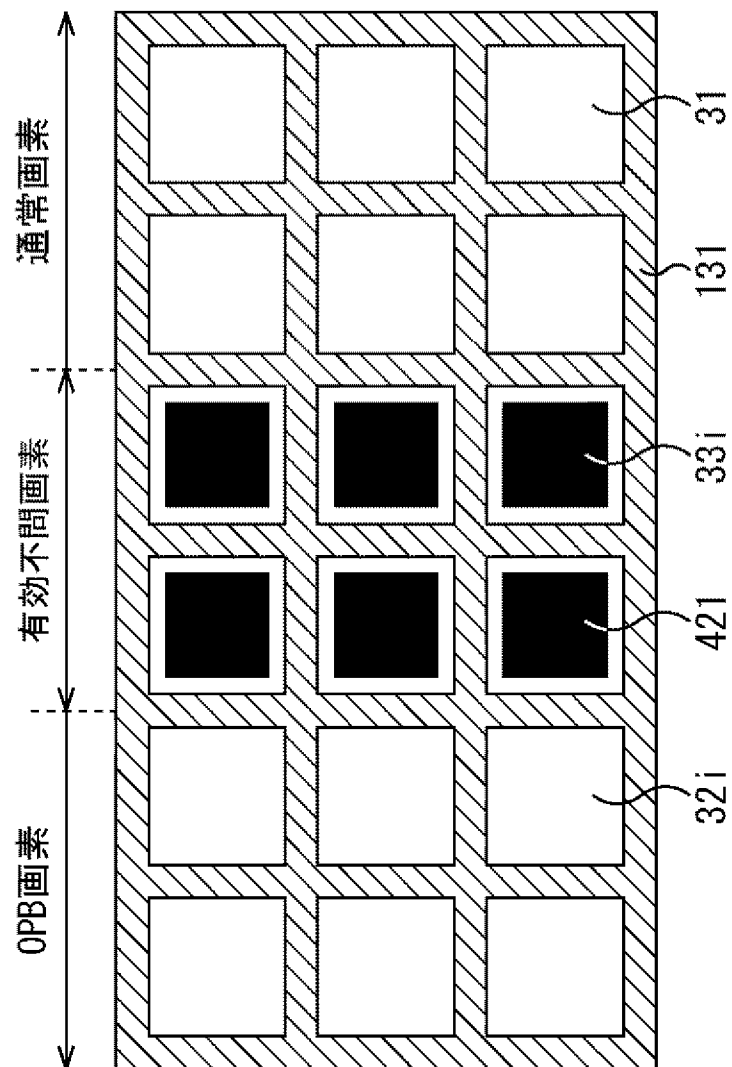
[図26]
FIG. 26



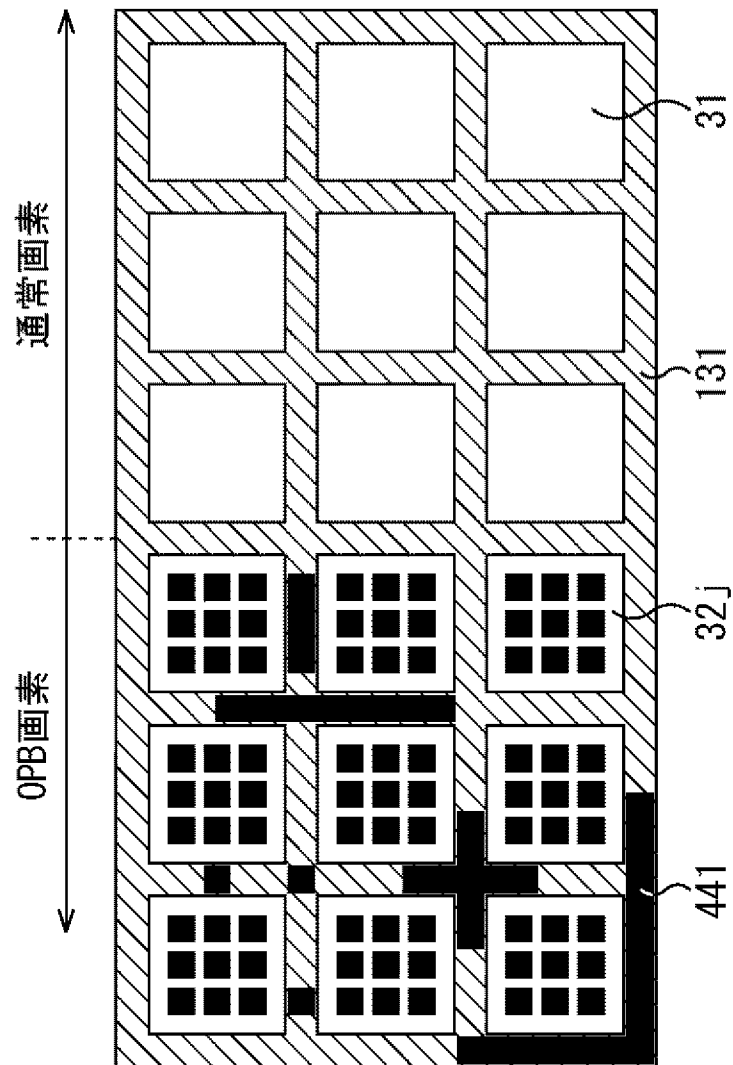
[図27]
FIG. 27



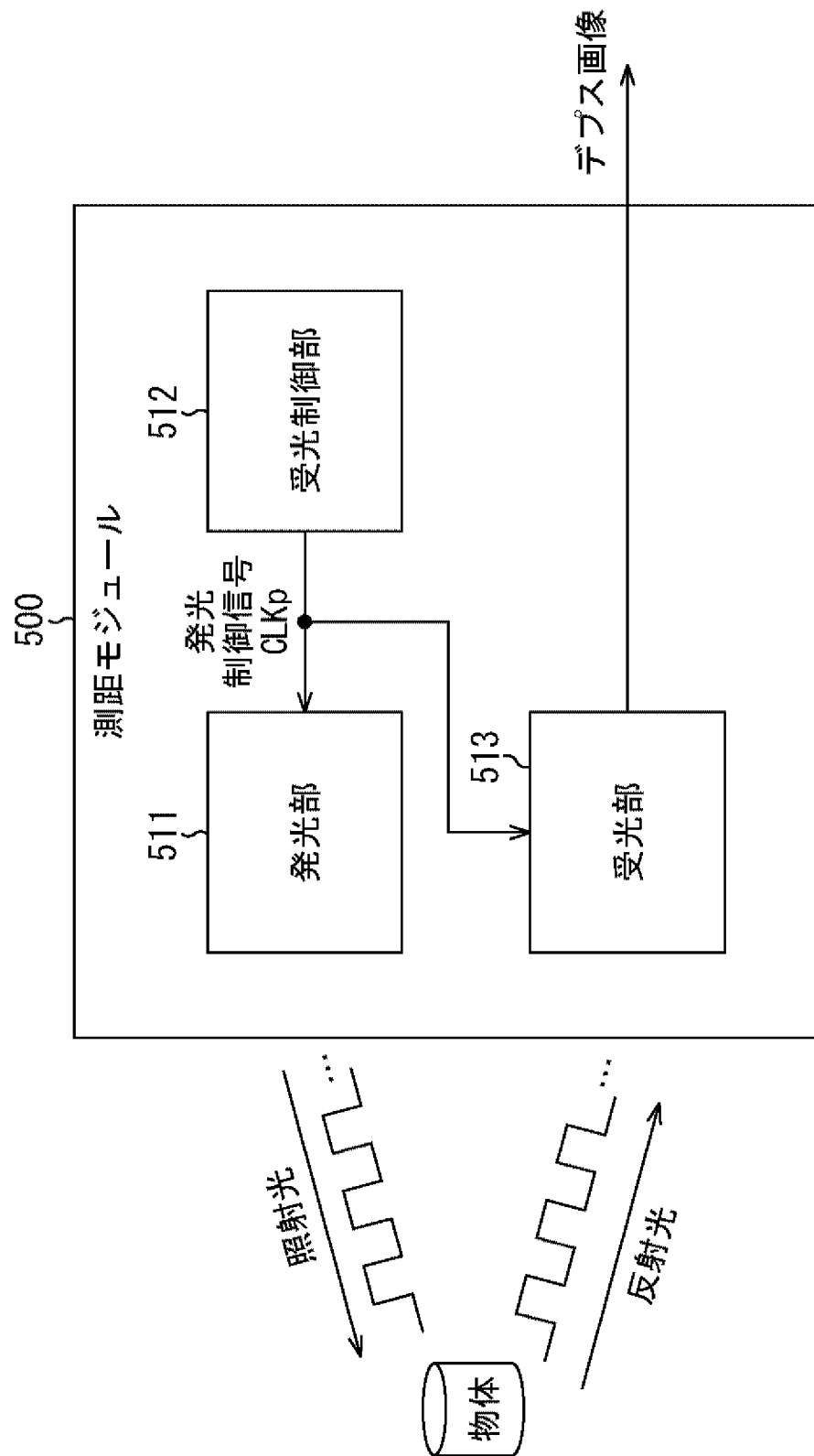
[図28]
FIG. 28



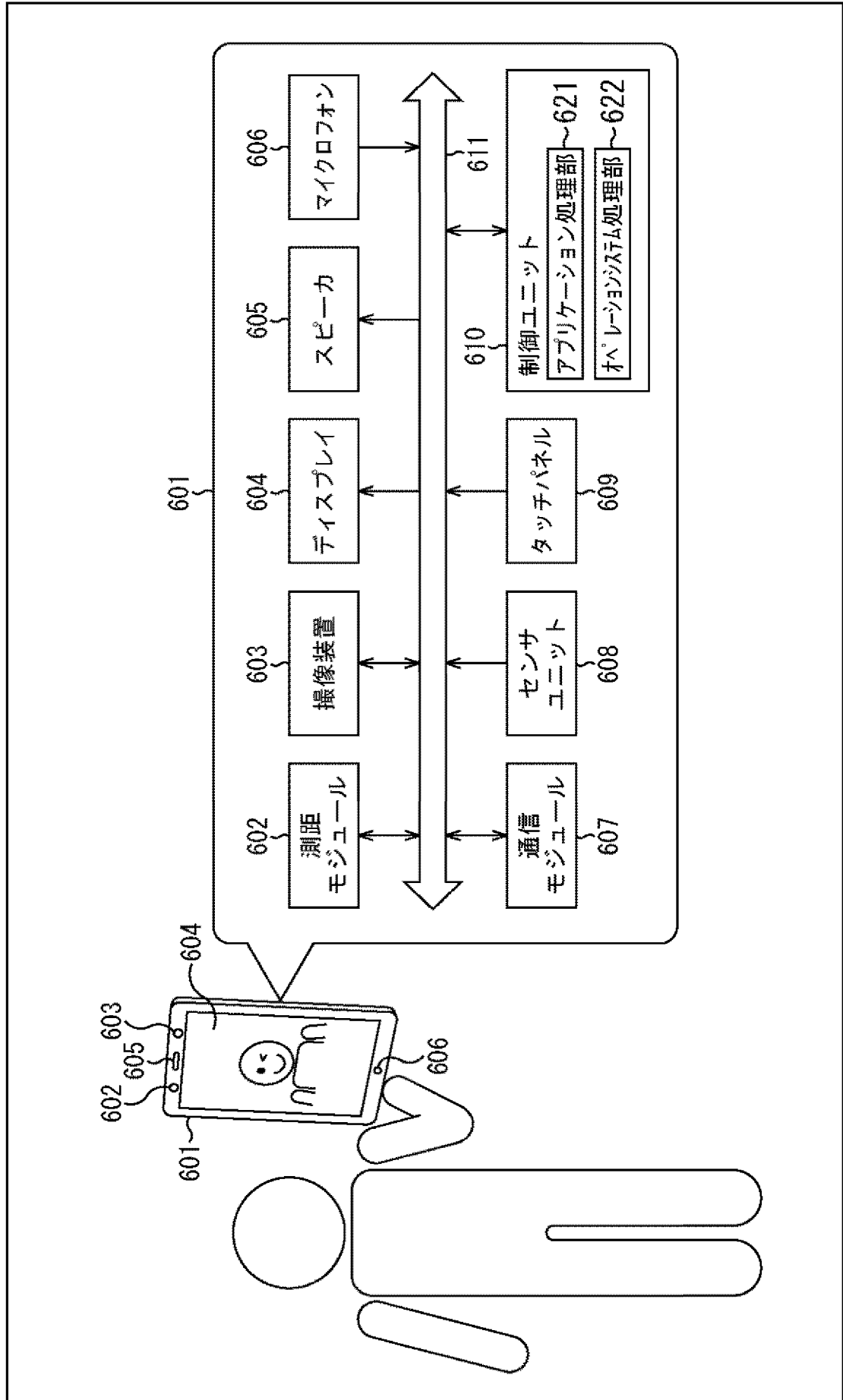
[図30]
FIG. 30



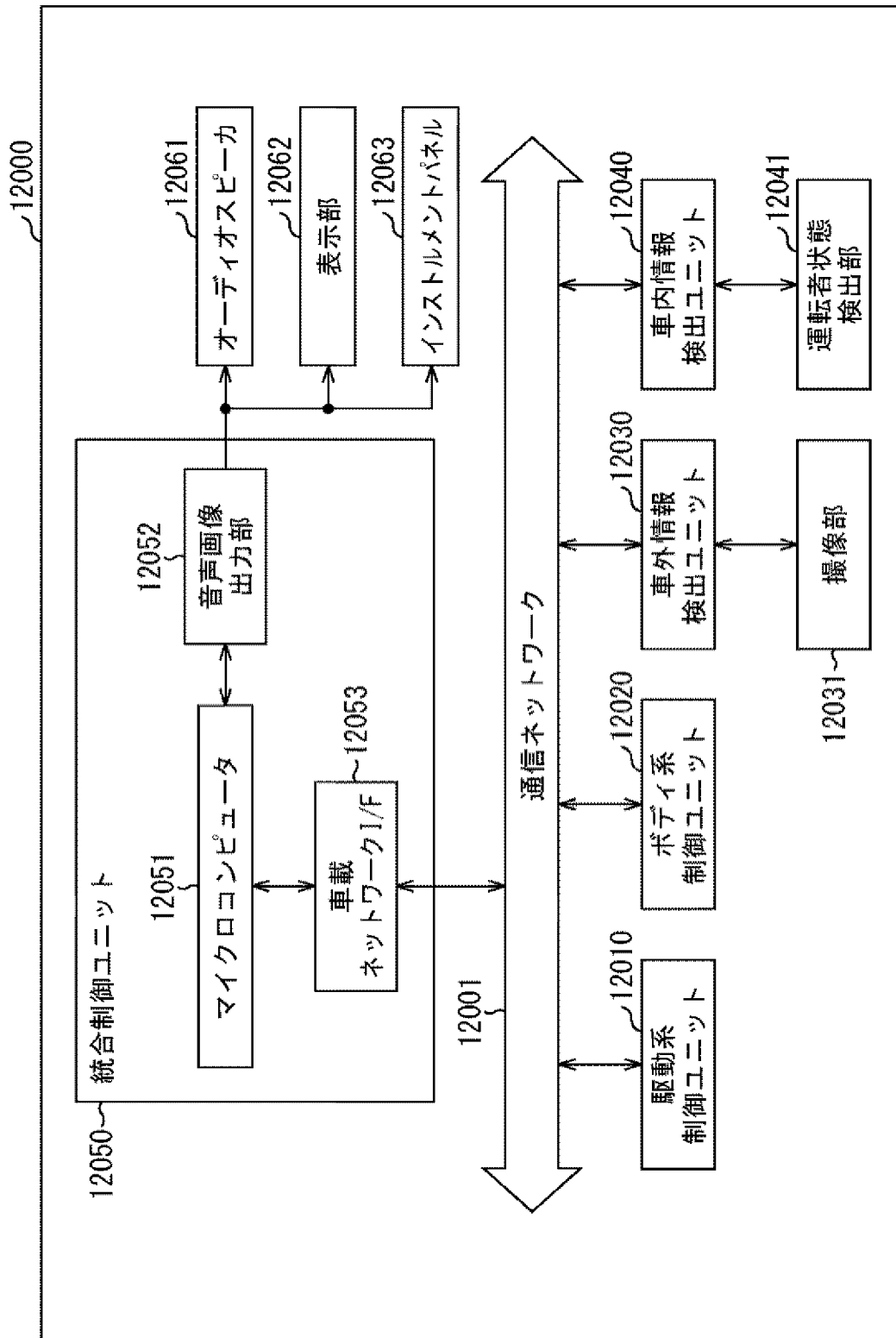
[図33]
FIG. 33



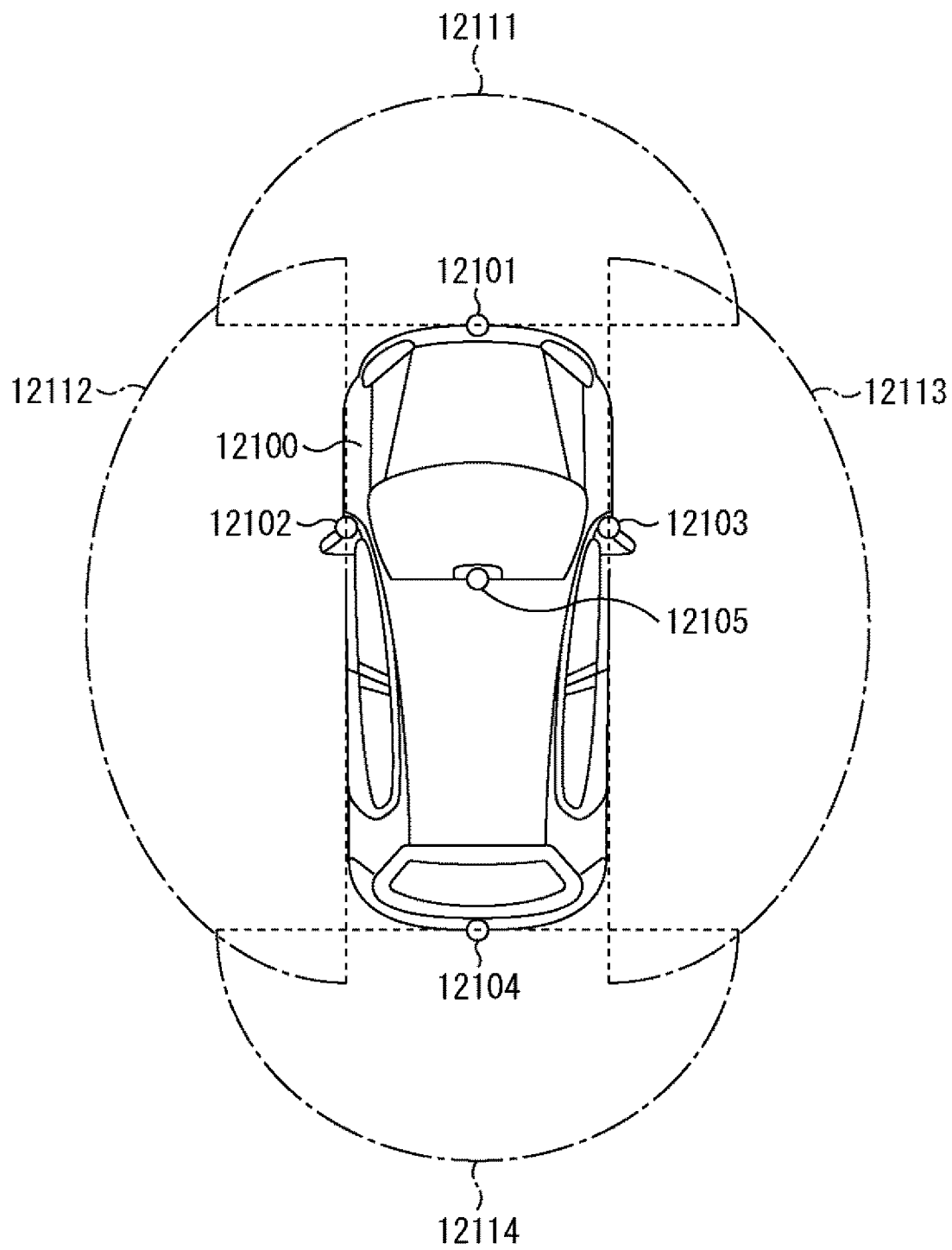
[図34]
FIG. 34



[図35]



[図36]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/020996

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146 (2006.01) i; H04N 5/369 (2011.01) i
 FI: H01L27/146 A; H01L27/146 D; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-125784 A (SAMSUNG ELECTRONICS CO., LTD.) 25 July 2019 (2019-07-25) paragraphs [0010]- [0044], fig. 1-4	1-4, 6, 7, 8, 12, 13 5, 9-11, 14
Y	JP 2010-245499 A (SONY CORP.) 28 October 2010 (2010-10-28) paragraph [0067], fig. 13	5
Y	JP 2009-200462 A (SONY CORP.) 03 September 2009 (2009-09-03) paragraphs [0029]-[0037], fig. 1	9-11
Y	WO 2018/207661 A1 (SONY CORP.) 15 November 2018 (2018-11-15) paragraphs [0021]-[0031], fig. 1	14
A	US 2013/0099341 A1 (SAMSUNG ELECTRONICS CO., LTD.) 25 April 2013 (2013-04-25) paragraphs [0041]- [0066], fig. 1, 4	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

17 August 2021 (17.08.2021)

Date of mailing of the international search report

24 August 2021 (24.08.2021)

Name and mailing address of the ISA/

Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/020996

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2019-125784 A	25 Jul. 2019	US 2019/0221597 A1 paragraphs [0023]- [0055], fig. 1-4 EP 3511983 A2 KR 10-2019-0086246 A CN 110034139 A	
JP 2010-245499 A	28 Oct. 2020	(Family: none)	
JP 2009-200462 A	03 Sep. 2009	US 2009/0189236 A1 paragraphs [0056]- [0071], fig. 1 KR 10-2009-0082121 A CN 101494233 A	
WO 2018/207661 A1	15 Nov. 2018	US 2020/0057149 A1 paragraphs [0021]- [0049], fig. 1 CN 110603458 A	
US 2013/0099341 A1	25 Apr. 2013	KR 10-2013-0043716 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 A; H01L27/146 D; H04N5/369										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/369 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2021年									
日本国実用新案登録公報	1996-2021年									
日本国登録実用新案公報	1994-2021年									
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2019-125784 A (三星電子株式会社) 25.07.2019 (2019 - 07 - 25) [0010]-[0044], 図1-4	1-4, 6, 7, 8, 12, 13								
Y		5, 9-11, 14								
Y	JP 2010-245499 A (ソニー株式会社) 28.10.2010 (2010 - 10 - 28) [0067], 図13	5								
Y	JP 2009-200462 A (ソニー株式会社) 03.09.2009 (2009 - 09 - 03) [0029]-[0037], 図1	9-11								
Y	WO 2018/207661 A1 (ソニー株式会社) 15.11.2018 (2018 - 11 - 15) [0021]-[0031], 図1	14								
A	US 2013/0099341 A1 (SAMSUNG ELECTRONICS CO., LTD.) 25.04.2013 (2013 - 04 - 25) [0041]-[0066], FIGS. 1, 4	1-11								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 17.08.2021		国際調査報告の発送日 24.08.2021								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/020996

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-125784	A	25.07.2019	US 2019/0221597 A1 [0023]-[0055], FIGS. 1-4 EP 3511983 A2 KR 10-2019-0086246 A CN 110034139 A	
JP	2010-245499	A	28.10.2010	(ファミリーなし)	
JP	2009-200462	A	03.09.2009	US 2009/0189236 A1 [0056]-[0071], FIG. 1 KR 10-2009-0082121 A CN 101494233 A	
WO	2018/207661	A1	15.11.2018	US 2020/0057149 A1 [0021]-[0049], FIG. 1 CN 110603458 A	
US	2013/0099341	A1	25.04.2013	KR 10-2013-0043716 A	