

PCT

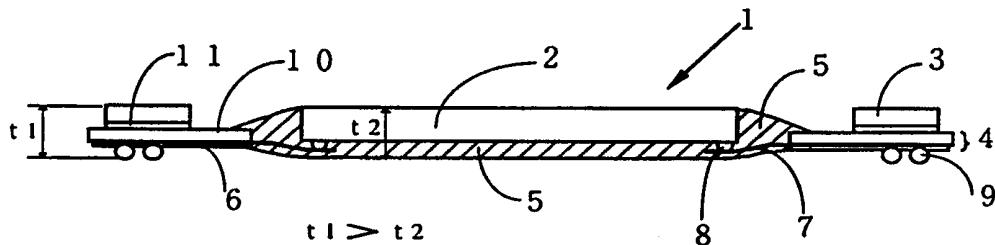
世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 H01L 21/60, 23/02, 23/053, 23/10, 23/12, 23/28, 23/29, 23/34, 23/48, 23/495, 23/498, H05K 1/00, 1/18, 7/02, 7/20	A1	(11) 国際公開番号 WO99/48145 (43) 国際公開日 1999年9月23日(23.09.99)
(21) 国際出願番号 PCT/JP98/01182		
(22) 国際出願日 1998年3月19日(19.03.98)		
(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) 株式会社 日立マイコンシステム (HITACHI MICROCOMPUTER SYSTEM, LTD.)[JP/JP] 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo, (JP) 日立米沢電子株式会社 (HITACHI YONEZAWA ELECTRONICS CO., LTD.)[JP/JP] 〒992-8530 山形県米沢市大字花沢字八木橋東3の3274 Yamagata, (JP)		宮崎忠一(MIYAZAKI, Chuichi)[JP/JP] 〒196-0001 東京都昭島市美堀町2-7-3-302 Tokyo, (JP) (74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100-8220 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)
(72) 発明者 ; および (75) 発明者／出願人 (米国についてのみ) 高橋典之(TAKAHASHI, Noriyuki)[JP/JP] 〒992-0051 山形県米沢市城北1丁目8-29 コーポ城北Ⅱ5号 Yamagata, (JP) 市原誠一(ICHIHARA, Seiichi)[JP/JP] 〒191-0022 東京都日野市新井890-1 ハイホーム高幡不動407 Tokyo, (JP)		(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING THE SAME, AND MOUNTING STRUCTURE OF THE SAME

(54) 発明の名称 半導体装置及びその製造方法並びに半導体装置の実装構造



(57) Abstract

A semiconductor device composed of a semiconductor chip, a wiring board which is provided so as to surround the semiconductor chip, leads which protrude from the wiring board and are connected to the semiconductor chip, a reinforcing member which is provided on one main surface of the wiring board and surrounds the semiconductor chip, a plurality of bumps which are provided along the peripheral edge of the wiring board on the other main surface of the board on the opposite side of the reinforcing member, and a resin which covers the semiconductor chip and the leads. The leads connected to the semiconductor chip are bent toward the surface of the reinforcing member or the surface of the bumps and connected to the semiconductor chip so that the surface opposite to the surface of the semiconductor chip connecting to the leads may be positioned on the side opposite to the side on which the leads are bent.

(57)要約

半導体チップと、この半導体チップを囲むように設けられた配線基板と、この配線基板から突出して上記半導体チップに接続されたリードと、上記配線基板の一主面に設けられ上記半導体チップを囲む補強部材と、上記配線基板の上記補強部材が設けられる一主面と反対の他の主面に上記配線基板の周縁に沿って設けられた複数のバンプと、上記半導体チップとリードとを覆う樹脂とから成る半導体装置であつて、上記半導体チップに接続されたリードは上記配線基板の補強部材が設けられる側又は複数のバンプが設けられる側に折り曲げ加工され、上記半導体チップの上記リードと接続される面とは反対の面が上記リードが折り曲げ加工される側とは反対の側に位置するように上記リードと上記半導体チップとが接続されている。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

A E	アラブ首長国連邦	DM	ドミニカ	K Z	カザフスタン	S D	スーダン
A L	アルバニア	EE	エストニア	L C	セントルシア	S E	スウェーデン
A M	アルメニア	E S	スペイン	L I	リヒテンシュタイン	S G	シンガポール
A T	オーストリア	F I	フィンランド	L K	スリ・ランカ	S I	スロヴェニア
A U	オーストラリア	F R	フランス	L R	リベリア	S K	スロヴァキア
A Z	アゼルバイジャン	G A	ガボン	L S	レソト	S L	シエラ・レオネ
B A	ボスニア・ヘルツェゴビナ	G B	英国	L T	リトアニア	S N	セネガル
B B	バルバドス	G D	グレナダ	L U	ルクセンブルグ	S Z	スワジランド
B E	ベルギー	G E	グルジア	L V	ラトヴィア	T D	チャード
B F	ブルガニア・ファソ	G H	ガーナ	M C	モナコ	T G	トーゴー
B G	ブルガリア	G M	ガンビア	M D	モルドヴァ	T J	タジキスタン
B J	ベナン	G N	ギニア	M G	マダガスカル	T Z	タンザニア
B R	ブラジル	G W	ギニア・ビサオ	M K	マケドニア旧ユーゴスラヴィア	T M	トルクメニスタン
B Y	ベラルーシ	G R	ギリシャ	M L	マリ	T R	トルコ
C A	カナダ	H R	クロアチア	M N	モンゴル	T T	トリニダッド・トバゴ
C F	中央アフリカ	H U	ハンガリー	M R	モーリタニア	U A	ウクライナ
C G	コンゴー	I D	インドネシア	M W	マラウイ	U G	ウガンダ
C H	スイス	I E	アイルランド	M X	メキシコ	U S	米国
C I	コートジボアール	I L	イスラエル	N E	ニジェール	U Z	ウズベキスタン
C M	カメールーン	I N	インド	N L	オランダ	V N	ヴィエトナム
C N	中国	I S	アイスランド	N O	ノールウェー	Y U	ユーロースラビア
C R	コスタ・リカ	I T	イタリア	N Z	ニュージーランド	Z A	南アフリカ共和国
C U	キューバ	J P	日本	P L	ポーランド	Z W	ジンバブエ
C Y	キプロス	K E	ケニア	P T	ポルトガル		
C Z	チェコ	K G	キルギスタン	R O	ルーマニア		
D E	ドイツ	K P	北朝鮮	R U	ロシア		
D K	デンマーク	K R	韓国				

明細書

半導体装置及びその製造方法並びに半導体装置の実装構造

技術分野

本発明は、半導体装置とその製造方法並びに半導体装置の実装構造に係わり、テープ技術を用いたBGA (Ball Grid Array) 型半導体装置及びその製造方法並びに半導体装置の実装構造に適用して有効な技術に関する。

背景技術

最先端のロジックデバイスには、動作周波数の高周波数化、信号の多ビット化により高速化及び多機能化が要求されている。しかし、高速化及び多機能化により端子数が増加すると、既存のパッケージ例えばリードフレームを用いるパッケージではリードフレームの加工の限界により制約をうけパッケージサイズが大きくなる。そうすると、パッケージを実装基板に実装する際に、実装基板に対してのパッケージが占領する面積の割合が増加する。しかし、近年、通信機器、ノート型・パソコン、カメラ一体型VTR、デジタル・カメラなどのマルチメディア機器の多くは、多くの機能を持ち併せながら、小型・軽量化を追求した機器が圧倒的に多い。

こうした時代のニーズから、LSI実装技術の向上、すなわち、多ピン化に対応し、さらに小型化されたパッケージの開発が重要な技術課題となっている。この課題の特に平面寸法の小型化に対処しうる技術として、パッケージの裏面に外部接続用の端子であるボール状のはんだが、格子状に整列されて並ぶBGA型パッケージ技術が提案されてきており、その第1の技術として、特開平8-88245号公報に開示される技術がある。この技術は、図36に示すように、スルーホール45が形成されたベースフィルム46と、その上に形成されている透孔44が形成された銅箔配線48と、この銅箔配線48に連続しているインナーリード47と、インナーリードにボンディングされる半導体チップと、半導体チップを封止する封止樹脂と、上記透孔44の部分に形成された半田ボールとを有する

ことを特徴とする TAB 方式の BGA である。また、第 2 の技術として、特開平 8-88243 号公報に開示される技術がある。この技術は、図 37 に示すように、バイアホール 50 を形成した絶縁フィルム 52 の片面に、上記バイアホールを覆う配線パターン 53 が形成され、該配線パターン 53 のインナーリードに半導体チップが接続した TAB テープにおいて、上記配線パターン側と反対側から上記ホール 50 内に上記配線パターン 53 と接続される金属ボール 51 を設けたことを特徴とする BGA 型半導体装置である。さらに、第 3 の技術として、特開平 8-111433 号公報に開示される技術がある。この技術は、図 38 に示すように、半導体チップを内側に支持したベースフィルム部材に貫通孔を設け、この貫通孔の位置にベースフィルム上のリードと電気的に接続された外部接続電極部材 54 をベースフィルムの表裏面から上下に突出するように設ける。この上部の外部接続用電極部材 54 上に金属板 55 を取り付け、下部の外部接続用電極部材を実装基板との接続用とすることを特徴する半導体装置である。

これら第 1 の技術から第 3 の技術によれば、パッケージの平面寸法は小型化されるが、パッケージの厚さ寸法の薄型化は達成されていない。

すなわち、半導体チップの端子数が増加すると、パッケージの平面寸法が大きくなる。よって、端子数が増加してもパッケージの平面寸法が大きくならないようにするためにはパッケージの裏面に格子状に外部端子を設けるのが有効な手段である。しかし、パッケージの裏面に多数の外部端子を設けただけでは、パッケージの平面寸法は小型化されるが、薄型化は向上されない。すなわち、上記第 1 の技術から第 3 の技術に示される BGA 型パッケージでは、パッケージの薄型化の向上については不十分であることが本発明者によって指摘された。

本発明の目的は、薄型で多ピン化対応のパッケージ構造を有する半導体装置及びその製造方法を提供することにある。

本発明の他の目的は、薄型で放熱特性の良い多ピン化対応のパッケージ構造を有する半導体装置及びその製造方法を提供することにある。

本発明の他の目的は、小型化、軽量化のできる半導体装置の実装構造を提供することにある。

なお、本発明の上記並びにその他の目的と、新規な特徴は、本明細書の記述及

び添付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

半導体チップと、この半導体チップを囲むように設けられた配線基板と、この配線基板から突出して上記半導体チップに接続されたリードと、上記配線基板の一主面に設けられ上記半導体チップを囲む補強部材と、上記配線基板の上記補強部材が設けられる一主面と反対の他の主面上に上記配線基板の周縁に沿って設けられた複数のバンプと、上記半導体チップとリードとを覆う樹脂とから成る半導体装置であつて、上記半導体チップに接続されたリードは上記配線基板の補強部材が設けられる側又は複数のバンプが設けられる側に折り曲げ加工され、上記半導体チップの上記リードと接続される面とは反対の面が上記リードが折り曲げ加工される側とは反対の側に位置するように上記リードと上記半導体チップとが接続されていることを特徴とする半導体装置。

半導体チップと、この半導体チップを囲むように設けられた配線基板と、この配線基板から突出して上記半導体チップに接続されたリードと、上記配線基板の一主面に設けられ上記半導体チップを囲む補強部材と、上記配線基板の上記補強部材が設けられた一主面と反対の他の主面上に上記配線基板の周縁に沿って設けられた複数のバンプと、上記半導体チップとリードとを覆う樹脂とから成る半導体装置であつて、上記配線基板と、補強部材と、複数のバンプとの合計厚さの中に上記半導体チップとそれに接続されたリードとが収納されるように構成されたことを特徴とする半導体装置。

半導体チップと、この半導体チップを囲むように設けられた配線基板と、上記配線基板の一主面に設けられ上記半導体チップを囲む補強部材と、上記配線基板の上記補強部材が設けられた一主面と反対の他の主面上に上記配線基板の周縁に沿って設けられた複数のバンプと、上記配線基板から突出して上記半導体チップに接続されたリードと、上記半導体チップとリードとを覆う樹脂とから成る半導体装置であつて、上記リードは上記複数のバンプが設けられた側に折り曲げ加工さ

れ、上記半導体チップの上記リードと接続された面とは反対の他の面が上記補強部材が設けられた側に位置し、上記半導体チップの他の面と上記補強部材の表面に放熱板が接続されていることを特徴とする半導体装置。

樹脂基板とこの基板に設けられたデバイスホールとこのデバイスホールに突出しあつ折り曲げ加工された銅箔のリードとを有する帯状のテープと、上記デバイスホールを囲むように上記テープの一主面に接続された補強部材とを準備する工程、上記テープのデバイスホール内に突出する折り曲げ加工された上記リードを半導体チップの一主面に接続する工程、上記半導体チップ及びリードを樹脂で封止する工程、上記テープの上記補強部材が接続された一主面と反対側の他の一主面に複数のバンプを接続する工程を有することを特徴とする半導体装置の製造方法。

一主面及びこの一主面に対向する他の主面を有するプリント基板と、このプリント基板の一主面及び他の主面に複数の半導体装置を実装する実装構造であって、前記一主面には、半導体チップと、この半導体チップを囲むように設けられた配線基板と、この配線基板から突出して上記半導体チップに接続されたリードと、上記配線基板の一主面に設けられ上記半導体チップを囲む補強部材と、上記配線基板の上記補強部材が設けられた一主面と反対の他の主面上に上記配線基板の周縁に沿って設けられた複数のバンプと、上記半導体チップとリードとを覆う樹脂とから成る半導体装置であって、上記配線基板と、補強部材と、複数のバンプとの合計厚さの中に上記半導体チップと樹脂とが収納されるように構成された半導体装置が実装されていることを特徴とする実装構造。

前記した半導体装置及びその製造方法によれば、半導体装置を側面方向から見た場合の半導体チップの位置を可能な限り半導体装置の中央部側へ配置することができ薄型で多ピン化対応の半導体装置を得ることができる。

又、薄型で放熱特性の良い多ピン化対応の半導体装置も得ることができる。

さらに、前記した実装構造によれば、小型化、軽量化、薄型化が可能な実装構造を得ることができる。

図面の簡単な説明

図1は、本発明の実施の形態1における半導体装置の平面図（表面側）である。

図2は、図1の半導体装置のA-A'切断線における断面図である。

図3は、本発明の実施形態1の半導体装置に用いられる配線基板を示す平面図である。

図4は、図3の配線基板のイの部分の拡大図である。

図5は、図4の配線基板のB-B'切断線における断面図である。

図6は、図2の要部拡大断面図である。

図7は、図1の半導体装置の第1のその他の例を示す要部拡大断面図である。

図8は、図1の半導体装置の第2のその他の例を示す要部拡大断面図である。

図9は、本発明の実施の形態1における半導体装置の平面図（裏面側）である。

図10は、図9の半導体装置のロの部分の拡大図である。

図11は、図10のC-C'切断線における断面図である。

図12は、本発明の実施の形態1における半導体装置の製造方法の一例を示す断面フロー図である。

図13は、本発明の実施の形態1における半導体装置の製造方法に使用されるテープの一例を示す平面図である。

図14は、図13のテープの平面図であり、(a)は要部拡大平面図(b)は、(a)のD-D'切断線における断面図である。

図15は、本発明の実施の形態1における半導体装置の製造方法に使用されるテープの第1のその他の例を示す部分拡大図である。

図16は、本発明の実施の形態1における半導体装置の製造方法に使用されるテープの第2のその他の例を示す部分拡大図である。

図17(a)、(b)は、オフセット加工の一例を示す部分断面図である。

図18(a)、(b)は、リードボンディング方法の一例を示す部分断面図である。

図19は、ポッティング方法の一例を示す概念図である。

図20は、封止工程が終了した状態のテープを示す平面図である。

図21(a)、(b)は、実施の形態1の半導体装置をメモリカード用のプリント実装基板に実装した一例を示す平面図であり、(a)は一面側の平面図であ

り、(b)は、それと反対の他の一面側の平面図である。

図22は、図21のメモリカード用のプリント基板をケースに収容したメモリカードを示す部分透過平面図である。

図23は、図22のメモリカードのE-E'切断線における断面図である。

図24は、図22のメモリカードのF-F'切断線における断面図である。

図25は、実施の形態1の半導体装置をマルチメディア機器用のプリント基板に実装した一例を示す平面図である。

図26は、本発明の実施の形態2の半導体装置を示す平面図である。

図27は、図26の半導体装置のG-G'切断線における断面図である。

図28は、図27の要部拡大断面図である。

図29は、実施の形態2の半導体装置を他の半導体装置と共にプリント基板に実装した一例を示す断面図である。

図30は、実施の形態2における半導体装置の製造方法の一例を示す断面フロー図である。

図31は、本発明の実施の形態3における半導体装置を示す平面図である。

図32は、図31の半導体装置のH-H'切断線における断面図である。

図33は、図32の要部拡大断面図である。

図34は、実施の形態3の半導体装置の放熱板に放熱フィンを搭載した一例を示す断面図である。

図35は、実施の形態3の半導体装置の製造方法の一例を示す断面フロー図である。

図36は、第1の従来技術を示す断面図である。

図37は、第2の従来技術を示す断面図である。

図38は、第3の従来技術の組立工程を示すフローチャートである。

発明を実施するための最良の形態

以下図面を参照して本発明の実施の形態を説明する。

なお、本発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号をつけ、その繰り返しの説明は省略する。

本発明に係わる半導体装置は、半導体装置の外部端子として、半導体装置の一主面（以下、裏面と称する）に整列された複数のボール状のはんだバンプを備えており、半導体チップのパッドと上記外部端子との接続にテープ技術を用いたBGA型の半導体装置である。

（実施の形態1）

まず、図1～11を用いて、本発明の実施の形態1の半導体装置の構造を説明する。

本実施の形態1の半導体装置1は、図1、図2、図9に示すように、実装基板（図示せず）への接続用の外部端子として、複数の整列されたボール状のはんだバンプ9を備えている。このボール状のはんだバンプ9は、ポリイミド系樹脂から成る基材10と、この上に形成された銅箔の配線であるリード7とを有する枠状の配線基板4に形成されている。上記基材10の材料としては、ポリイミド系樹脂や、ガラスエポキシ、BT（Bismaleimide-Triazine）レジン、又はPET（Polyethylene terephthalate）等が用いられる。

そして、この配線基板4の上記基材10のリード7が形成される面とは反対側の他の面には、半導体装置1の機械的強度を向上させるために、平面内において半導体チップが収容可能なホールを有する厚さ200μm程度の枠状の補強部材（以下、ステフィナ3と称する）が、配線基板4の周縁部に沿って、エポキシ樹脂からなる厚さ50μm程度の接着剤11により接続されている。この接着剤11には、エポキシ樹脂の他にポリイミド系樹脂を用いても良い。

ステフィナ3の材料は、半導体装置1が実装される実装基板に近い熱膨張係数を有するものが好ましく、例えば、CuやCuを主成分とするCu合金、または、AlやAl合金、あるいは鉄系合金やセラミックス等が良い。その形状は限定されるものではなく、図1に示すように半導体チップ2の周囲を囲むことが可能なものであればよい。

半導体チップ2は、例えば、厚さ400～550μm程度のシリコンなどの半導体基板の一主面にマイコン、ASIC等の所定の集積回路及びこれら回路の外部接続用の端子となるAlなどの材料からなるパッド（図示せず）が設けられ、

そして、上記集積回路形成面の最上層には、上記集積回路を保護するためのパッセーション膜が形成されている。このパッセーション膜は例えば、厚さ2～10μm程度のポリイミド樹脂からなる。

上記パッセーション膜には開口部が形成され、この開口部に上記パッドと接続されるAuバンプ8が形成されている。Auバンプ8の直径は14～35μm程度である。このAuバンプ8は、メッキバンプ又はワイヤバンプにより形成される。尚、このAuバンプ8は、配線基板4のリード7側に形成しても良い。

このような半導体チップ2は、図2に示すように集積回路及びAuバンプ8が形成された主面を半導体装置1の裏面側すなわちはんだバンプ9が形成される側に向けた状態で配置され、配線基板4から突出して半導体装置1の裏面側すなわちはんだバンプ9が形成される側にあらかじめ折り曲げ加工（オフセット加工）されているリード7と接続されている。そして、上記半導体チップ2の集積回路が形成された主面、側面及びリード7は半導体装置1の保護、耐湿性の向上、リード7と半導体チップ2との接合部の信頼性の向上を目的に封止用の樹脂5により封止されている。この樹脂5は、シリコーン樹脂、エポキシ樹脂等が用いられる。

このような半導体装置1は図2に示されるように、はんだバンプ9、配線基板4、補強材3の合計厚さt1が半導体チップ2と封止用樹脂5との合計厚さt2よりも厚くなるように（t1>t2）構成されている。言い換えると、はんだバンプ9、配線基板4、補強材3の合計厚さt1の中に半導体チップ2と封止用樹脂5との合計厚さt2が含まれる厚さ関係となっている。

次に上記した半導体装置1の詳細を図3～図11に基づき説明する。

上記した配線基板4は、半導体チップ2のAuバンプ8とはんだバンプ9とを電気的に接続するための部材であり、図3の平面図に示されるように中央部に、配線基板4を貫通するデバイスホール14が設けられ、このデバイスホール14内に半導体チップ2が収容可能な構造となっているものが用いられる。この配線基板4は、厚さ50～125μm程度、好ましくは75±8μmの基材10と、この基材10の一主面に、厚さ12～30μm程度、好ましくは18±2μmの銅箔で形成された、任意の配線パターンのリード7と平面形状が円形のバンプラ

ンド部12とが設けられており、これらリード7及びバンプランド部12は、厚さ $1.2 \pm 4 \mu\text{m}$ 程度の接着剤（図示せず）により上記基材10に接着されている。又、これらリード7及びバンプランド部12は、ソルダーレジスト等のような感光性絶縁膜6により被覆されている。この感光性絶縁膜6は、例えば、厚さ5～30 μm 程度、好ましくは20 μm の絶縁膜であり、メラミン、アクリル、ポリスチロール、ポリイミド、ポリウレタン、シリコーン等の材料からなり、はんだ付け温度に耐える耐熱性があり、はんだに濡れない性質を有し、また、湿気や汚染による配線基板の劣化を防ぎ、さらに、フラックスや洗浄液にさらされることに耐えうる性質をもつのが好ましい。

上記バンプランド部12は、配線基板4の外縁に沿って規則的に配置される。例えば、本実施の形態1では、直径が310 μm のバンプランド部を500 μm ピッチ（間隔）で、配線基板4の周縁に沿って、周縁側の列及びその内側の列の2列にわたり配置される。しかし、バンプランド部の直径及びピッチ、配置は製品により異なり、必ずしもこれに限定されるものではなく、例えば、直径300～500 μm 、ピッチ500～800 μm 、配置パターンは規則的に2列配置や3列配置、不規則的に配置しても良い。また、図4、図5に示すように、バンプランド部12の一部は、感光性絶縁膜6にフォトリソグラフィ技術によって形成された開口部13を通じて露出され、その露出されたバンプランド部12にはんだバンプが接続される。このようなフォトリソグラフィ技術によって開口部を形成する場合は、微細加工が可能であり、小さな開口部の形成が可能となり、はんだバンプの小ボール化に対応することができる。

上記基材10上の感光性絶縁膜6への開口部形成は、パンチ等のような機械的な加工方法で形成しても良い、ただし、この場合は、開口部の直径に制限があるので、微細加工には不向きである。

図3において、便宜上感光性絶縁膜は省略する。

配線基板4のデバイスホール14には、銅箔で形成された配線パターンであるリード7の一部が突出している。配線基板4を側面方向から見た場合上記突出する各リードの位置はほぼ同一平面内にあり、この平面をリード突出平面と称する。半導体チップ2は、集積回路及びA uバンプ8が形成された主面を半導体装置

1の裏面側すなわちはんだバンプ9が形成される側に向けた状態（以下、フェイスタウンと称する）で、デバイスホール14内に配置され、上記デバイスホール14内に突出されたリード7とAuバンプ8とが電気的に接続されている。

図6は、図2の要部拡大断面図であり、同図に示すように、上記デバイスホール14内に突出された各リード7は、半導体装置1の裏面側すなわちはんだバンプ9が形成される側又は半導体チップ2のリード7と接続される側から遠ざかる方向に折り曲げ加工した第1の折り曲げ部15と、第1の折り曲げ部15よりリード先端側に半導体チップ2の素子形成面と平行となる領域を設けるように折り曲げ加工した第2の折り曲げ部16とを有している。このような折り曲げ加工されたリード構造をオフセット構造と称し、そのオフセット量（第1の折り曲げ部15と第2の折り曲げ部16との距離、言い替えると基材10上のリード7の位置と第1の折り曲げ部15によって変位したリード7の位置との距離）をTとする。

上記各リード7とAuバンプ8との接続は上記第2の折り曲げ部16からリード7の先端にかけての領域で行われる。

実施の形態1では、半導体チップの厚さ及びはんだバンプの径を考慮して半導体装置1が最も薄型構造となるように上記オフセット構造及びオフセット量Tを $125\mu m$ とした。しかし、このオフセット量T及びオフセット構造は半導体チップの厚さ、はんだボールの径などに依存するものであり、製品により異なるので必ずしもこれに限定されるものではない。

例えば、図7に示すように、第2の折り曲げ部16からリード先端にかけて徐々に半導体チップの素子形成面に近づくように、言い換えるとAuバンプ8との接続部から第2の折り曲げ部16に向かって半導体チップの素子形成面から徐々に遠ざかるような傾斜Kを有するように構成しても良い。このようにすることにより、パッシバーション膜が塗布されにくい半導体チップの素子形成面の周縁部とリードとの接触（以下、エッジショートと称する）を防止することができる。また、図8に示すように、配線基板近傍をリード突出方向から半導体装置の裏面側に折り曲げ加工した第1の折り曲げ部15と、第1の折り曲げ部15よりリード先端側に半導体チップの素子形成面と平行となる第1の領域を有するように折り

曲げ加工した第2の折り曲げ部16と、第2の折り曲げ部16よりリード先端側に、上記第1の領域より半導体チップ2側であって、半導体チップの素子形成面と平行となる第2の領域が形成されるように折り曲げ加工した第3の折り曲げ部17及び第4の折り曲げ部18とを有するように構成してもよい。このようにすることにより、半導体チップの素子形成面の周縁部とリードとのエッジショート及び半導体チップの素子形成面とリード先端部との接触を防止することができる。ただし、上記図7および図8の構造とも上記オフセット量が確保されるように、基材10上のリード7の位置に達しない範囲で第2、第3、第4の折り曲げ部が形成される。

このような半導体装置は、実装基板との接続用端子として、図9～11に示すように、配線基板4のソルダーレジストに形成された開口部を通じて露出されているバンプランド部12に、はんだバンプ9が接続されている。このはんだバンプ9は、Pb-Sn、Pb-Sn等を主成分とする合金などの材料から構成された径が300μm程度のボール状のバンプであり、バンプランド部12と対応する位置に、500μmピッチで、配線基板4の周縁に沿って、周縁側の列及びその内側の列の2列にわたり配置される。上述したようにソルダーレジストの開口部は、小さく形成することができ、はんだバンプ9の小ボール化が可能となるので、半導体装置を薄型化できる。しかし、はんだバンプの材料、径及びピッチ、配置パターンは製品により異なり、必ずしもこれに限定されるものではなく、例えば、径は300～500μm、ピッチは500～800μm、配置パターンは規則的に2列配置や3列配置、さらに、不規則的に配置しても良い。

次に、図12の断面フロー図及び図13～20を用いて本実施の形態1の半導体装置の製造方法の一例を説明する。

半導体装置の製造に先立って、図13に示すような、例えばポリイミド系樹脂からなる基材10とその基材10の一主面に銅箔で形成された任意の配線パターンのリード7と、その配線を被覆する感光性絶縁膜6と、基材10を貫通する複数のデバイスホール14とデバイスホール14に突出するリード7とを有する帯状のテープ19（このテープ19を加工し個片に切断したものを配線基板4という）と、平面内において半導体チップが収容可能なホールを有するステフィナ3

と、一主面に集積回路とパッドが形成された半導体チップ2と、封止用の樹脂と、フラックス、はんだボール等の半導体装置を構成する各部材を準備する。

図14(a)は、図13の要部拡大平面図であり、図14(b)は、(a)のD-D'切断線における断面図である。これらの図からわかるように、加工前のリードは、基材10上の配線と同一平面にその先端部が一体的に繋がれて形成されている。

最初に、図12の(a)に示すように、テープ19の基材10からデバイスホール14に突出するリード7をテープ19のはんだバンプ9が形成される側に折り曲げ加工する。先に述べたように、加工前のリード7は、基材10上の配線と同一平面にその先端部が一体的に繋がれて形成されている。これによりリード先端のばらつきを抑制することができる。図15に示すように、その一体的に繋がれたリードの先端をテープ等の固定部材21で補強してもよい。また、図16に示すように、突出するリード先端近くまで基材10が延在し、その延在された基材10に、リードの折り曲げ加工が可能となるように4本の切り込み22を設けた形状としても良い。

加工前のリードは、外形寸法の異なる半導体チップを接続することが可能なよう、リードの長さを長めに形成している。このようにすることにより、半導体チップの外形寸法に合わせてリードの先端位置を変更する必要がある場合でも十分対応することができるので半導体チップの外形寸法が変わる毎に、異なるテープを用意する必要がない。

このリードの加工は次のように行う。まず、図17(a)に示すように、リード成形治具であるダイ24とパンチ23との間に、平面的な位置合わせをした状態で挿入する。その後、図17(b)に示すように、その位置合わせをした状態を保ったままダイ24及びパンチ23をリード7に対して垂直に打ち下ろし所定の形状に押圧成形すると共に、リード7の先端部を切断パンチ25により、半導体チップに適した長さに切断する。なお、繋がっていたリードの先端部はそれぞれに分割される。以下、この加工をオフセット加工、この工程をリードオフセット工程と称する。また、半導体装置の構成部材を準備する工程で、予め、リードがオフセット加工されたテープを準備しても良い(工程a)。

次に、図12の(b)に示すように、リードオフセット工程で加工された帯状のテープ19の基材10上のデバイスホールの周囲に沿ってステフィナ3をエポキシ樹脂等の接着剤11を介して熱圧着する。以下、この工程をステフィナ接着工程と称する(工程b)。

次に、図12の(c)に示すように、半導体チップ2の一主面に形成されたパッド上に、例えばボールボンディング法でAuバンプ8を形成する。バンプの形成方法は、めつき法で行ってもかまわない。以下、この工程をAuバンプ形成工程と称する(工程c)。

次に、図12の(d)に示すように、半導体チップ2上のAuバンプ8とリード7とを電気的に接続する。この工程は、図18(a)に示すように、ボンディングステージ27上に、半導体チップ2のAuバンプ8が形成された面が上になるように搭載する。そして、テープ19の基材10から突出するリード7と半導体チップ2のAuバンプ8が対向するように上記半導体チップ2上にテープ19を位置させ、半導体チップ2のAuバンプ8とテープ19のリード7先端近傍の接続部との位置が一致するように、半導体チップ2とテープ19との位置合わせを行う。この時、各リード7とAuバンプ8との間隔はできるだけ接近させておくことが好ましい。又、テープ19はステフィナ3が形成された面が半導体チップ2側になるように位置合わせする。

その後、図18(b)に示すように、上記の位置関係を確保したまま、テープ19をテープガイド(図示しない)により動かないよう固定した状態でボンディングツール26を半導体チップ2の主面側に垂直に打ち下ろすことにより、リード7とAuバンプ8とを押圧し接合する(以下、一括ボンディング法と称する)。この時、テープ19との位置関係が変わらないように接合することが重要となる。例えば、ツールによる押圧する量をAuバンプの径以下とするのが好ましい。この一括ボンディング法は、ピン数が多くても1回でボンディングが行えるので、ボンディングに要する時間はピン数に依存せず短時間で済む。このボンディングで重要なのは、リード7とAuバンプ8が均一に加熱加圧されることである。そのためには、リード7の平坦性を確保しなければならない。本実施の形態1では、前述したように、各リード7の先端を一体的に形成しておきリードオフセット加

工と共にリード毎に分割することで各リードのばらつきを抑えて平坦性を保つことが可能となる。以下、この工程をリードボンディング工程と称する（工程 d）。

次に、図 12 の (e) に示すように、半導体チップ 2 の集積回路が形成された正面、側面及びリード 7 をポッティング法により液状の樹脂 5 で封止する。図 19 に示すように半導体チップ 2 の集積回路が形成された正面を上向きにした状態で、半導体チップ 2 の正面、リード 7 上に、図 19 に付したループで示すように移動可能なディスペンサ 28 により封止用樹脂 5 を滴下させ、半導体チップ 2 の正面、側面及びリード 7 を封止する。このとき、リード 7 の隙間及び半導体チップ 2 の側面は樹脂の表面張力によって充填される。以下、この工程を封止工程と称する（工程 e）。

次に、図 12 の (f) に示すように、テープ 19 の感光性絶縁膜に形成された開口部を通じて露出されているバンプランド部に、Pb-Sn などの材料から構成されたボール状のはんだバンプ 9 を接続する。まず、はんだバンプをバンプランド部との平面的な位置合わせをして搭載治具（図示しない）で吸着し、その後、搭載治具に吸着された状態のはんだバンプにフラックスを塗布し、搭載治具により、フラックスを塗布したはんだバンプ 9 を半導体装置のバンプランド部に一括で接続する。以下、この工程をはんだバンプ搭載工程と称する（工程 f）。

次に、図 12 の (g) に示すように、はんだバンプ搭載工程が完了した図 20 に示すような帯状のテープ 19 を、各ステフィナ 3 の周縁よりやや外側の位置で切断することにより半導体装置が個片に打ち抜かれる。以下、この工程を切断工程と称する。（工程 g）

その後、この半導体装置に対し所定の検査を行い良否を判定する。このようにして、半導体装置の製造工程が完了する。

なお、リードボンディング工程（工程 d）でのリード 7 と Au バンプ 8 との接続方法は、一括ボンディング法に限定されるものではなく、例えば、ヒータで加熱したボンディングステージ上で半導体チップを加熱し、ボンディングツールに超音波と加重を加えて、リードと半導体チップの Au バンプとを 1 点ずつ接続する方法（以下、シングルポイントボンディング法）で行っても良い。一括ボンディング法は半導体チップの種類ごとにボンディングツールが異なり、品種交換を

頻繁に行う必要がある場合作業効率が悪い。しかし、シングルポイントボンディング法は、ボンディングツールの交換が必要なく品種交換が容易に行え、ASI Cのような少量多品種製品への適用が適している。

又、封止工程（工程e）の封止方法は、ポッティング法に限定されるものではなくトランスファモールドで行っても良い。トランスファモールド法は、まずオフセット加工されたリードに半導体チップを接続した状態のテープを成型用の第1の金型と第2の金型との間に半導体チップが各金型表面に形成されているキャビティに収まるように搭載し、その後、第1の金型及び第2の金型を型締めし、キャビティ内へゲートを介し、封止用樹脂を流しこみ半導体チップ及びリードを封止する方法である。このようなトランスファモールド法の場合、樹脂が半導体装置の補強部材であるステフィナの役割を果たすので、ステフィナは必要ない。したがって、半導体装置の製造コストが低減される。

次に、本実施の形態1の半導体装置1を実装基板に実装した例を説明する。

まず、図21～24を用いて、本発明の実施の形態1の半導体装置1を小型のメモリカードに適用した例を説明する。

図21は、実施の形態1の半導体装置1を小型のメモリカード用のプリント基板29に実装した場合の平面図であり、同図の(a)は一面側の平面図であり、(b)は、それと反対側の他の一面側の平面図である。

同図の(a)に示されるように、プリント基板29の一面には本発明の実施の形態1の半導体装置1及びTCP(Tape Carrier Package)やTSOP(Thin Small Out-line Package)等の薄型パッケージを用いたメモリ30が実装される。又、同図の(b)に示されるように、プリント基板29の他の一面にも前記と同様の薄型パッケージを用いた複数のメモリ30が実装される。また、プリント基板29の他の一面には、水晶発振子33や、チップコンデンサ及びチップ抵抗などの複数のチップ部品32も実装される。

そして、このプリント実装基板29は図22に示されるように、外部端子31を通じてプリント基板用ソケット34に接続され、プリント基板用ソケット34とプリント基板29とがケース35に収容され小型のメモリカード36を構成す

るものである。

図23は、図22のメモリカード36のE-E'切断線における断面図であり、図24は、図22のメモリカード36のF-F'切断線における断面図である。

この小型のメモリカード36に用いられる実施の形態1の半導体装置1は、上記メモリ30の制御やホストマイコンとメモリ30とのデータのやり取りの制御等を行うための集積回路（マイクロコンピューター及びゲートアレー等の機能を有する集積回路）が形成されている。

又、プリント基板29の一面及び他の一面に形成されるメモリ30は、データを半永久的に保存する不揮発性メモリやメモリカードの制御用プログラムの格納等に用いられる揮発性メモリである。上記不揮発性メモリとしては、フラッシュメモリ、EEPROM (Electrically Erasable and Programmable Read Only Memory)、EPROM (Erasable and Programmable Read Only Memory)、マスクROM、等が用いられる。又、上記揮発性メモリとしてはDRAMやSRAMなどが用いられる。

実施の形態1の半導体装置1の裏面のはんだバンプ9はプリント基板29上の配線（図示せず）と電気的に接続されている。また、TCPやTSOP型のメモリ30のリード部が、プリント基板29上の配線と電気的に接続されている。

又、実施の形態1の半導体装置1を二つ用い、一つは、マイクロコンピューターの機能を有するものとし、他の一つはゲートアレーの機能を有するものとして、プリント基板29の一面に実施の形態1の半導体装置1を二つ実装しても良い。この場合、プリント基板29の他の一面に実装される複数のメモリ30は、一つが不揮発性メモリであり、他の一つは揮発性メモリとなる。

このようなメモリカード36では、従来薄型化が困難とされていた高性能且つ多ピンの半導体装置である制御系の半導体装置（マイクロコンピューターやゲートアレーまたはこれら両者の機能を有するもの）として実施の形態1のような薄型の半導体装置1を用いたことで、メモリカード36の小型、軽量化に加え、大幅な薄型化が可能となる。また、実施の形態1の半導体装置1は表面実装型であるので、TCP型、TSOP型、UTSOP型等の他の表面実装型の半導体装置

と共に同一の実装基板に搭載して一括でリフローすることができ実装が容易である。

このような小型のメモリカード36は、例えば、デジタルカメラなどに用いられるコンパクトメモリカードとして用いれば大変有益である。

次に、図25を用いて、本実施の形態1の半導体装置1をマルチメディア機器用のプリント基板39に適用した例を説明する。図25は、実施の形態1の半導体装置1をマルチメディア機器用のプリント基板39に実装した一例を示す平面図である。

図25に示すように、上記プリント基板39の表面には、複数の実施の形態1の半導体装置1と共に複数のQFP (Quad Flat Package) 型の半導体装置38や、TCP型又はTSP型の半導体装置37が実装されている。実施の形態1の半導体装置1は、例えばマイクロコンピューターやゲートアレー等の集積回路が形成されたものである。

実施の形態1の半導体装置の裏面のはんだバンプ9はプリント基板38上の配線と電気的に接続されている。また、QFP、TCP型又はTSP型の半導体装置37のリード部は、プリント基板39上の配線と電気的に接続されている。

このプリント基板39においては、実施の形態1の半導体装置1を複数採用することで実装密度が向上され、プリント基板39の面積の小型化、軽量化を向上することができる。このような小型のプリント基板39は、カメラ一体型VTR、ノート型パソコン等の機器に組み込まれ、製品の高性能、携帯性、軽量化に大きく貢献する。また、実施の形態1の半導体装置1は表面実装型であるので、QFP、TCP型又はTSP型等の他の表面実装型の半導体装置と共に実装基板に搭載して一括でリフローすることができ実装が容易である。

次に、上述した本実施の形態1の効果について下記する。

上述した本実施の形態1の半導体装置1によれば、次のような効果を得ることができる。

(1) 半導体装置1を側面方向から見た場合の半導体チップの位置を可能な限り半導体装置1の中央部側へ配置することができる。すなわち、はんだバンプ9、配線基板4、配線基板4上のリード7、ステフィナ3、接着剤11、の合計厚さ

の中に半導体チップ2とAuバンプ8及びAuバンプ8に接続されるリード7とが收まるように半導体装置1を構成することができ、半導体装置1の薄型化を達成できる。

例えば、はんだバンプ9の直径=300μm、配線基板4=87μm、リード7の厚さ=18μm、ステフィナ3=200μm、接着剤11=50μm、半導体チップ2の厚さ=400μm、Auバンプの高さ=35μmの半導体装置1の厚さは655μmとなる。

以上のように、本実施の形態1の半導体装置によれば、リードをオフセット構造とすることで半導体装置の最終構造の厚さを極めて薄型の構造とすることができるので薄型で多ピン化対応の半導体装置を得ることができる。

(2) 半導体チップ2との接続手段として、ポリイミド樹脂等の基材10に配線パターンのリード7を形成したテープ19を用いているので、生産性が高く、半導体装置の組立が低コストで行えるというメリットがある。

(3) 半導体装置1と実装基板との接続用のはんだバンプ9を配線基板4のリード7形成面側に接続しているのでスルーホールや多層配線を形成する必要がなく半導体装置の製造が低コストで行える。

(4) 半導体装置1と実装基板との接続用のはんだバンプ9を、半導体装置1の裏面に2次元に整列されて配置する構造なので、半導体装置の面積を大きくすることなく多ピン化が可能となる。

(5) リード7を部材状態でオフセット加工することで、リード7が精度良くオフセット加工できる。

(6) 配線基板4のリード7の長さを長めに形成しておき、半導体チップ2の外形寸法に合わせて先端を切断するようにしたので異なった外形寸法の半導体チップに対応可能となり、半導体装置1の製造コストが低減される。

(7) 表面実装型の半導体装置1であるので、QFP、TSOP、UTSOP、TCP型等の他の表面実装型の半導体装置と共に同一の実装基板に搭載して一括でリフローすることができ実装が容易となる。

(8) 半導体装置をプリント基板に実装する実装構造を小型化、軽量化及び薄型化することができる。

(実施の形態 2)

まず、図 26～28 を用いて、実施の形態 2 の半導体装置の構造を説明する。本実施の形態 2 の半導体装置は、実施の形態 1 と同様に、配線基板 4 のリード 7 をオフセット加工した BGA 型の半導体装置であるが、実施の形態 1 との相違点は、リード 7 のオフセット方向と半導体チップ 2 の素子形成面の向きの違いである。図 27 及び図 28 に示すように実施の形態 2 の半導体チップ 2 は、半導体チップ 2 の素子形成面と対向する反対の面（非素子形成面）が半導体装置 1 の裏面側すなわちはんだバンプ 9 側を向いた状態（以下、フェイスアップと称する）で半導体装置 1 内に組み込まれる。

すなわち、実施の形態 2 の半導体装置 1 は、配線基板 4 のデバイスホールに突出するリード 7 に、半導体装置 1 の表面側（配線基板 4 のステフィナ 3 が形成される側）に折り曲げ加工した第 1 の折り曲げ部 15 と、第 1 の折り曲げ部 15 よりリード先端側に半導体チップ 2 の素子形成面と平行な接続部が形成されるよう折り曲げ加工した第 2 の折り曲げ部 16 とを設けることにより、リード 7 と半導体チップ 2 との接続面をリード 7 突出平面より半導体装置 1 の表面側すなわち、ステフィナ 3 が形成される側、言い替えると半導体チップとリードとの接続部から遠ざかる方向に位置させ、そのリード 7 に半導体チップ 2 をフェイスアップで接続した構造である。

この時、リード 7 に接続した半導体チップ 2 の非素子形成面の位置が図 27 に示すように、はんだバンプ 9 の最下点より低くならないようにリード 7 のオフセット量を制御して構成することが重要である。

次に、本実施の形態 2 の半導体装置 1 を、プリント基板に実装した一例を図 29 に示す。プリント基板 40 の表面に、QFP 型の半導体装置と共に、実施の形態 2 の半導体装置 1 が実装される。

次に、図 30 のフローチャートに沿って、本実施の形態 2 の半導体装置の製造方法の一例を説明する。

まず、半導体装置の製造に先立って、実施の形態 1 と同様にテープ 19 と、ステフィナ 3 と、半導体チップ 2 と、封止樹脂と、フラックス、はんだバンプ等を準備する。

次に、リードオフセット工程において、テープ19のリード7を、実施の形態1と同様ダイ及びパンチにより所定の形状に押圧成形すると共に、切断パンチにより半導体チップに適した長さに切断する（工程a）。

次に、ステフィナ3接着工程において、リードオフセット工程で加工された帶状のテープ19の基材10上のデバイスホールの周囲にステフィナ9をエポキシ樹脂等の接着剤11を介して熱圧着する（工程b）。

次に、Auバンプ8形成工程において、半導体チップ2の一主面に形成されたパッド上に、例えばボールボンディング法などの方法でAuバンプ8を形成する。バンプの形成方法は、めっき法で行ってもかまわない（工程c）。

次に、リードボンディング工程において、ボンディングステージ上に、半導体チップ2主面とテープ19の感光性絶縁膜側の面とを対向させた状態で搭載し、ボンディングツールを半導体チップ2の主面側に垂直に打ち下ろすことにより、半導体チップ2のAuバンプ8とテープ19のリード7と加熱加圧し接合する（工程d）。

次に、樹脂封止工程において、半導体チップ2の集積回路が形成された主面、側面及びリード7を封止用の樹脂5により封止する（工程e）。

次に、はんだバンプ形成工程において、テープ19の感光性絶縁膜に形成された開口部を通じて露出されているバンプランド部に、Pb-Snなどの材料から構成されたボール状のバンプを接続することで半導体装置の外部電極であるはんだバンプを形成する（工程f）。

次に、切断工程において、帶状のテープ19を、ステフィナ3の周縁よりやや外側の位置で切断することにより半導体装置1が個片に打ち抜かれる（工程g）。

その後、この半導体装置1に対し所定の検査を行い良否を判定する。このようにして、半導体装置1の製造工程が完了する。

このような実施の形態2によれば、実施の形態1で述べた効果（1）と同様な効果すなわち、半導体装置1を側面方向から見た場合の半導体チップ2の位置を可能な限り半導体装置1の中央部側へ配置することができ、はんだバンプ9、配線基板4、配線基板4上のリード7、ステフィナ3、接着剤11、の合計厚さの中に半導体チップ2、Auバンプ8及びAuバンプ8に接続されるリード7が収

まる構造の半導体装置 1 を構成することができる。従って、薄型で多ピン化対応の半導体装置を得ることができる。

その他実施形態 1 で述べた効果 (2) ~ (8) と同様な効果も得ることができる。

(実施の形態 3)

図 3 1 ~ 3 5 を用いて、実施の形態 3 の半導体装置の構造その製造方法を説明する。本実施の形態 3 の半導体装置は、実施の形態 1 および実施の形態 2 と同様に、テープ配線基板 4 のリード 7 をオフセット加工した BGA 型の半導体装置であり、実施の形態 3 の特徴は、半導体装置 1 に熱特性向上のための放熱板 4 1 を搭載した点である。

すなわち、配線基板 4 は、実施の形態 1 と同様のものであり、その中央部には、配線基板 4 を貫通するデバイスホールが形成され、そのデバイスホール内に半導体チップが収容可能な構造となっている。また、デバイスホールには、銅箔の配線リード 7 が複数突出され、この各リード 7 は、半導体装置 1 の裏面側すなわちはんだバンプ 9 形成側に折り曲げ加工された第 1 の折り曲げ部 1 5 と、第 1 の折り曲げ部 1 5 よりリードの先端側に半導体チップ 2 の素子形成面と平行な接続部が形成されるように折り曲げ加工された第 2 の折り曲げ部 1 6 とを有する。

オフセット加工された各リード 7 の接続部には、半導体チップ 2 がフェイスダウンで接続されている。

上記配線基板 4 のステフィナ 3 上面および半導体チップの非素子形成面には、放熱特性を向上させるための放熱板 4 1 が搭載されている。このように、放熱板 4 1 を搭載するためには、半導体チップ 2 の非素子形成面とステフィナ 3 の上面が同一平面内に位置する必要がある。例えば、実施の形態 3 では、はんだバンプ 9 の径を考慮して、半導体チップ 2 の位置が可能な限り半導体装置 1 の中央部となるようにリード 7 のオフセット量を $125 \mu m$ とした。このような構造にすることにより、薄型化の達成とともに放熱特性の向上も図ることができる。このオフセット量は、必ずしもこれに限定されるものではなく、図 3 2、図 3 3 に示すように半導体チップ 2 の非素子形成面がステフィナ 3 の上面とほぼ同一平面内に位置するようなオフセット量であれば良い。

上記放熱板は、半導体チップ2の非素子形成面及びステフィナ3の上面にエポキシ系樹脂の接着剤により接着される。また、放熱板の材料は、半導体チップ2と熱膨張係数が近い材料である銅タングステン(Cu-W)が好ましいが、同様の条件を満たす材料であるFe系合金、ムライト、窒化アルミニウム、炭素系の材料例えればダイヤモンドなどを用いても良い。

前記放熱板41は、半導体チップ2で生じた熱を高効率に半導体装置の外部への放熱させるのに大きく寄与し、半導体装置1の動作信頼性及び寿命を向上させることができる。

また、この放熱板41には、図34に示すように、さらなる高熱発生半導体装置に対応するための放熱用のフィン42を搭載することができる。放熱フィン42の材料はアルミニウム、形状は表面積を広くし放熱特性を向上する形状が好ましい。材料、形状は必ずしもこれに限定されるものではなく、半導体チップの適化を考慮して選択すれば良い。

上記半導体チップの集積回路が形成された主面、側面及びリードは保護及び半導体装置の耐湿性の向上、リードと半導体チップとの接合部の信頼性の向上を目的に封止用の樹脂により封止される。この樹脂は、シリコーン樹脂、エポキシ樹脂等が用いられる。

半導体装置1の裏面には、実装基板との接続用端子として、ボール状のはんだパンプ9がテープ配線基板4の外縁に沿って、外縁側の列及びその内側の列の2列にわたり搭載される。

以下、図35のフローチャートに沿って、本実施の形態3の半導体装置の製造方法を説明する。

まず、半導体装置の製造に先立って、テープと、ステフィナと、半導体チップと、封止樹脂と、フラックス、はんだボールと放熱板等を準備する。

次に、リードオフセット工程において、テープ19のリードを実施の形態1と同様ダイ及びパンチにより所定の形状に押圧成形すると共に切断パンチにより半導体チップの外形に適した長さに切断する(工程a)。

次に、ステフィナ接着工程において、リードオフセット工程で加工された帯状のテープ19の基材10上のデバイスホールの周囲にステフィナ3をエポキシ樹

脂等の接着剤 11 を介して熱圧着する（工程 b）。

次に、Au バンプ形成工程において、半導体チップの一主面に形成されたパッド上に、例えばボールボンディング法などの方法で Au バンプ 8 を形成する。バンプの形成方法は、めっき法で行ってもかまわない（工程 c）。

次に、リードボンディング工程において、ボンディングステージ上に、半導体チップ主面とテープ 19 のリード 7 とを対応させた状態で搭載し、ボンディングツールを半導体チップ 2 の主面側に垂直に打ち下ろすことにより、半導体チップの Au バンプ 8 とテープ 19 のリード 7 とを加熱加圧し接合する（工程 d）。

次に、半導体チップ 2 の非素子形成面及びステフィナ 3 の上面にエポキシ系樹脂等の接着剤を介して放熱板を接着する（工程 e）。

次に、樹脂封止工程において、半導体チップの集積回路が形成された主面、側面及びリードを封止用の樹脂により封止する（工程 f）。

次に、はんだバンプ形成工程において、テープ 19 のソルダーレジストに形成された開口部を通じて露出されているバンプランド部に、Pb-Sn などの材料から構成された球形のバンプを接続することで半導体装置の外部電極であるはんだバンプを形成する（工程 g）。

次に、切断工程において、帯状のテープ 19 を、ステフィナ 3 の周縁よりやや外側の位置で切断することにより半導体装置 1 が単体に打ち抜かれる（工程 h）。その後、この半導体装置 1 に対し所定の検査を行い良否を判定する。このようにして、半導体装置の組立工程が完了する。

このような実施の形態 3 の半導体装置によれば、実施の形態 1 で説明した効果（1）～（7）と同様な効果を得ることができる。

さらに、効果（8）として、放熱板や放熱フィンを搭載することにより、それを搭載しない場合に比べ熱抵抗が約 1/2 となり、半導体装置の放熱特性を大幅に向上することができる。

以上、本発明者によってなされた発明を実施の形態に基づき説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

産業上の利用可能性

以上のように、本発明に係わる半導体装置は、BGA型半導体装置に適用して有益であり、又、このBGA型半導体装置を用いる小型のメモリカードやハンディタイプのパーソナルコンピューターなどの携帯機器、および小型の情報通信機器等に適用して有用である。

請求の範囲

1. 半導体チップと、この半導体チップを囲むように設けられた配線基板と、この配線基板から突出して上記半導体チップに接続されたリードと、上記配線基板の一主面に設けられ上記半導体チップを囲む補強部材と、上記配線基板の上記補強部材が設けられる一主面と反対の他の主面上に上記配線基板の周縁に沿って設けられた複数のバンプと、上記半導体チップとリードとを覆う樹脂とから成る半導体装置であつて、上記半導体チップに接続されたリードは上記配線基板の補強部材が設けられる側又は複数のバンプが設けられる側に折り曲げ加工され、上記半導体チップの上記リードと接続される面とは反対の面が上記リードが折り曲げ加工される側とは反対の側に位置するように上記リードと上記半導体チップとが接続されていることを特徴とする半導体装置。
2. 上記リードは上記複数のバンプが設けられる側に折り曲げ加工されていることを特徴とする請求項1に記載の半導体装置。
3. 上記リードは上記配線基板の補強部材が設けられる側に折り曲げ加工されていることを特徴とする請求項1に記載の半導体装置。
4. 上記リードの折り曲げ加工は、上記半導体チップのリードと接続される面から遠ざかる方向に折り曲げ加工した第1の折り曲げ加工部と、この第1の折り曲げ加工部よりリード先端側で折り曲げ加工された第2の折り曲げ加工部とを有することを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体装置。
5. 上記配線基板の複数のバンプが設けられる側には感光性絶縁膜が形成されていることを特徴とする請求項1乃至請求項4のいずれか1項に記載の半導体装置。
6. 上記複数のバンプは複数列に整列されて設けられていることを特徴とする請求項1乃至請求項5のいずれか1項に記載の半導体装置。
7. 半導体チップと、この半導体チップを囲むように設けられた配線基板と、この配線基板から突出して上記半導体チップに接続されたリードと、上記配線基板の一主面に設けられ上記半導体チップを囲む補強部材と、上記配線基板の上記補強部材が設けられた一主面と反対の他の主面上に上記配線基板の周縁に沿って設け

られた複数のバンプと、上記半導体チップとリードとを覆う樹脂とから成る半導体装置であって、上記配線基板と、補強部材と、複数のバンプとの合計厚さの中に上記半導体チップと樹脂とが収納されるように構成されたことを特徴とする半導体装置。

8. 上記半導体チップの上記リードと接続された面が上記複数のバンプが設けられた側に向いていることを特徴とする請求項 7 に記載の半導体装置。

9. 上記半導体チップの上記リードと接続された面が上記補強部材が設けられた側に向いていることを特徴とする請求項 7 に記載の半導体装置。

10. 半導体チップと、この半導体チップを囲むように設けられた配線基板と、上記配線基板の一主面に設けられ上記半導体チップを囲む補強部材と、上記配線基板の上記補強部材が設けられた一主面と反対の他の主面上に上記配線基板の周縁に沿って設けられた複数のバンプと、上記配線基板から突出して上記半導体チップに接続されたリードと、上記半導体チップとリードとを覆う樹脂とから成る半導体装置であって、上記リードは上記複数のバンプが設けられた側に折り曲げ加工され、上記半導体チップの上記リードと接続された面とは反対の他の面が上記補強部材が設けられた側に位置し、上記半導体チップの他の面と上記補強部材の表面に放熱板が接続されていることを特徴とする半導体装置。

11. 上記放熱板の上に放熱フィンが接続されていることを特徴とする請求項 10 に記載の半導体装置。

12. 枠状の配線基板と、この配線基板の一方の面に形成された複数のバンプと、上記配線基板の他方の面に形成された補強部材と、上記配線基板から突出して上記複数のバンプが形成される側にオフセット加工された複数のリードと、上記複数のリードがオフセット加工された方向とは反対の方向に非素子形成面が位置するように上記複数のリードに接続された半導体チップと、上記半導体チップと複数のリードとを覆う樹脂とから成ることを特徴とする半導体装置。

13. 枠状の配線基板と、この配線基板の一方の面に形成された複数のバンプと、上記配線基板の他方の面に形成された補強部材と、上記配線基板から突出して上記補強部材が形成される側にオフセット加工された複数のリードと、上記複数のリードがオフセット加工された方向とは反対の方向に非素子形成面が位置するよ

うに上記複数のリードに接続された半導体チップと、上記半導体チップと複数のリードとを覆う樹脂とから成ることを特徴とする半導体装置。

14. 樹脂基板とこの基板に設けられたデバイスホールとこのデバイスホールに突出しつつ折り曲げ加工された銅箔のリードとを有する帯状のテープと、上記デバイスホールを囲むように上記テープの一主面に接続された補強部材とを準備する工程、上記テープのデバイスホール内に突出する折り曲げ加工された上記リードを半導体チップの一主面に接続する工程、上記半導体チップ及びリードを樹脂で封止する工程、上記テープの上記補強部材が接続された一主面と反対側の他の一主面に複数のバンプを接続する工程を有することを特徴とする半導体装置の製造方法。

15. 上記テープは上記補強部材側に折り曲げ加工されたリードを有し、上記半導体チップは、上記リードとの接続面とは反対側の面が上記複数のバンプ側に位置するように上記リードに接続されることを特徴とする請求項14に記載の半導体装置の製造方法。

16. 上記テープは上記複数のバンプ側に折り曲げ加工されたリードを有し、上記半導体チップは、上記リードとの接続面とは反対側の面が上記補強部材側に位置するように上記リードに接続されることを特徴とする請求項14に記載の半導体装置の製造方法。

17. 一主面及びこの一主面に対向する他の主面を有するプリント基板と、このプリント基板の一主面及び他の主面に複数の半導体装置を実装する実装構造であって、前記一主面には、半導体チップと、この半導体チップを囲むように設けられた配線基板と、この配線基板から突出して上記半導体チップに接続されたリードと、上記配線基板の一主面に設けられ上記半導体チップを囲む補強部材と、上記配線基板の上記補強部材が設けられた一主面と反対の他の主面に上記配線基板の周縁に沿って設けられた複数のバンプと、上記半導体チップとリードとを覆う樹脂とから成る半導体装置であって、上記配線基板と、補強部材と、複数のバンプとの合計厚さの中に上記半導体チップと樹脂とが収納されるように構成された半導体装置が実装されていることを特徴とする実装構造。

18. 上記半導体装置は、マイクロコンピューター及び又はゲートアレーの機能

を有する半導体装置であることを特徴とする請求項 1 7 に記載の実装構造。

1 9. 上記プリント基板に実装される他の半導体装置は、 T C P 型または T S O P 型または U T S O P 型のいづれかであることを特徴とする請求項 1 7 に記載の実装構造。

2 0. 上記他の半導体装置は、 メモリであることを特徴とする請求項 1 9 に記載の実装構造。

2 1. 上記実装構造は、 メモリカードに用いられることを特徴とする請求項 1 7 に記載の実装構造。

2 2. 一主面を有するプリント基板と、 このプリント基板の一主面に実装される複数の半導体装置とを有し、 前記複数の半導体装置の一部の半導体装置は、 半導体チップと、 この半導体チップを囲むように設けられた配線基板と、 この配線基板から突出して上記半導体チップに接続されたリードと、 上記配線基板の一主面に設けられ上記半導体チップを囲む補強部材と、 上記配線基板の上記補強部材が設けられた一主面と反対の他の主面上に上記配線基板の周縁に沿って設けられた複数のバンプと、 上記半導体チップとリードとを覆う樹脂とから成る半導体装置であつて、 上記配線基板と、 補強部材と、 複数のバンプとの合計厚さの中に上記半導体チップと樹脂とが収納されるように構成された半導体装置であり、 他の半導体装置は、 Q F P 型の半導体装置であることを特徴とする実装構造。

2 3. 上記他の半導体装置は、 T C P 型及び又は T S O P 型であることを特徴とする請求項 2 2 に記載の実装構造。

2 4. 上記実装構造は、 マルチメディア機器に用いられることを特徴とする請求項 2 2 に記載の実装構造。

図 1

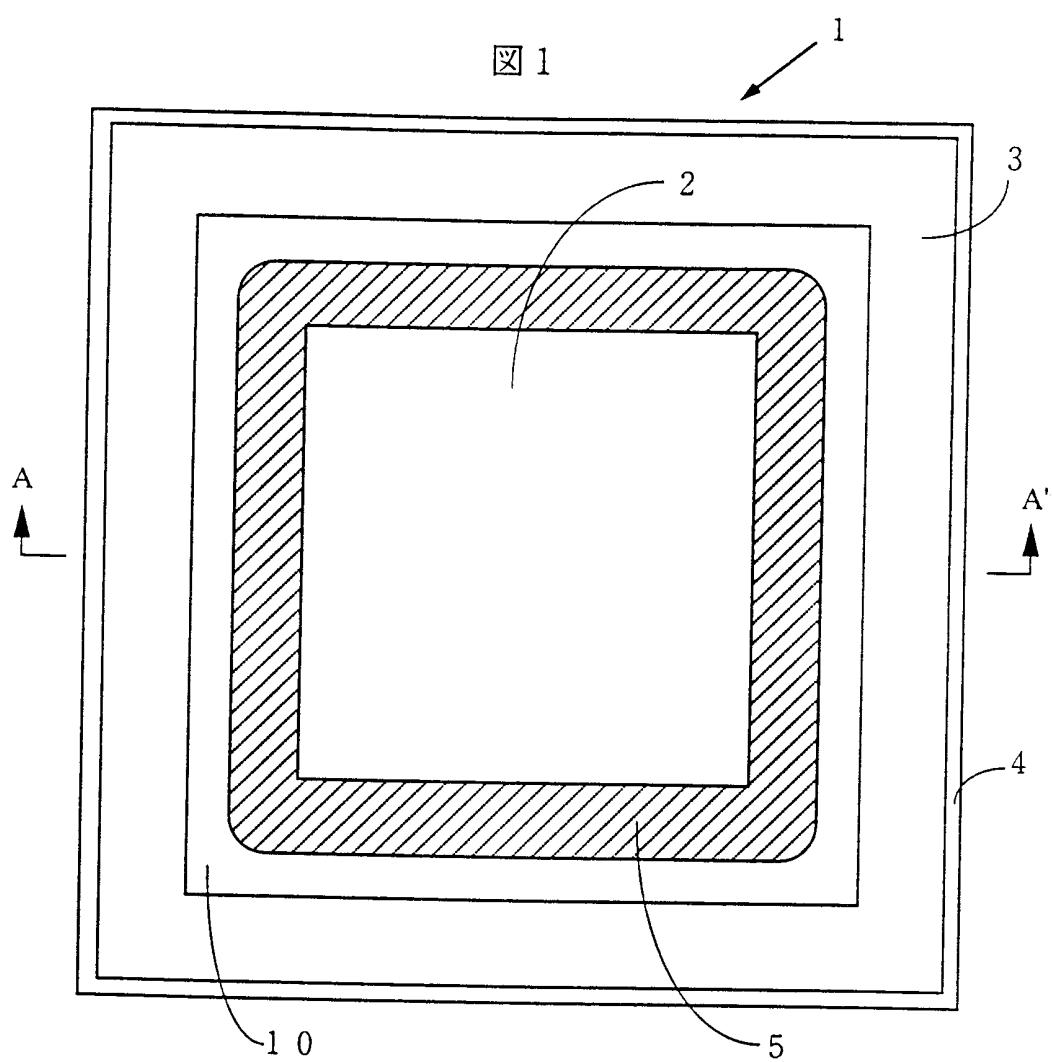


図 2

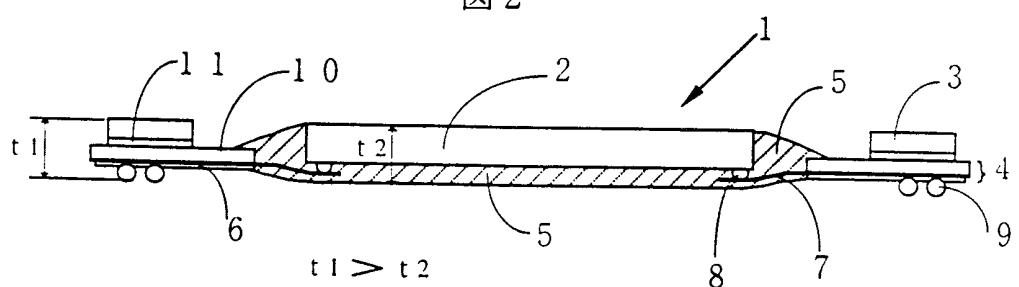


図 3

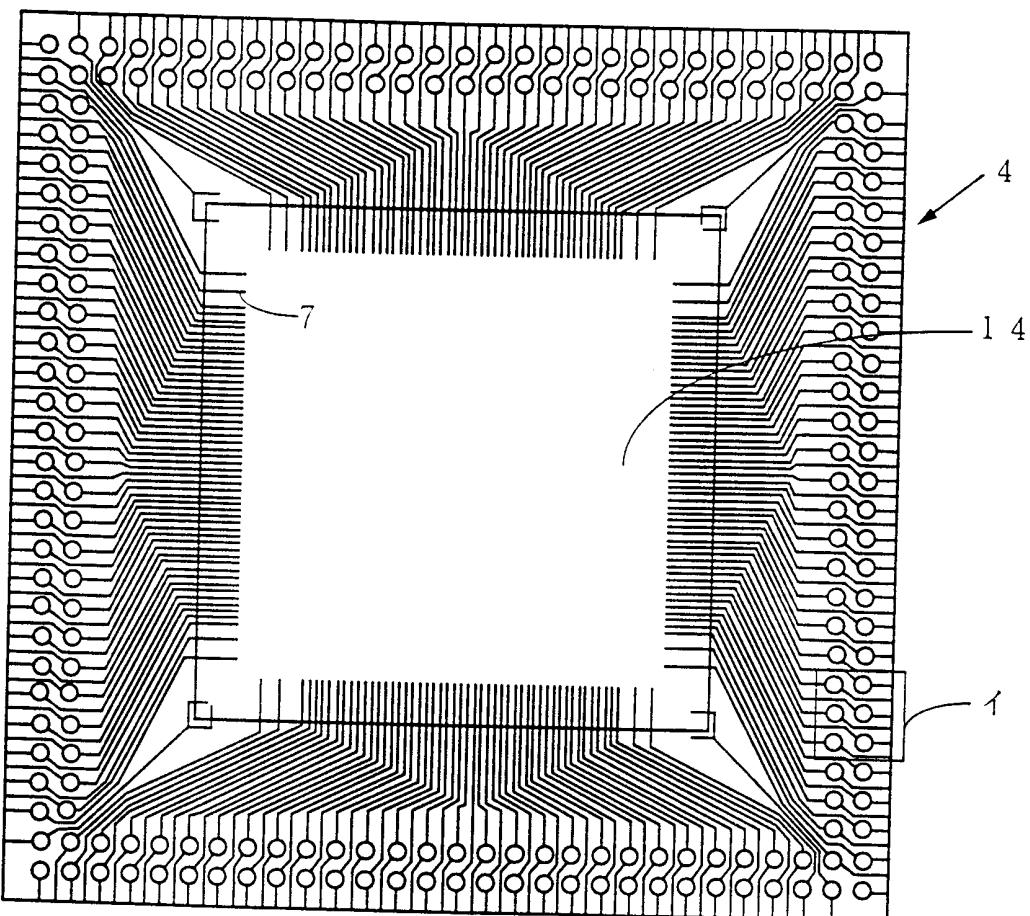


図 4

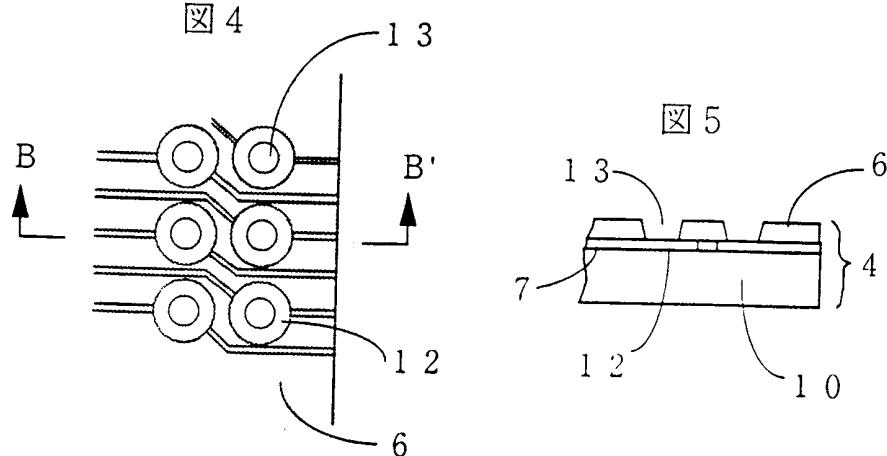
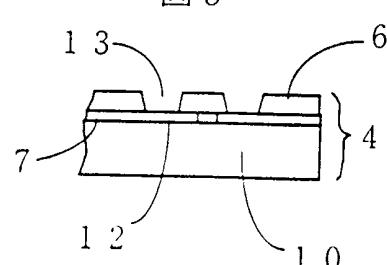


図 5



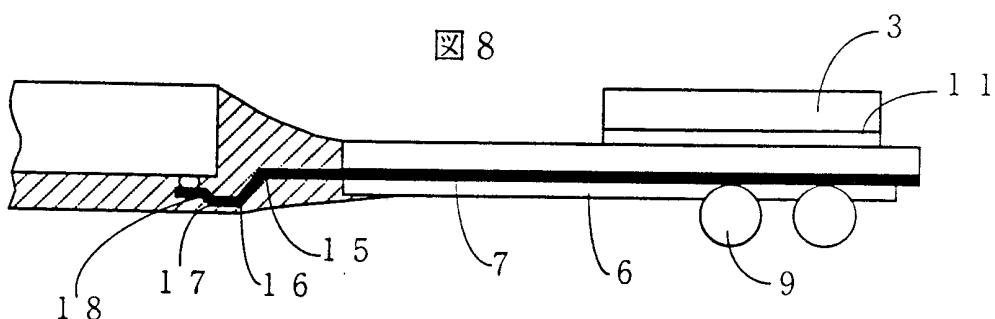
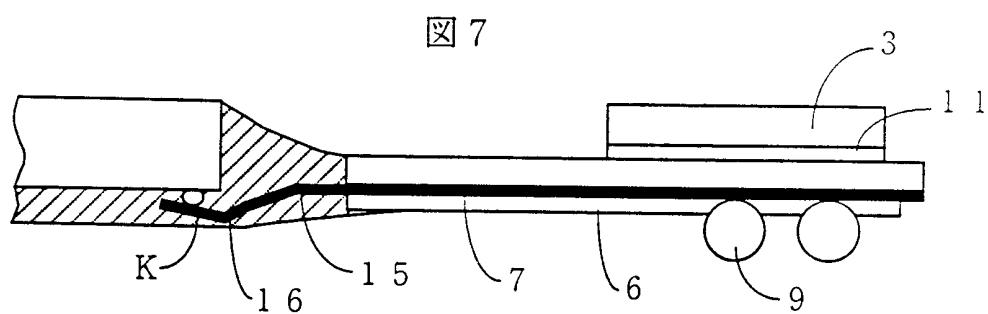
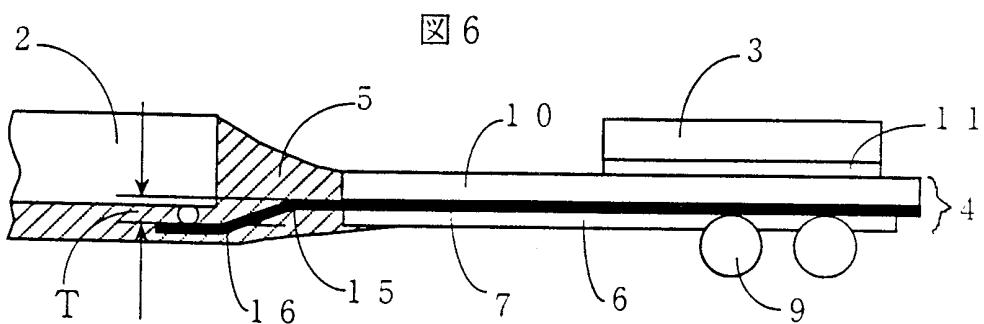


図 9

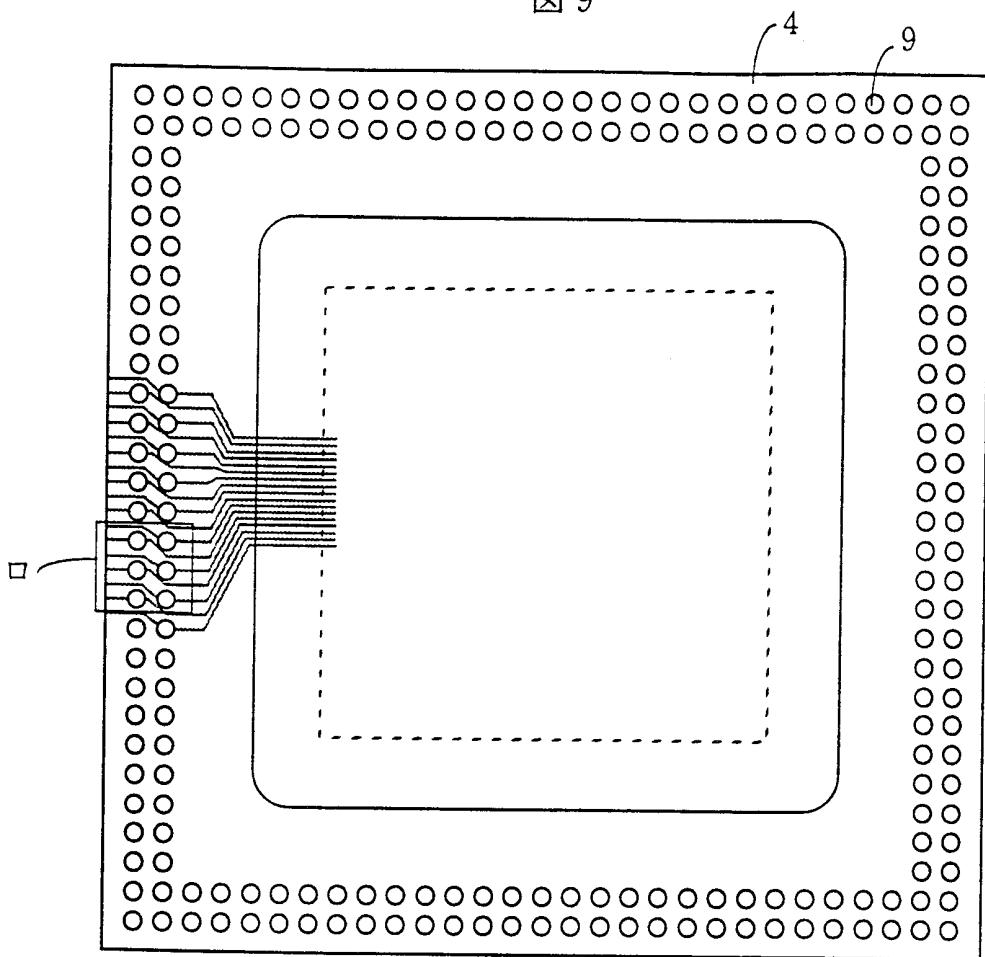


図 10

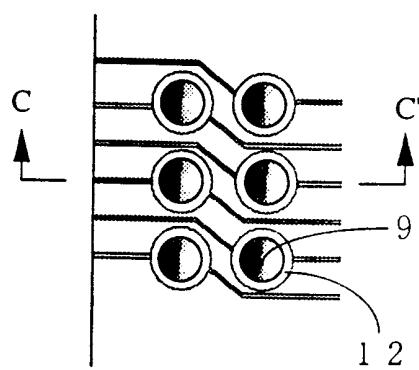


図 11

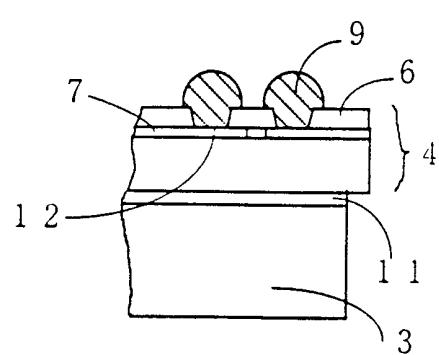
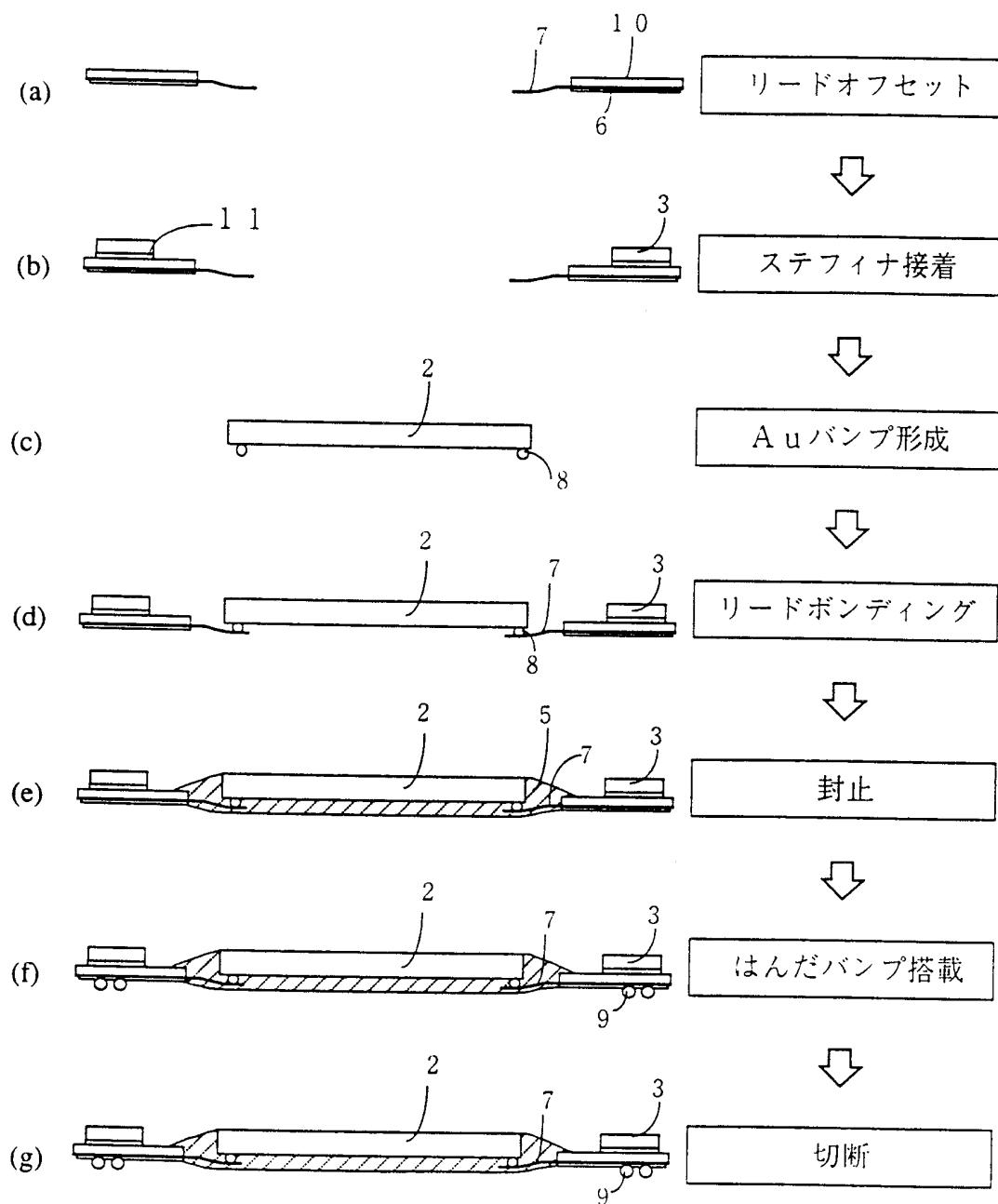


図 1 2



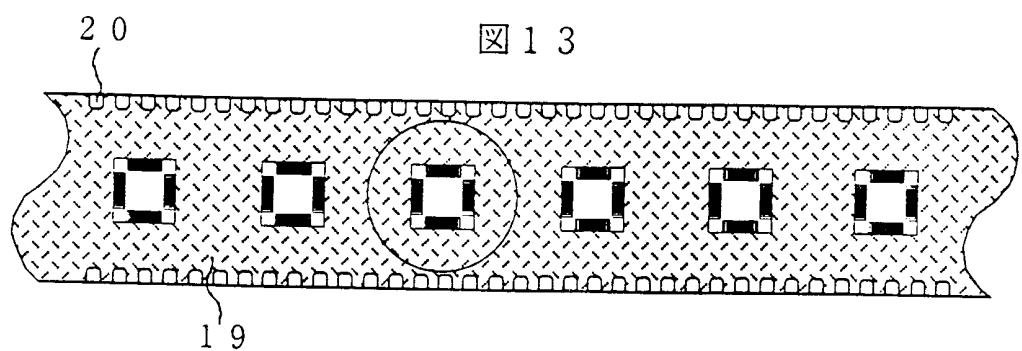


図 1 4

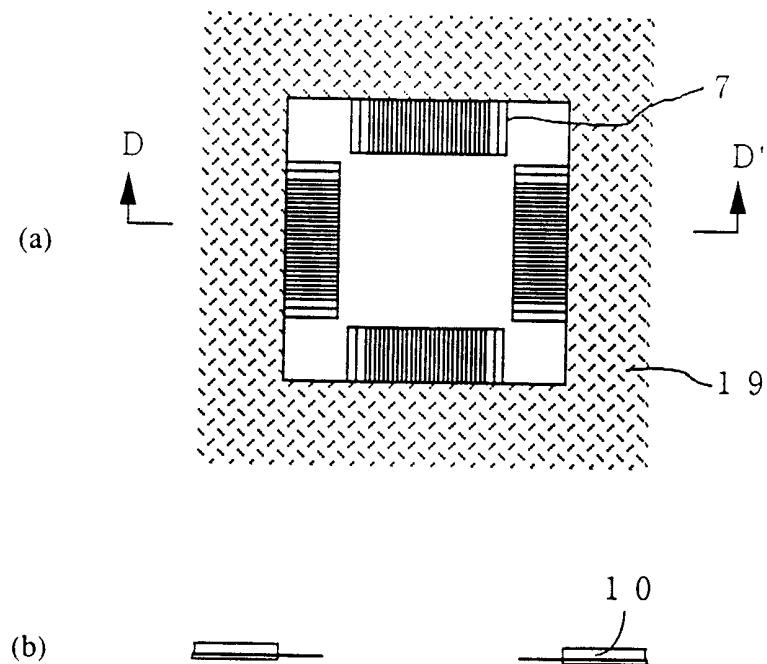


図 1 5

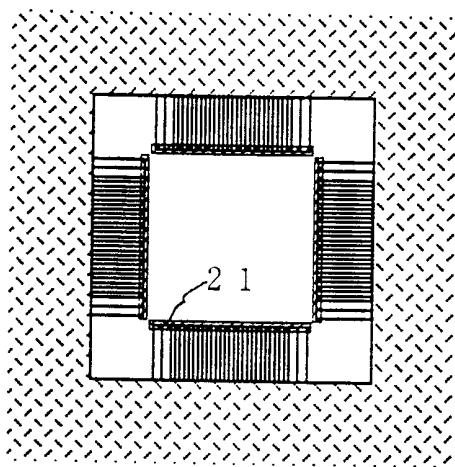


図 1 6

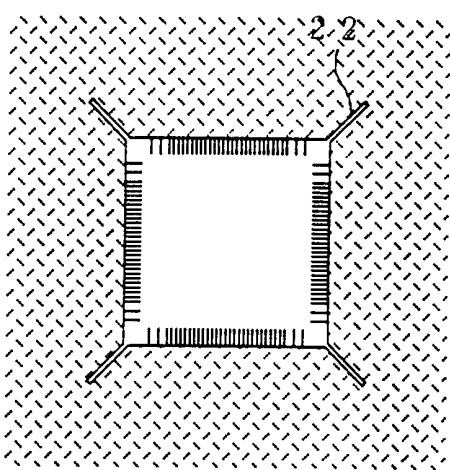


図 1 7

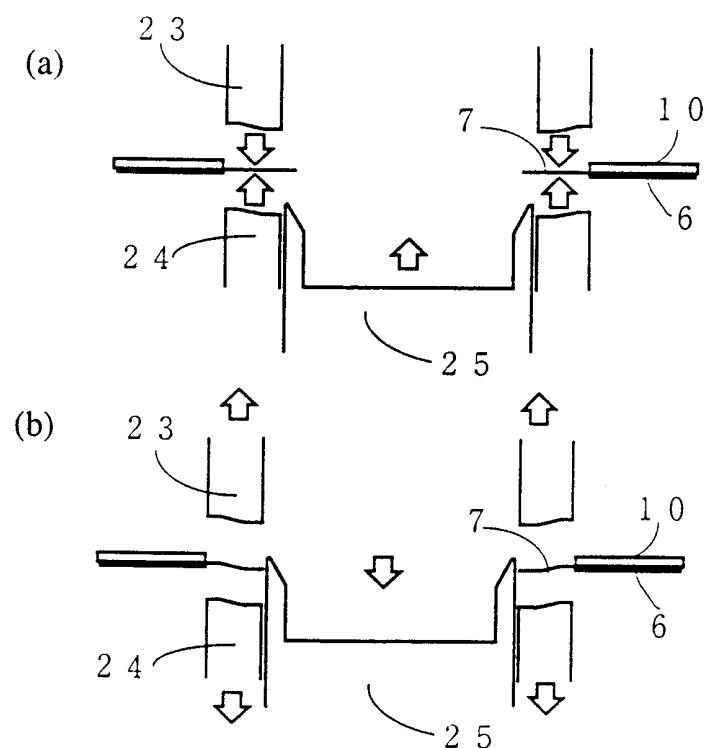


図 1 8

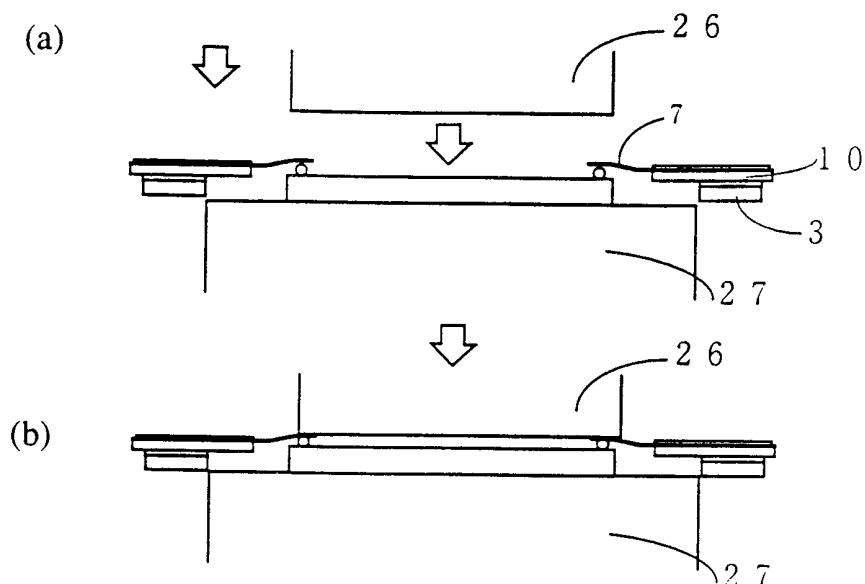


図 1 9

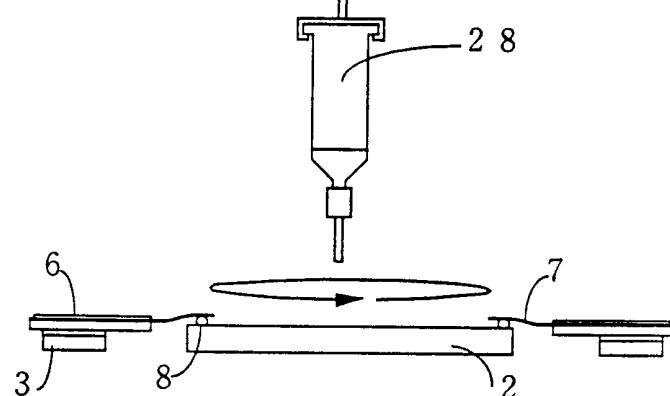


図 2 0

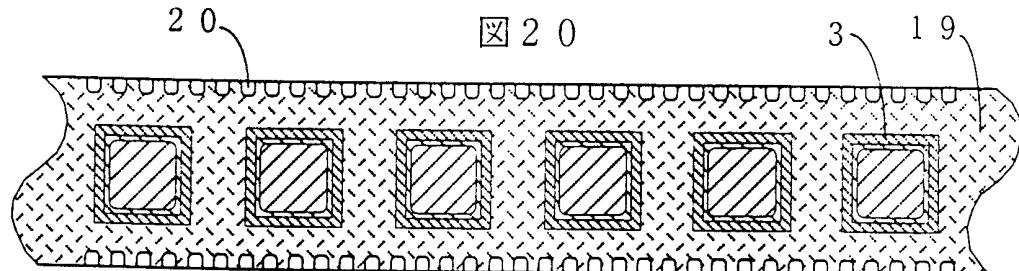


図 2 1

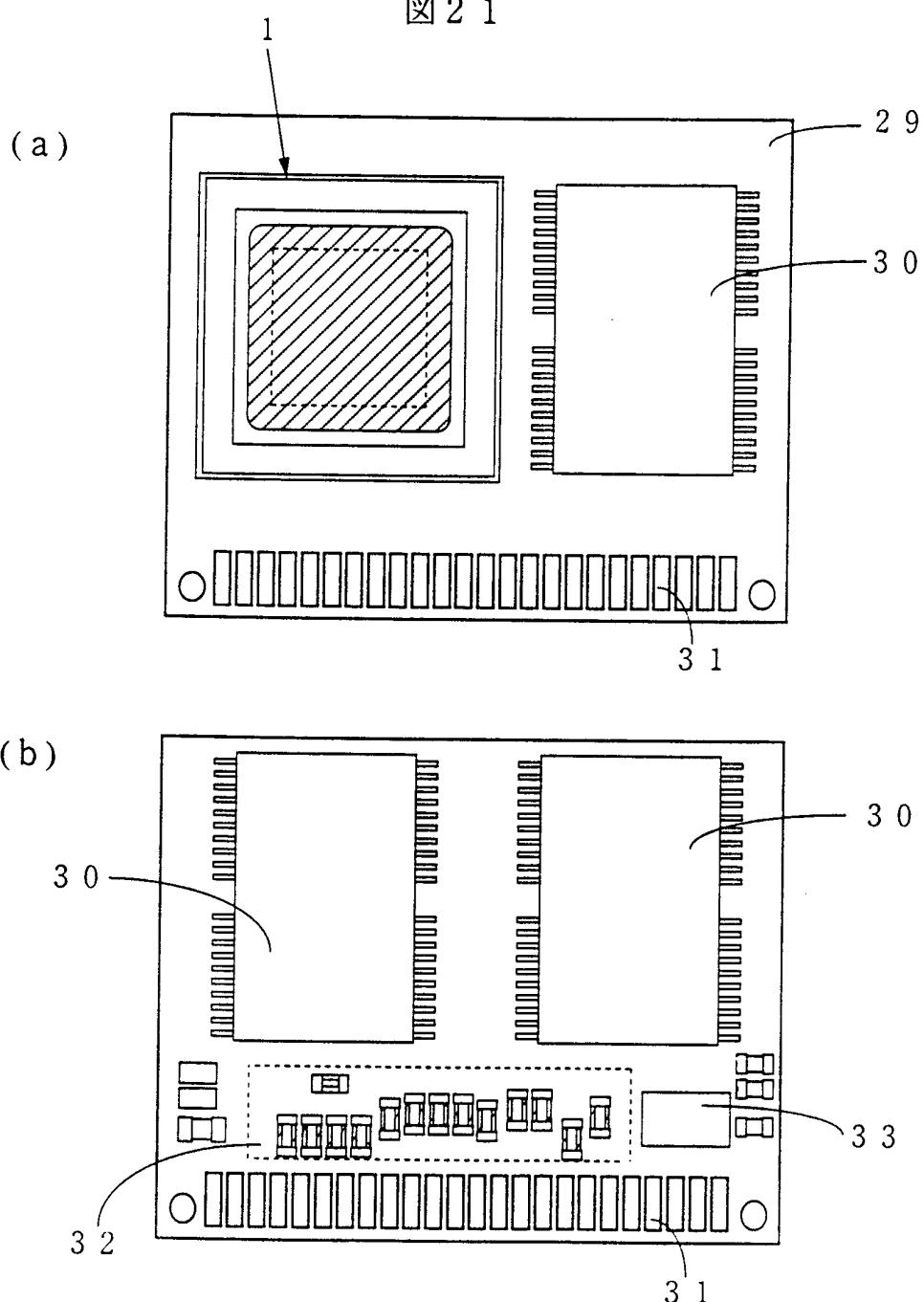


図 2 2

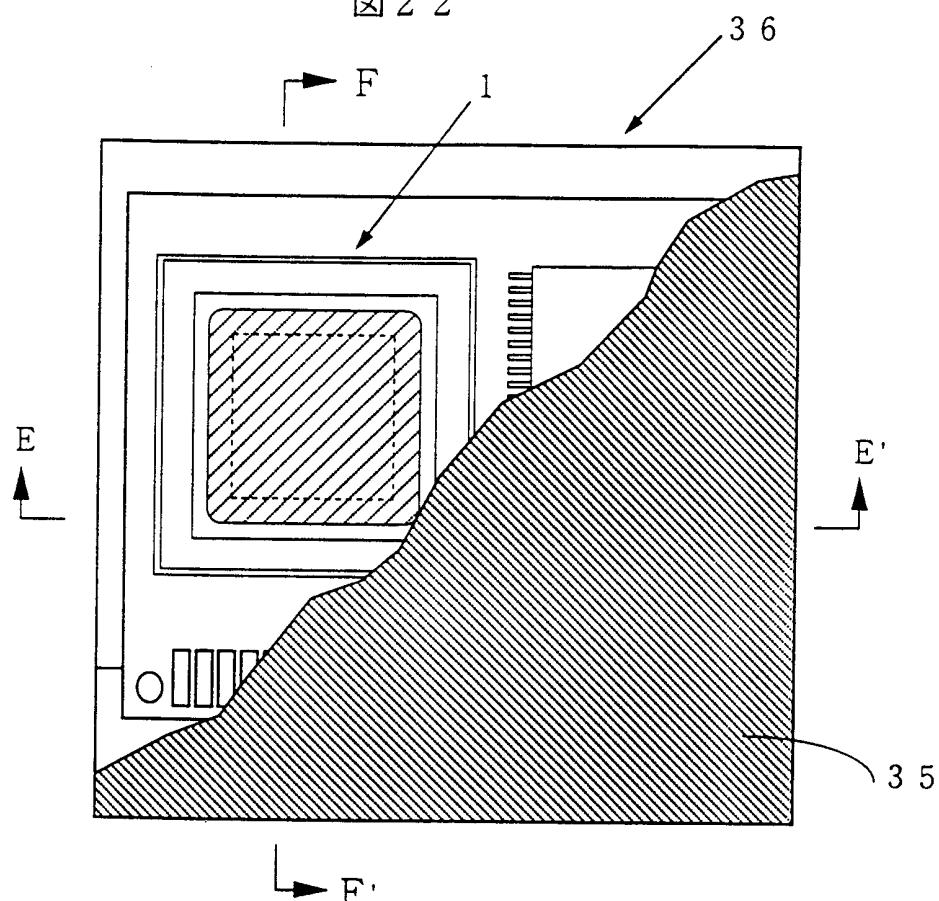


図 2 3

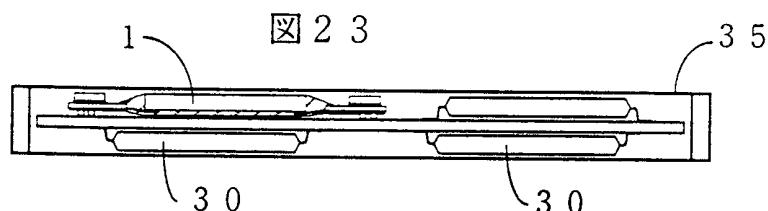


図 2 4

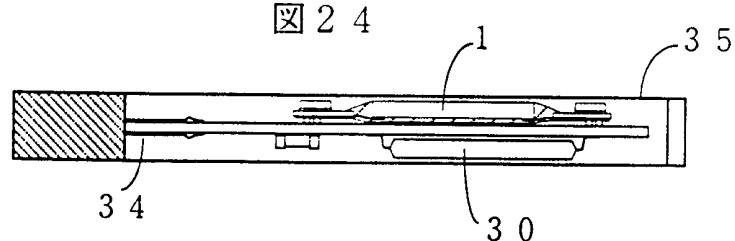


図 25

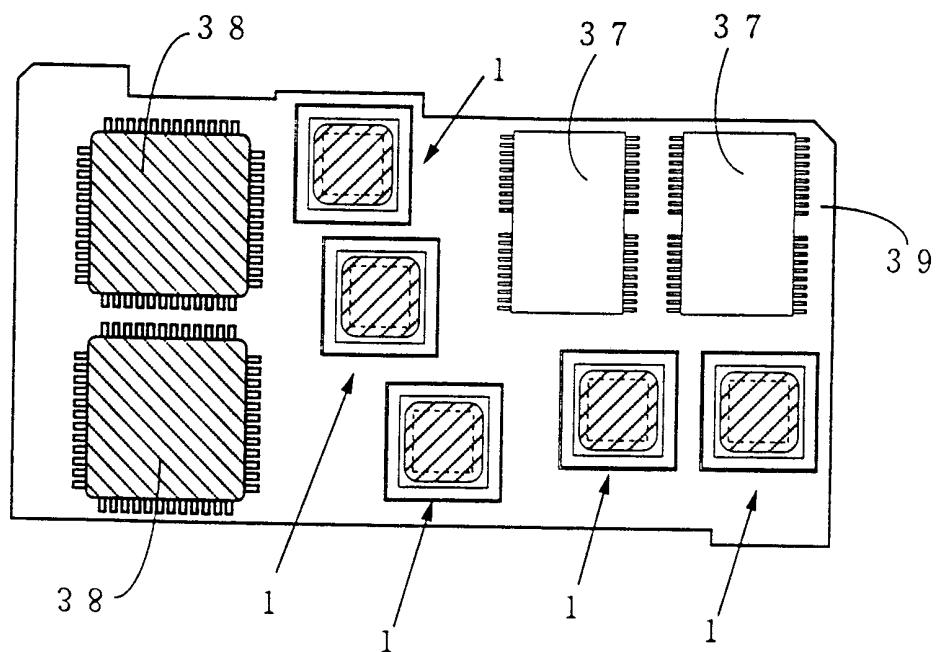


図 2 6

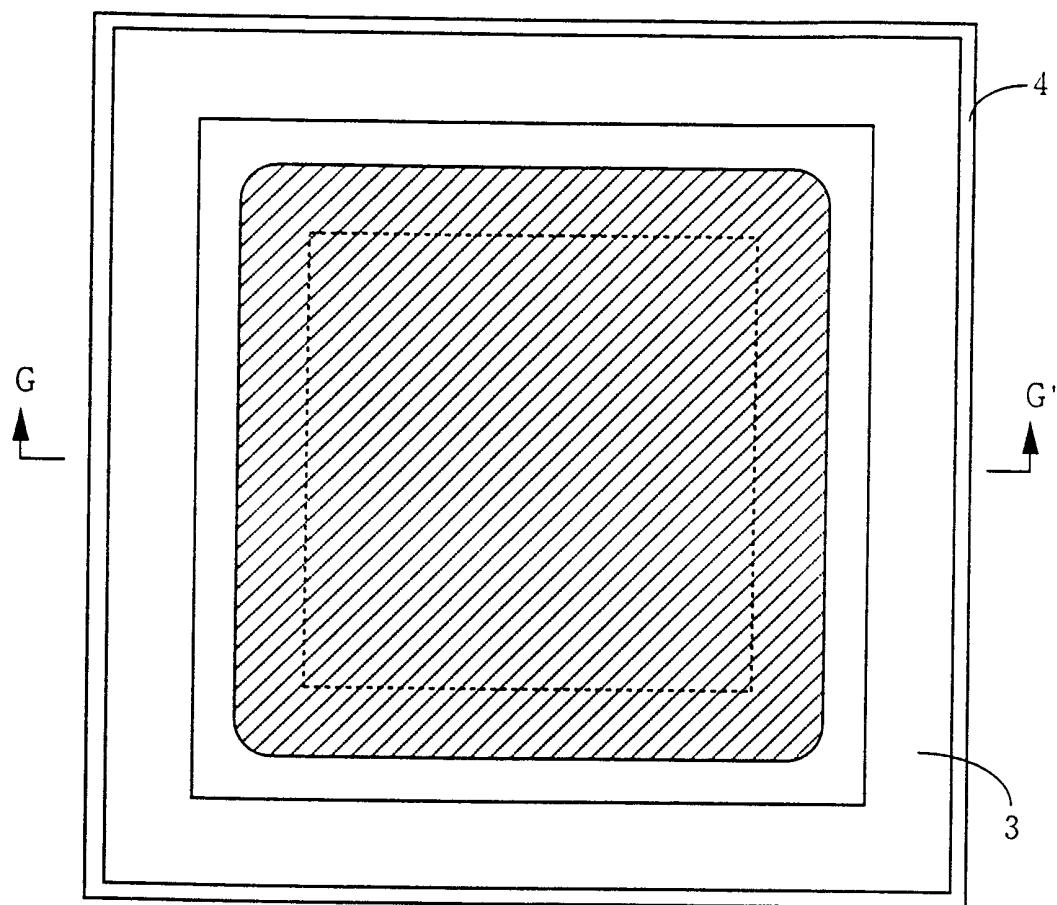
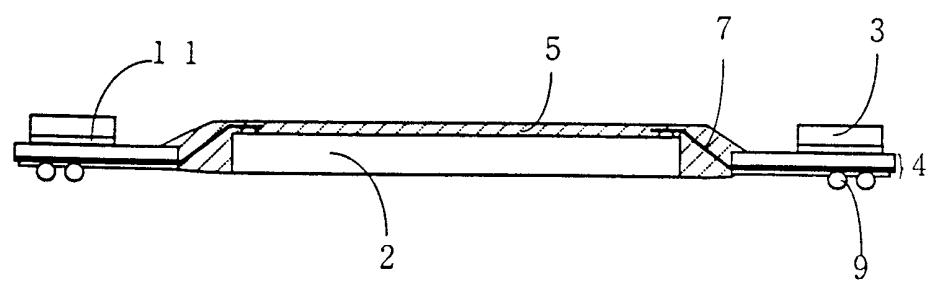


図 2 7



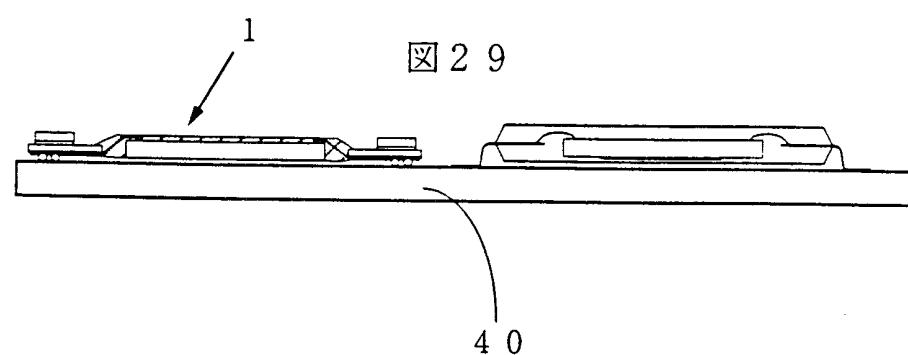
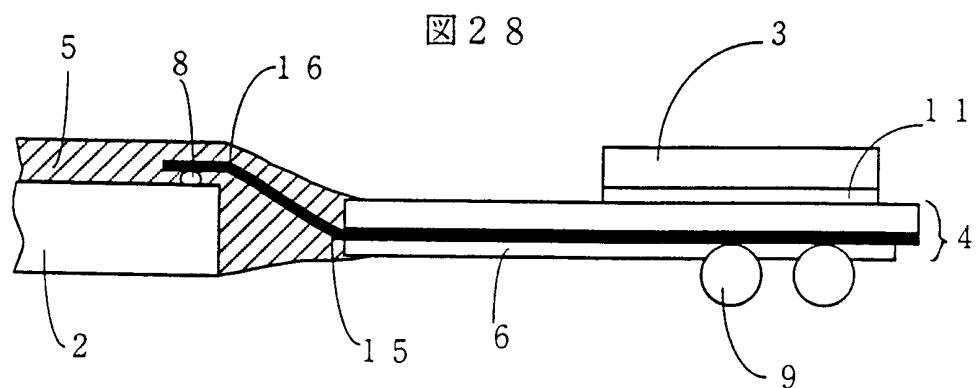


図 3 0

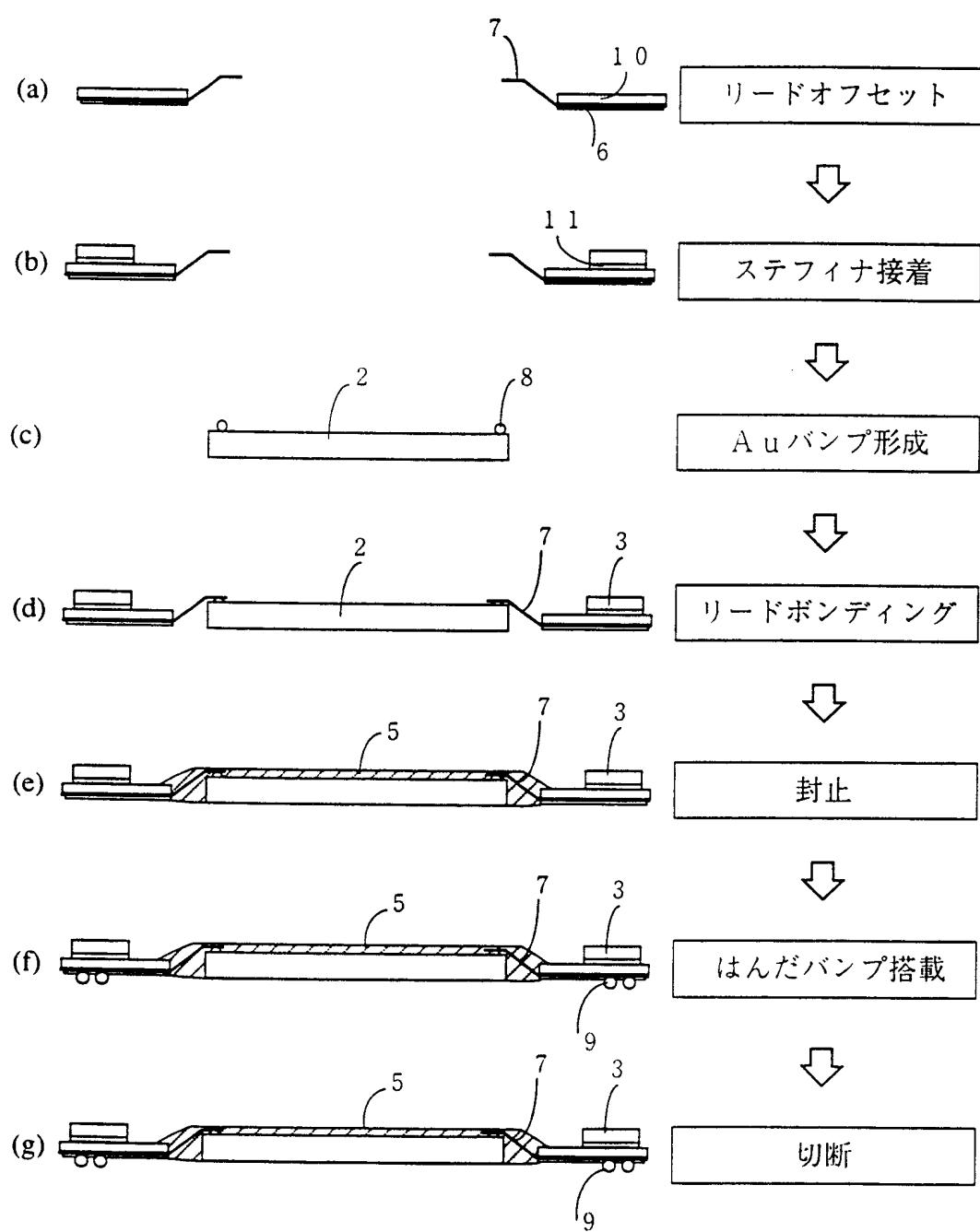


図 3 1

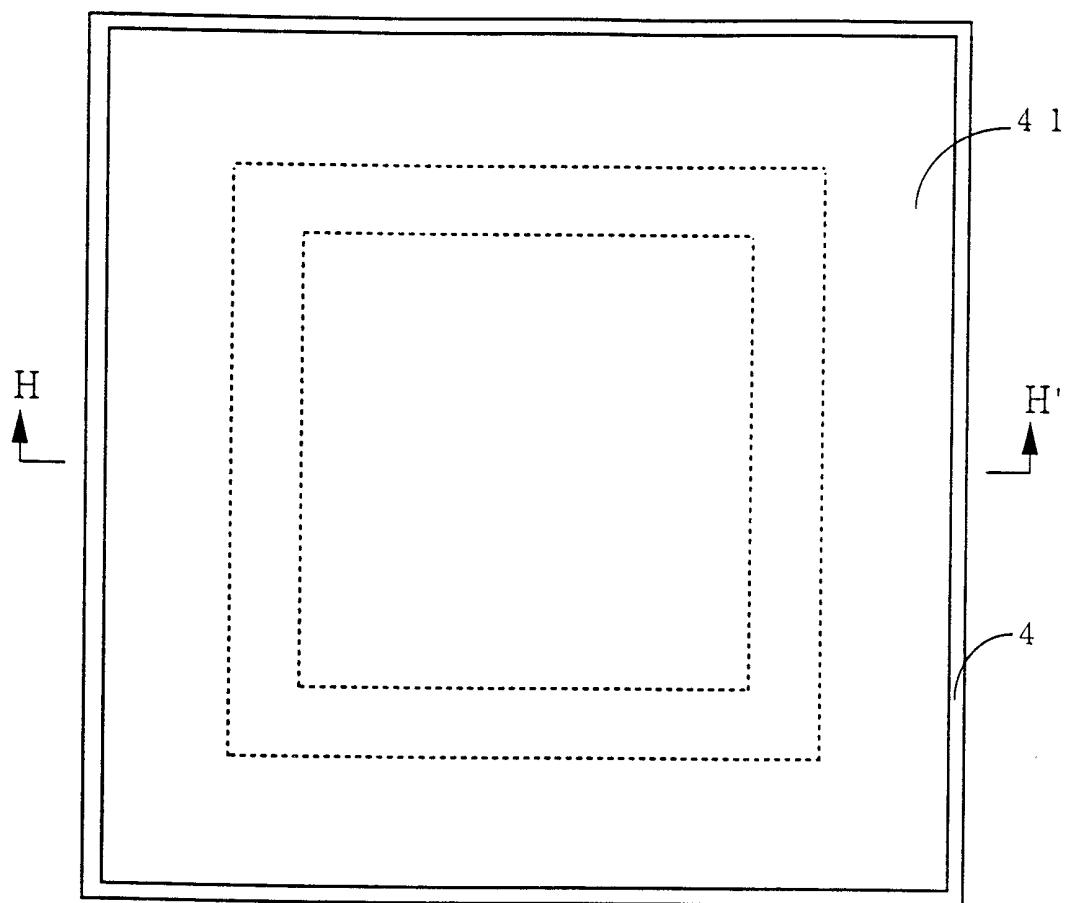


図 3 2

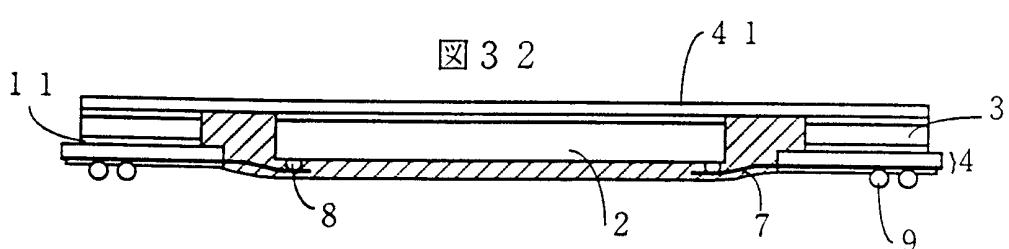


図 3 3

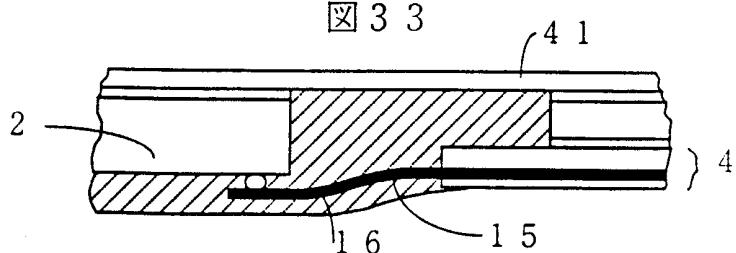


図 3 4

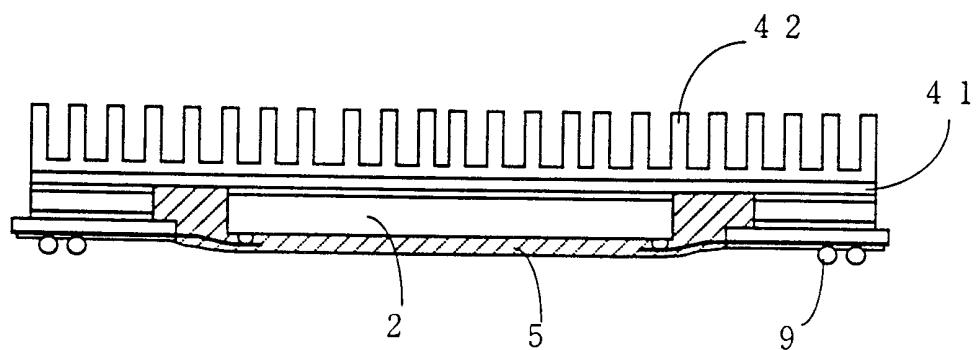


図 3 5

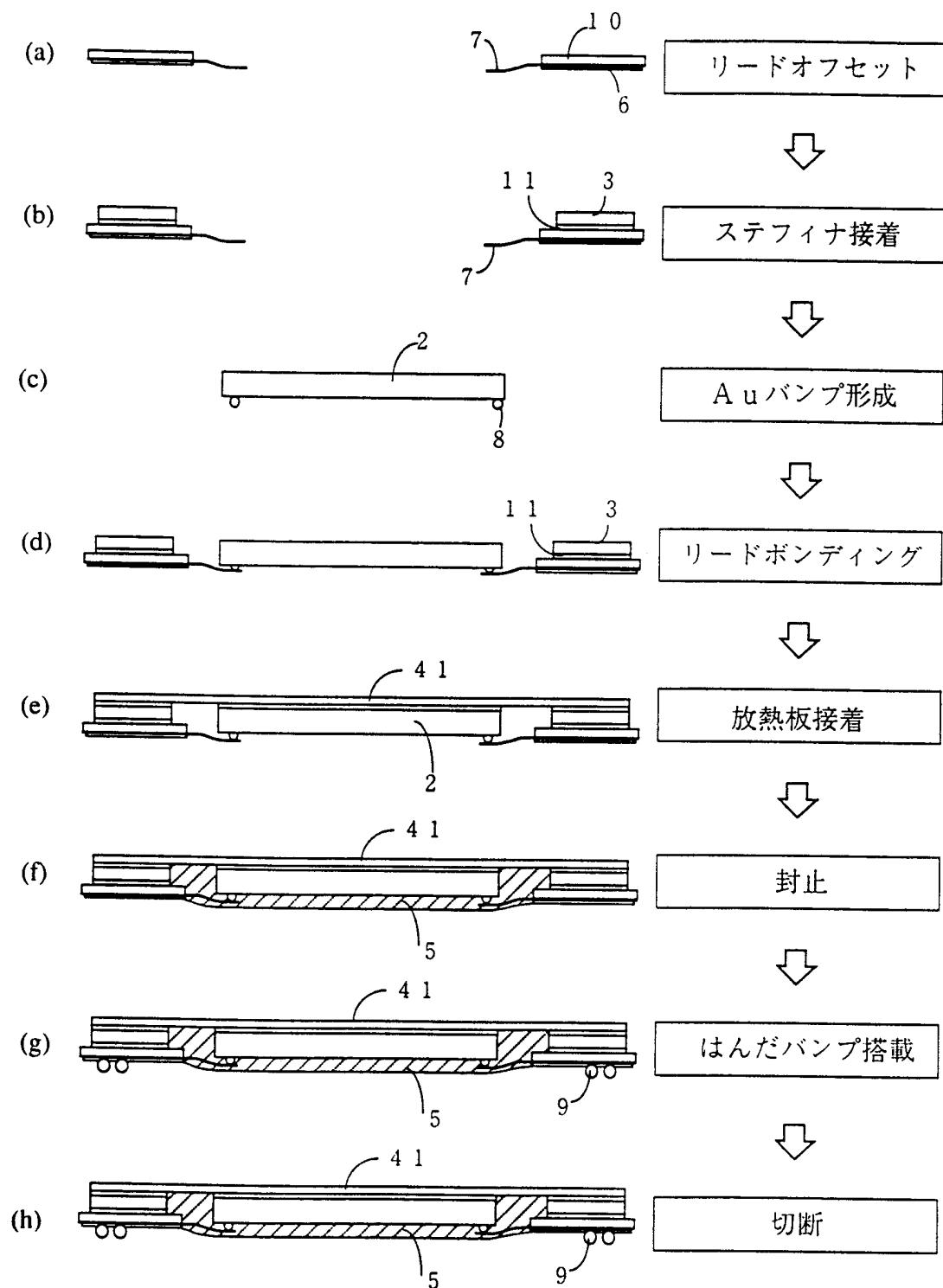


図 3 6

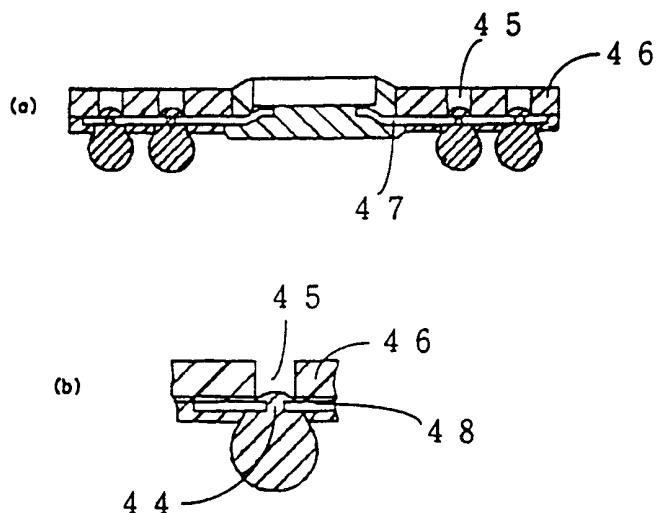


図 3 7

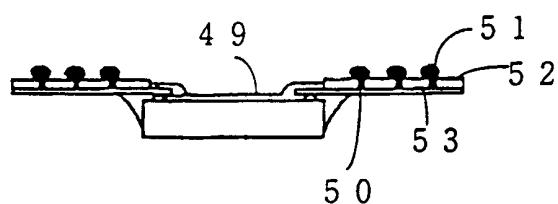
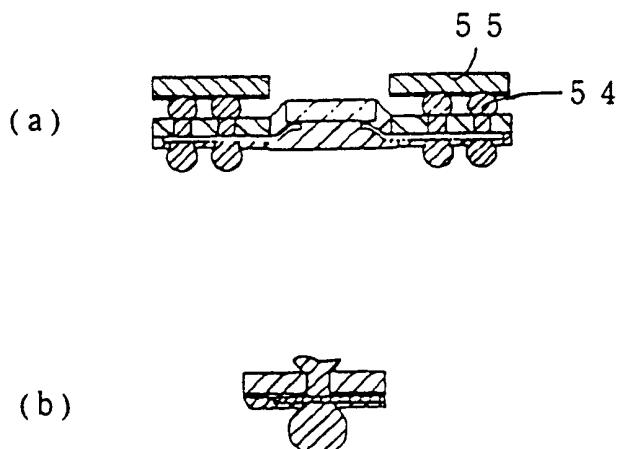


図 3 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01182

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L21/60, H01L23/02, H01L23/053, H01L23/10, H01L23/12, H01L23/28, H01L23/29, H01L23/34, H01L23/48, H01L23/495,

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L21/60, H01L23/02, H01L23/053, H01L23/10, H01L23/12, H01L23/28, H01L23/29, H01L23/34, H01L23/48, H01L23/495,

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-1998
Kokai Jitsuyo Shinan Koho	1971-1998	Jitsuyo Shinan Toroku Koho	1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
TXT, PAJ, WPI, EPOS, INSPEC, TDA, F-Term, APS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 8-107127, A (Hitachi Cable, Ltd.), 23 April, 1996 (23. 04. 96), Fig. 4 (Family: none)	1, 3
Y		2, 4-24
Y	JP, 57-122559, A (GAO Gesellschaft für Automation und Organisation m.b.H.), 30 July, 1982 (30. 07. 82), Fig. 2 & US, 4460825, A	1-24
Y	JP, 9-148693, A (Shinko Electric Industries Co., Ltd.), 6 June, 1997 (06. 06. 97), Par. No. [0018] (Family: none)	5, 6
Y	JP, 9-213837, A (International Business Machines Corp.), 15 August, 1997 (15. 08. 97), Figs. 7, 8 & EP, 788158, A2	10, 11

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 September, 1998 (14. 09. 98)	Date of mailing of the international search report 22 September, 1998 (22. 09. 98)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01182

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 5-501637, A (Olin Corp.), 25 March, 1993 (25. 03. 93), Fig. 3 & EP, 500750, B1	10, 11
Y	US, 5729051, A (NEC CORP), 17 March, 1998 (17. 03. 98), Figs. 2, 4, 6, 7 & JP, 8-148526, A	1-24
Y	JP, 9-260439, A (Toray Industries, Inc.), 3 October, 1997 (03. 10. 97), Fig. 3 (Family: none)	1-24
Y	US, 5541450, A (MOTOROLA INC), 30 July, 1996 (30. 07. 96) (Family: none)	1-24
Y	US, 4939570, A (INT BUSINESS MACHINES CORP), 3 July, 1990 (03. 07. 90) & JP, 2-74059, A	1-5, 7, 1-17, 22
Y	JP, 5-67698, A (Hitachi, Ltd.), 19 March, 1993 (19. 03. 93) (Family: none)	1-10, 12-18, 22
Y	JP, 5-4479, A (GAO Gesellschaft für Automation und Organisation m.b.H.), 14 January, 1993 (14. 01. 93), Fig. 2 & DE, 3123198, A1	1-24
Y	JP, 4-199668, A (Dainippon Printing Co., Ltd.), 20 July, 1992 (20. 07. 92), Fig. 3 (Family: none)	10, 11
Y	JP, 9-199631, A (Seiko Epson Corp.), 31 July, 1997 (31. 07. 97) (Family: none)	1-24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01182

A. (Continuation) CLASSIFICATION OF SUBJECT MATTER

H01L23/498, H05K1/00, H05K1/18, H05K7/02, H05K7/20

B. (Continuation) FIELDS SEARCHED

H01L23/498, H05K1/00, H05K1/18, H05K7/02, H05K7/20

国際調査報告

国際出願番号 PCT/JP98/01182

A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl⁶ H01L21/60,H01L23/02,H01L23/053,H01L23/10,H01L23/12,H01L23/28,H01L23/29,H01L23/34,
H01L23/48,H01L23/495,H01L23/498,H05K1/00,H05K1/18,H05K7/02,H05K7/20

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl⁶ H01L21/60,H01L23/02,H01L23/053,H01L23/10,H01L23/12,H01L23/28,H01L23/29,H01L23/34,
H01L23/48,H01L23/495,H01L23/498,H05K1/00,H05K1/18,H05K7/02,H05K7/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国登録実用新案公報 1994-1998年

日本国実用新案登録公報 1996-1998年

日本国公開実用新案公報 1971-1998年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

TXT,PAJ,WPI,EPOS,INSPEC,TDA,F-Term,APS

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP,8-107127,A (日立電線株式会社), 23.4月.1996(23.04.96), 第4図 (ファミリーなし)	1,3
Y		2,4-24
Y	JP,57-122559,A (ガーアーー・ゲゼルシヤフト・フェール・アウトマチオン・ウント・オルガニザチオン・エム・ベーハー), 30.7月.1982(30.07.82), 第2図 & US,4460825,A	1-24
Y	JP,9-148693,A (新光電気工業株式会社), 6.6月.1997(06.06.97), 【0018】項 (ファミリーなし)	5,6

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」先行文献ではあるが、国際出願日以後に公表されたものの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

14. 09. 98

国際調査報告の発送日

22.09.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

守安 太郎 印

4 E 9347

電話番号 03-3581-1101 内線 3426

国際調査報告

国際出願番号 PCT/JP98/01182

C(続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP,9-213837,A (インターナショナル・ビジネス・マシンズ・コーポレーション), 15.8月.1997 (15.08.97), 第7図及び第8図 & EP,788158,A2	10,11
Y	JP,5-501637,A (リンコーポレーション), 25.3月.1993(25.03.93), 第3図 & EP,500750,B1	10,11
Y	US,5729051,A(NEC CORP), 17.3月.1998(17.03.98), 第2図、第4図、第6図及び第7図 & JP,8-148526,A	1-24
Y	JP,9-260439,A(東レ株式会社), 3.10月.1997(03.10.97), 第3図 (アミリーなし)	1-24
Y	US,5541450,A(MOTOROLA INC), 30.7月.1996(30.07.96) (アミリーなし)	1-24
Y	US,4939570,A(INT BUSINESS MASCHINES CORP), 3.7月.1990, (03.07.90) & JP,2-74059,A	1-5,7,1-17, 22
Y	JP,5-67698,A(株式会社日立製作所), 19.3月.1993(19.03.93) (アミリーなし)	1-10,12-18, 22
Y	JP,5-4479,A(カーボー・ケゼルシャフト・フェール・アウトマチオン・ウント・オルガニザーション・エム・ベーハ), 14.1月.1993,(14.01.93), 第2図 & DE,3123198,A1	1-24
Y	JP,4-199668,A(大日本印刷株式会社), 20.7月.1992(20.07.92), 第3図 (アミリーなし)	10,11
Y	JP,9-199631,A(セイコーエプソン株式会社), 31.7月.1997(31.07.97), (アミリーなし)	1-24