

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4178210号
(P4178210)

(45) 発行日 平成20年11月12日(2008.11.12)

(24) 登録日 平成20年9月5日(2008.9.5)

(51) Int.Cl. F I
A 6 3 F 7/02 (2006.01) A 6 3 F 7/02 3 2 6 Z
 A 6 3 F 7/02 3 3 4

請求項の数 2 (全 14 頁)

| | | | |
|-----------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2002-10633 (P2002-10633) | (73) 特許権者 | 000148922 |
| (22) 出願日 | 平成14年1月18日 (2002.1.18) | | 株式会社大一商会 |
| (65) 公開番号 | 特開2003-210800 (P2003-210800A) | | 愛知県名古屋市中村区鴨付町1丁目2番地 |
| (43) 公開日 | 平成15年7月29日 (2003.7.29) | (74) 代理人 | 100082304 |
| 審査請求日 | 平成17年1月14日 (2005.1.14) | | 弁理士 竹本 松司 |
| | | (74) 代理人 | 100088351 |
| | | | 弁理士 杉山 秀雄 |
| | | (74) 代理人 | 100093425 |
| | | | 弁理士 湯田 浩一 |
| | | (74) 代理人 | 100102495 |
| | | | 弁理士 魚住 高博 |
| | | (74) 代理人 | 100101915 |
| | | | 弁理士 塩野入 章夫 |

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項1】

電源投入と共に遊技制御処理を実行する遊技制御装置と、所定期間内に実行される前記遊技制御処理が終了しない場合にリセット信号を出力して前記遊技制御装置をリセットするタイマリセット手段とを備えた遊技機において、前記遊技制御処理を複数の区間に分割し、分割したそれぞれの区間においてクリアトライ信号を出力するためのクリアトライ信号出力処理を設けると共に、前記遊技制御装置が、前記分割したそれぞれの区間に設けた前記クリアトライ信号出力処理を実行することによって識別可能に出力される複数のクリアトライ信号を受け取り、受け取った複数のクリアトライ信号の順番が正規の順番であるか否かを判定すると共に、正規の順番であると判定した場合に限って前記タイマリセット手段にクリア信号を与える異常判定手段を設けたことを特徴とする遊技機。

10

【請求項2】

前記遊技制御処理を、電源投入と共に繰り返し実行するメイン処理と、タイマ割り込みによって所定時間毎に前記メイン処理を中断して実行するタイマ割込処理とに分割し、前記メイン処理と前記タイマ割込処理とのそれぞれに、前記クリアトライ信号出力処理を少なくとも1つ以上設けたことを特徴とする請求項1に記載の遊技機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、遊技制御処理の実行順序の狂いや処理抜けによる処理の異常を判定する遊技機

20

に関する。

【 0 0 0 2 】

【 従来 の 技 術 】

特開平 0 1 - 2 0 1 2 8 7 公 報 に は 、 パ チ ン コ 機 を 制 御 す る 演 算 処 理 手 段 と 、 演 算 処 理 手 段 の ア ド レ ス ポ ー ト に 接 続 さ れ 、 ア ド レ ス ポ ー ト か ら 正 し い ア ド レ ス デ ー タ が 出 力 さ れ た 時 に 演 算 処 理 が 正 し い こ と を 表 す 正 否 信 号 を 発 生 さ せ る ア ド レ ス デ コ ー ダ と 、 ア ド レ ス デ コ ー ダ 及 び 演 算 処 理 手 段 に 接 続 さ れ 、 ア ド レ ス デ コ ー ダ か ら 正 否 信 号 が 1 0 m s よ り 長 い 時 間 入 力 さ れ な い 時 の み 、 演 算 処 理 手 段 を 初 期 化 す る リ セ ッ ト 信 号 を 演 算 処 理 手 段 の リ セ ッ ト 端 子 に 入 力 す る 演 算 監 視 手 段 と を 備 え た パ チ ン コ 機 が 記 載 さ れ て い る 。

【 0 0 0 3 】

上 記 従 来 の パ チ ン コ 機 は 、 パ チ ン コ 機 の 演 算 処 理 不 良 を 検 出 し た 時 に リ セ ッ ト 信 号 を 出 力 し 、 制 御 装 置 を リ セ ッ ト す る も の で あり 、 ア ド レ ス デ コ ー ダ か ら 出 力 さ れ る 正 否 信 号 に よ り 正 常 である か 異 常 である か を 判 別 し て い る 。 ま た 、 正 否 信 号 は 単 位 当 り の プ ロ グ ラ ム が 実 行 さ れ る 度 に 発 生 さ れ る も の で 、 一 例 と し て 、 正 否 信 号 の 発 生 間 隔 は 1 0 m s 以 内 である こ と が 記 載 さ れ て い る 。 ま た 、 演 算 監 視 手 段 は 、 正 否 信 号 が 前 記 1 0 m s よ り 長 い 時 間 入 力 さ れ な かつ た と き の み 、 演 算 処 理 手 段 を 初 期 化 さ せ る リ セ ッ ト 信 号 を リ セ ッ ト 端 子 に 入 力 す る よ う に 構 成 さ れ て い る 。

【 0 0 0 4 】

し か し な が ら 、 上 記 従 来 の パ チ ン コ 機 で は 、 単 純 に あり 区 間 の プ ロ グ ラ ム の 正 否 を 監 視 す る だ け な の で 、 演 算 処 理 手 段 が 誤 動 作 し て い て も 、 こ の 区 間 の プ ロ グ ラ ム が 実 行 さ れ て い れ ば 演 算 監 視 手 段 は 正 常 状 態 と 判 定 す る た め 、 誤 動 作 を 続 け て し ま う と い う 問 題 が あり 。

特 に 、 上 記 従 来 の パ チ ン コ 機 で は 、 プ ロ グ ラ ム の 実 行 順 序 の 狂 い や 処 理 抜 け (本 来 は 実 行 す べ き 処 理 プ ロ グ ラ ム である の に 、 異 常 発 生 に よ っ て 別 の 処 理 プ ロ グ ラ ム に ジ ャ ン プ し 、 結 果 と し て 非 実 行 と な る) を 判 定 す る こ と は で き な かつ た 。

【 0 0 0 5 】

【 発 明 が 解 決 し よ う と す る 課 題 】

本 発 明 の 目 的 は 、 遊 技 制 御 処 理 の 実 行 順 序 の 狂 い や 処 理 抜 け に よ る 処 理 の 異 常 を 判 定 す る こ と が で き る 遊 技 機 を 提 供 す る こ と に あり 。

【 0 0 0 6 】

【 課 題 を 解 決 す る た め の 手 段 】

請 求 項 1 に 記 載 の 遊 技 機 は 、 電 源 投 入 と 共 に 遊 技 制 御 処 理 を 実 行 す る 遊 技 制 御 装 置 と 、 所 定 期 間 内 に 実 行 さ れ る 前 記 遊 技 制 御 処 理 が 終 了 し な い 場 合 に リ セ ッ ト 信 号 を 出 力 し て 前 記 遊 技 制 御 装 置 を リ セ ッ ト す る タ イ マ リ セ ッ ト 手 段 と を 備 え た も の で あ っ て 、 上 記 課 題 を 解 決 す る た め に 、 前 記 遊 技 制 御 処 理 を 複 数 の 区 間 に 分 割 し 、 分 割 し た そ れ ぞ れ の 区 間 に お い て ク リ ア ト ラ イ 信 号 を 出 力 す る た め の ク リ ア ト ラ イ 信 号 出 力 処 理 を 設 け る と 共 に 、 前 記 遊 技 制 御 装 置 が 、 前 記 分 割 し た そ れ ぞ れ の 区 間 に 設 け た 前 記 ク リ ア ト ラ イ 信 号 出 力 処 理 を 実 行 す る こ と に よ っ て 識 別 可 能 に 出 力 さ れ る 複 数 の ク リ ア ト ラ イ 信 号 を 受 け 取 り 、 受 け 取 っ た 複 数 の ク リ ア ト ラ イ 信 号 の 順 番 が 正 規 の 順 番 である か 否 か を 判 定 す る と 共 に 、 正 規 の 順 番 である と 判 定 し た 場 合 に 限 っ て 前 記 タ イ マ リ セ ッ ト 手 段 に ク リ ア 信 号 を 与 え る 異 常 判 定 手 段 を 設 け た こ と を 特 徴 と す る 。

【 0 0 0 7 】

請 求 項 2 に 記 載 の 遊 技 機 は 、 請 求 項 1 に 記 載 の も の に お い て 、 前 記 遊 技 制 御 処 理 を 、 電 源 投 入 と 共 に 繰 り 返 し 実 行 す る メ イ ン 処 理 と 、 タ イ マ 割 り 込 み に よ っ て 所 定 時 間 毎 に 前 記 メ イ ン 処 理 を 中 断 し て 実 行 す る タ イ マ 割 込 処 理 と に 分 割 し 、 前 記 メ イ ン 処 理 と 前 記 タ イ マ 割 込 処 理 と の そ れ ぞ れ に 、 前 記 ク リ ア ト ラ イ 信 号 出 力 処 理 を 少 な く と も 1 つ 以 上 設 け た こ と を 特 徴 と す る も の である 。

【 0 0 0 8 】

【 発 明 の 実 施 の 形 態 】

以 下 、 本 発 明 の 実 施 の 形 態 を 図 面 を 参 照 し て 説 明 す る 。 図 1 は 、 実 施 形 態 の 遊 技 機 (例 え ば 、 パ チ ン コ 遊 技 機) に 配 備 さ れ た 制 御 系 統 の 要 部 ブ ロ ッ ク 図 である 。 本 装 置 (以 下 、 異

10

20

30

40

50

常判定装置という) 1 は、主として遊技盤に係る遊技制御処理を行う遊技制御装置 2 と、遊技制御処理が所定期間内(本実施形態では 4 m s)に終了しない場合にリセット信号を出力して遊技制御装置 2 をリセットするタイマリセット手段を構成するウォッチドッグタイマ 3 と、遊技制御装置 2 から識別可能に出力される複数のクリアトライ信号(例えば、本実施形態では A、B、C の 3 つ)を受け取り、受け取った複数のクリアトライ信号(A、B、C)の順番が正規の順番であるか否かを判定すると共に、正規の順番であると判定した場合に限ってウォッチドッグタイマ 3 にクリア信号 W D を与える異常判定手段を構成する異常判定回路 4 とを備える。

【0009】

また、遊技機には、電源投入時に遊技制御回路 2 及び異常判定回路 4 にリセットパルスを与えるパワーオンリセット回路 5 と、遊技制御回路 2 にクロック信号を与える発振回路 6 と、発振回路 6 からのクロック信号を分周して異常判定回路 4 にクロック信号 1 を与える分周回路 7 と、例えば、液晶表示装置や音声発生のための音制御回路、ランプ/LED を発光制御するためのランプ制御回路等のサブ CPU とを含む。パワーオンリセット回路 5 は、電下投入時に電源電圧 V c c が所定電圧に達するとリセットパルス(ローレベル)を出力する。

【0010】

遊技制御回路 2 は、ワンチップマイクロコンピュータにより構成されており、その内部に CPU (以下、メイン CPU という)、RAM、ROM を備えている。また、図示していないが、遊技制御回路 2 は、入出力インタフェースを介して各種制御回路、各種駆動装置及び各種スイッチ等に結ばれている。

【0011】

遊技制御装置 2 が実行する遊技制御処理は複数の区間に分割されており、分割されたそれぞれの区間においてクリアトライ信号 A、B、C の順番に出力するためのクリアトライ信号出力処理が設けられている。そして、遊技制御装置 2 が正常に遊技制御処理を行っていれば、分割したそれぞれの区間に設けたクリアトライ信号出力処理を実行することによって複数のクリアトライ信号 A、B、C が順番に出力される。異常判定回路 4 は、クリアトライ信号 A、B、C を順に受け取り、受け取った複数のクリアトライ信号の順番が正規の順番であるか否かを判定すると共に、正規の順番であると判定した場合に限ってウォッチドッグタイマ 3 にクリア信号 W D を与える。ウォッチドッグタイマ 3 は、クリア信号 W D が与えられることにより、そのタイマカウント値を 0 に戻す。

【0012】

一方、遊技制御装置 2 が実行する遊技制御処理において、実行順序の狂いや処理抜けによる処理の異常が発生している場合には、クリアトライ信号出力処理の実行順序の狂いやクリアトライ信号出力処理の抜けが発生する。従って、クリアトライ信号 A、B、C が順番に出力されない。例えば、クリアトライ信号 B が出力されず、クリアトライ信号 A 及び C のみが出力されるといったことが起こる。この場合、異常判定回路 4 は、受け取ったクリアトライ信号の順番が正規の順番でないと判定する。この結果、異常判定回路 4 は、ウォッチドッグタイマ 3 に対してクリア信号 W D を与えることはない。従って、ウォッチドッグタイマ 3 は、クリア信号 W D が与えられないことにより、そのタイマカウント値がアップしていき、やがてタイマカウント値が所定値に達する。ウォッチドッグタイマ 3 は、タイマカウント値が所定値に達すると、リセット信号を出力する。このリセット信号は、遊技制御装置 2 及び異常判定回路 4 に入力され、遊技制御装置 2 及び異常判定回路 4 がリセットされる。

【0013】

以下、異常判定回路 4 について詳細に説明する。図 2 は、異常判定回路 4 の回路図である。異常判定回路 4 の入力側には、遊技制御回路 2 から出力されるクリアトライ信号 A、B、C にそれぞれに対応する 3 つの EXNOR ゲート 8、9、10 が設けられ、EXNOR ゲート 8 には、クリアトライ信号 A と後述の D 型フリップフロップ 13 の Q 出力(信号)とが入力され、EXNOR ゲート 9 には、クリアトライ信号 B と後述の D 型フリップフ

10

20

30

40

50

ロップ14のQ出力(信号)とが入力され、EXNORゲート10には、クリアトライ信号Cと後述のD型フリップフロップ15のQ出力(信号)とが入力される。

【0014】

3つのEXNORゲート8、9、10の出力は、3入力ANDゲート11の入力に接続され、3入力ANDゲート11の出力は、D型フリップフロップ12のD端子に接続されている。3入力ANDゲート11のAND条件が整うのは、クリアトライ信号Aと信号 の組、クリアトライ信号Bと信号 の組、クリアトライ信号Cと信号 の組で、各組の信号がハイレベル同士又はローレベル同士となる時となる。

【0015】

D型フリップフロップ12は、4連のD型フリップフロップ13、14、15、16で構成されたシフトレジスタのタイミング信号 2を生成するもので、図1の分周回路7によって供給されるクロック信号 1の立ち上りタイミングに応じて、3入力ANDゲート11の出力をQ端子から出力する。D型フリップフロップ12のQ端子出力は、タイミング信号 2として、4連のD型フリップフロップ13、14、15、16の各CK端子に入力される。

10

【0016】

最前段のD型フリップフロップ13は、初期時に次段のD型フリップフロップ14のD端子にハイレベルを与えるためのもので、D型フリップフロップ13のQ端子はD型フリップフロップ14のD端子に接続されている。なお、D型フリップフロップ13のQ端子の出力を信号 として用いる。

20

【0017】

D型フリップフロップ14は、次段のD型フリップフロップ15のD端子にデータを与えるためのもので、D型フリップフロップ14のQ端子はD型フリップフロップ15のD端子に接続されている。D型フリップフロップ14は、タイミング信号 2の立ち上りタイミングに応じて、D型フリップフロップ13のQ端子の出力を自身のQ端子から出力する。なお、D型フリップフロップ14のQ端子の出力を信号 として用いる。

【0018】

D型フリップフロップ15は、次段のD型フリップフロップ16のD端子にデータを与えるためのもので、D型フリップフロップ15のQ端子はD型フリップフロップ16のD端子に接続されている。D型フリップフロップ15は、タイミング信号 2の立ち上りタイミングに応じて、D型フリップフロップ14のQ端子の出力を自身のQ端子から出力する。なお、D型フリップフロップ14のQ端子の出力を信号 として用いる。

30

【0019】

D型フリップフロップ16は、ウォッチドッグタイマ3にクリア信号WDを与えるためのもので、D型フリップフロップ15のQ端子はウォッチドッグタイマ3に接続されている(図1参照)。D型フリップフロップ16は、タイミング信号 2の立ち上りタイミングに応じて、D型フリップフロップ15のQ端子の出力を自身のQ端子から出力する。

【0020】

異常判定回路4のリセット端子Resetには、電源投入時にパワーオンリセット回路5からのリセットパルスが入力される。また、遊技制御回路2から出力されるクリアトライ信号Cは、NOT回路17を通じてORゲート18の一方に入力され、信号 (D型フリップフロップ15のQ端子出力)は、ORゲート18の他方に入力される。NOT回路17及びORゲート18は、異常判定回路4のリセットパルスを生成するためのもので、ORゲート18の出力は、リセット信号ライン22に接続されている。

40

【0021】

また、最後段のD型フリップフロップ16のQバー端子(信号WDの否定論理)の出力は、ORゲート19の一方に入力され、分周回路7(図1)によって供給されるクロック信号 1は、NOT回路21を通じてORゲート19の他方に入力される。該ORゲート19の出力は、ANDゲート20の一方に入力され、該ANDゲート20の他方は、リセット信号ライン22(ORゲート18の出力)に接続されている。そして、ANDゲート2

50

0の出力は、D型フリップフロップ12、14、15、16の各R端子に接続され、D型フリップフロップ12、14、15、16のリセット用(Q端子出力がローレベル)として用いられる。また、ANDゲート20の出力は、D型フリップフロップ13のP端子に接続され、D型フリップフロップ13のプリセット用(Q端子出力がハイレベル)として用いられる。なお、ANDゲート20の出力を信号Rxと表すことにする。

【0022】

以上のように構成された異常判定回路4の動作について説明する。まず、遊技制御装置2が正常に遊技制御処理を実行しており、従って、遊技制御装置2からクリアトライ信号A、クリアトライ信号B、クリアトライ信号Cの順に異常判定回路4に入力される正常状態の場合について説明する。

10

【0023】

図3乃至図4は、正常時における異常判定回路4の各信号の推移を示すタイムチャートである。また、図5は、クリアトライ信号A、B、C及び信号、によるEXNORゲート8、9、10の出力及び3入力ANDゲートの出力を表形式で示す図である。電源投入時、異常判定回路4のリセット端子Resetには、図1のパワーオンリセット回路5からのリセットパルス(ローレベル)が入力され、リセット信号ライン22がローレベルとなる。従って、ANDゲート20の出力(信号Rx)がローレベルとなる。この結果、D型フリップフロップ12、14、15、16の各R端子がローレベルとなって(各P端子はVccが印加されてハイレベル)、D型フリップフロップ12、14、15、16がリセットされる(Q端子出力がローレベル)。また同時に、D型フリップフロップ13のP端子がローレベルとなって(R端子はVccが印加されてハイレベル)、D型フリップフロップ13がプリセットされる(Q端子出力がハイレベル)。即ち、信号がハイレベル、信号及び信号がローレベル、タイミング信号2がローレベル、クリア信号WDがローレベルとなる。なお、電源投入時、遊技制御回路2からのクリアトライ信号A、B、Cは何れもローレベル(出力なし)である。

20

【0024】

パワーオンリセット回路5からのリセットパルスが消滅すると、クリアトライ信号Cがローレベルであることから、NOT回路17の出力がハイレベル、ORゲート18の出力がハイレベルであり、リセット信号ライン22がハイレベルとなる。一方、初期時、最後段のD型フリップフロップ16のQバー端子(WDバー信号)の出力はハイレベルであり、ORゲート19の出力がハイレベルであることから、ANDゲート20の出力(信号Rx)がハイレベルとなる。この結果、D型フリップフロップ12、13、14、15、16の各P端子及びR端子がハイレベルとなり、異常判定回路4が起動する(図3の1の状態)。

30

【0025】

また、クリアトライ信号Aがローレベル、信号がハイレベルであることから、EXNORゲート8の出力はローレベルである。クリアトライ信号Bがローレベル、信号がローレベルであることから、EXNORゲート9の出力はハイレベルである。クリアトライ信号Cがローレベル、信号がローレベルであることから、EXNORゲート10の出力はハイレベルである。従って、3入力ANDゲート11の出力はローレベルである。

40

【0026】

次に、遊技制御回路2からクリアトライ信号A(ハイレベル)が与えられると、信号がハイレベルであることから、EXNORゲート8の出力がハイレベルとなる。従って、EXNORゲート8、9、10の各出力がハイレベルとなり、3入力ANDゲート11の出力がハイレベルに転じる。また、この結果、D型フリップフロップ12のD端子がハイレベルとなる(図3の1の状態)。

【0027】

次に、D型フリップフロップ12は、クロック信号1の立ち上りタイミングに応じて3入力ANDゲート11の出力をQ端子から出力する結果、タイミング信号2がハイレベルに転じる(立ち上る)。タイミング信号2の立ち上りタイミングに応じて、D型フリ

50

ップフロップ13は、D端子が接地によりローレベルであることにより、Q端子の出力がローレベルに変化する(信号がローレベルに転じる)。また、タイミング信号2の立ち上りタイミングに応じて、D型フリップフロップ14は、D端子の信号がハイレベルであったことにより、Q端子の出力がハイレベルに変化する(信号がハイレベルに転じる)。D型フリップフロップ15及び16は、信号並びに信号が共にローレベルであったことにより、Q端子の出力は変化せず、ローレベルを維持する(信号及びクリア信号WDはローレベル)。

【0028】

また、信号がローレベルとなり、かつ信号がハイレベルとなることにより、EXNORゲート8の出力はローレベル、EXNORゲート9の出力はローレベル、EXNORゲート10の出力はハイレベルになり、結果、3入力ANDゲート11の出力がローレベルに転じる(図3の3の状態)。

10

【0029】

次に、D型フリップフロップ12は、クロック信号1の立ち上りタイミングに応じて3入力ANDゲート11の出力をQ端子から出力する結果、タイミング信号2がローレベルに転じる(立ち下る)。次に、遊技制御回路2からのクリアトライ信号Aがローレベルに切り換えられる。クリアトライ信号Aがローレベルとなる結果、EXNORゲート8の出力はハイレベルに変化する。なお、信号が変化する契機は、タイミング信号2の立ち上りタイミングであり、タイミング信号2が変化するタイミングは、クロック信号1の立ち上りタイミングであることから、クリアトライ信号Aのパルス幅(ハイレベル)は、クロック信号1の1周期よりも長くしてある(図3の4の状態)。

20

【0030】

次に、遊技制御回路2からクリアトライ信号B(ハイレベル)が与えられると、信号がハイレベルであることから、EXNORゲート9の出力がハイレベルとなる。従って、EXNORゲート8、9、10の各出力がハイレベルとなり、3入力ANDゲート11の出力がハイレベルに転じる。また、この結果、D型フリップフロップ12のD端子がハイレベルとなる(図3の5の状態)。

【0031】

次に、D型フリップフロップ12は、クロック信号1の立ち上りタイミングに応じて3入力ANDゲート11の出力をQ端子から出力する結果、タイミング信号2が再びハイレベルに転じる(立ち上る)。タイミング信号2の立ち上りタイミングに応じて、D型フリップフロップ13は、D端子が接地によりローレベルであることにより、Q端子の出力はローレベルを維持する(信号がローレベル)。また、タイミング信号2の立ち上りタイミングに応じて、D型フリップフロップ14は、D端子の信号がローレベルであったことにより、Q端子の出力がローレベルに変化する(信号がローレベルに転じる)。D型フリップフロップ15は、信号がハイレベルであったことにより、Q端子の出力がハイレベルに変化する(信号がハイレベルに転じる)。D型フリップフロップ16は、信号がローレベルであったことにより、Q端子の出力は変化せず、ローレベルを維持する(クリア信号WDはローレベル)。

30

【0032】

また、信号がローレベルとなり、かつ信号がハイレベルとなることにより、EXNORゲート8の出力はハイレベル、EXNORゲート9の出力はローレベル、EXNORゲート10の出力はローレベルになり、結果、3入力ANDゲート11の出力がローレベルに転じる(図3の6の状態)。

40

【0033】

次に、D型フリップフロップ12は、クロック信号1の立ち上りタイミングに応じて3入力ANDゲート11の出力をQ端子から出力する結果、タイミング信号2がローレベルに転じる(立ち下る)。次に、遊技制御回路2からのクリアトライ信号Bがローレベルに切り換えられる。クリアトライ信号Bがローレベルとなる結果、EXNORゲート9の出力はハイレベルに変化する。なお、信号と同様、信号が変化する契機は、タイミン

50

グ信号 2 の立ち上りタイミングであり、タイミング信号 2 が変化するタイミングは、クロック信号 1 の立ち上りタイミングであることから、クリアトライ信号 B のパルス幅（ハイレベル）は、クロック信号 1 の1周期よりも長くしてある（図3の 7 の状態）。

【0034】

次に、遊技制御回路2からクリアトライ信号C（ハイレベル）が与えられると、信号 がハイレベルであることから、EXNORゲート10の出力がハイレベルとなる。従って、EXNORゲート8、9、10の各出力がハイレベルとなり、3入力ANDゲート11の出力がハイレベルに転じる。また、この結果、D型フリップフロップ12のD端子がハイレベルとなる（図3の 8 の状態）。

10

【0035】

次に、D型フリップフロップ12は、クロック信号 1 の立ち上りタイミングに応じて3入力ANDゲート11の出力をQ端子から出力する結果、タイミング信号 2 が再びハイレベルに転じる（立ち上る）。タイミング信号 2 の立ち上りタイミングに応じて、D型フリップフロップ13は、D端子が接地によりローレベルであることにより、Q端子の出力はローレベルを維持するはずであるが、後述するように、信号RxがローレベルとなるためにP端子がローレベルとなり、プリセットされるので、Q端子の出力はハイレベルに転じる（信号 がハイレベル）。

【0036】

また、タイミング信号 2 の立ち上りタイミングに応じて、D型フリップフロップ14は、D端子の信号 がローレベルであったことにより、Q端子の出力はローレベルを維持する（信号 がローレベル）。D型フリップフロップ15は、信号 がローレベルであったことにより、Q端子の出力がローレベルに変化する（信号 がローレベルに転じる）。D型フリップフロップ16は、信号 がハイレベルであったことにより、Q端子の出力がハイレベルに変化すると共に（クリア信号WDがハイレベルに転じる）、Qバー端子の出力がローレベルに変化する（WDバー信号がローレベルに転じる）。

20

【0037】

このとき、クリアトライ信号Cはハイレベルであり、従ってNOT回路17の出力がローレベルであり、信号 がローレベルに転じることにより、ORゲート18の出力がローレベルに転じ、リセット信号ライン22がローレベルとなる。また、WDバー信号がローレベルに転じるタイミングと、タイミング信号 バー（NOT回路21の出力）のローレベルタイミングが同期し、ORゲート19の出力がローレベルに転じる。この結果、ANDゲート20の出力である信号Rxがローレベルに転じる。この結果、D型フリップフロップ12、14、15、16がリセットされると共に、D型フリップフロップ13がプリセットされる（図3の 9 の状態）。

30

【0038】

なお、クリア信号WDがハイレベルに転じることにより、ウォッチドッグタイマ3のタイマカウンタ値が0に戻される。また、D型フリップフロップ16は、信号Rxがローレベルに転じることによりリセットされるので、Q端子の出力が即時にローレベルに転じる（クリア信号WDがローレベルに転じる）。なお、クリア信号WDのパルス幅は、回路素子の遅延等により構成される。クリア信号WDのパルス幅を調整する場合、信号Rxのラインに遅延用のバッファ1又は2個を直列に設ける。

40

【0039】

D型フリップフロップ16がリセットされることにより、WDバー信号がハイレベルに転じる。従って、ORゲート19の出力がハイレベルに転じる。次に、遊技制御回路2からのクリアトライ信号Cがローレベルに切り換えられる。クリアトライ信号Cがローレベルとなる結果、NOT回路17の出力がハイレベルに転じ、ORゲート18の出力がハイレベルに転じ、リセット信号ライン22がハイレベルとなる。結果、ANDゲート20の出力（信号Rx）がハイレベルに戻る（図3のマル10の状態）。

【0040】

50

なお、信号 ϕ が変化する契機は、タイミング信号 ϕ_2 の立ち上りタイミングであり、タイミング信号 ϕ_2 が変化するタイミングは、クロック信号 ϕ_1 の立ち上りタイミングであることから、クリアトライ信号 C のパルス幅（ハイレベル）は、クロック信号 ϕ_1 の1周期よりも長くしてある。

【0041】

次に、遊技制御装置 2 が実行する遊技制御処理において、実行順序の狂いや処理抜けによる処理の異常が発生している異常処理状態の場合について説明する。例えば、クリアトライ信号出力処理の抜けが発生し、クリアトライ信号 B が出力されず、クリアトライ信号 A 及び C のみが出力される場合を例として説明する。

【0042】

図 6 は、クリアトライ信号 B が抜けた異常処理状態時における異常判定回路 4 の各信号の推移を示すタイムチャートである。この場合、先に述べたように、遊技制御装置 2 からクリアトライ信号 A が与えられたことにより、D 型フリップフロップ 14 の Q 端子の出力（信号 ϕ_4 ）がハイレベルとなる。しかしながら、クリアトライ信号 B は与えられないため、E X N O R ゲート 9 の出力はローレベルを維持する。従って、3 入力 A N D ゲート 11 の出力は、ローレベルのまま変化しない。なお、遊技制御装置 2 からクリアトライ信号 C が与えられた場合も、この状態は変わらない。

【0043】

また、3 入力 A N D ゲート 11 の出力がローレベルのまま変化しないために、D 型フリップフロップ 12 の D 端子がローレベルのままとなり、クロック信号 ϕ_1 の立ち上りタイミングに応じた D 型フリップフロップ 12 の Q 端子の出力（タイミング信号 ϕ_2 ）は、ローレベルのままとなる。従って、D 型フリップフロップ 13 ~ 16 に対してタイミング信号 ϕ_2 の立ち上りが与えられないため、D 型フリップフロップ 13 ~ 16 の Q 端子の出力は変化しない。この結果、最後段の D 型フリップフロップ 16 からクリア信号 W D（ハイレベル）がウォッチドッグタイマ 3 に出力されることはない。従って、ウォッチドッグタイマ 3 は、クリア信号 W D が与えられないことにより、そのタイマカウント値がアップしていき、タイマカウント値が所定値に達した時点でリセット信号を出力する。該リセット信号により、遊技制御装置 2 及び異常判定回路 4 がリセットされる。

【0044】

以上の説明から理解されるように、クリアトライ信号 A、B、C が正規の順番に与えられた場合に限り、異常判定回路 4 からクリア信号 W D（ハイレベル）が出力される。即ち、クリアトライ信号 A、B、C のうちの何れか 1 つが抜けると、異常判定回路 4 からクリア信号 W D（ハイレベル）が出力されず、ウォッチドッグタイマ 3 がタイムアップしてリセットを遊技制御装置 2 及び異常判定回路 4 にかけることになる。

【0045】

図 7 乃至図 8 は、遊技制御装置 2 に配備された C P U が実行する遊技制御処理を示しており、図 8 は、遊技制御装置 2 に配備された C P U が実行する処理のメインルーチンを示すフローチャートであり、図 9 は、遊技制御装置 2 に配備された C P U が実行するタイマ割込処理のフローチャートである。

【0046】

電源投入時、C P U は、まず、初期設定を行う（ステップ S 0 1）。初期設定は、C P U や I / O ポート等の初期設定を行う。次いで、チェックサム算出を行い（ステップ S 0 2）、ステップ S 0 2 で求めたサム値が電源断時に算出した値と同じであるか否かを判定する（ステップ S 0 3）。なお、ステップ S 0 2 で求めたサム値が電源断時に算出した値と同じである場合には、バックアップしたデータに基づいて復電処理を行い（ステップ S 0 7）、復電処理を終えると電源断前の処理に戻る。

【0047】

一方、ステップ S 0 2 で求めたサム値が電源断時に算出した値と同じでない場合には、ステップ S 0 4 に進み、R A M の初期化を行う。通常の電源投入時では、サム値が電源断時に算出した値と同じでないと判定され、ステップ S 0 4 に進む。C P U は、R A M の初期

10

20

30

40

50

化を終えると、クリアトライ信号 A を異常判定回路 4 に出力し (ステップ S 0 5)、非当落乱数更新処理を行う (ステップ S 0 6)。なお、非当落乱数更新処理においては、図柄決定用乱数等の更新と大当り判定用乱数の初期値の更新を行う。CPU は、ステップ S 0 6 の非当落乱数更新処理を終えるとステップ S 0 5 に戻り、以下、タイマ割込みが発生するまでの間、ステップ S 0 5 及びステップ S 0 6 を繰り返し実行する。

【 0 0 4 8 】

図 9 に示すタイマ割込処理は、遊技制御装置 2 の内蔵タイマで設定された割込みタイミングによってタイマ割込みが発生し、実行される処理である。実施形態の場合、タイマ割込処理は 4 m s に 1 回実行される。CPU は、タイマ割込処理を開始すると、まず、クリアトライ信号 B を異常判定回路 4 に出力する (ステップ S 1 0)。次いで、スイッチ入力処理を行い、例えば、始動口等の入賞を検出する (ステップ S 1 1)。次いで、主要動作処理を行う (ステップ S 1 2)。主要動作処理では、例えば、サブ CPU に対するコマンド作成、サブ CPU に対するコマンド送信、大当り判定用乱数の更新を行う。CPU は、主要動作処理を終えると、クリアトライ信号 C を異常判定回路 4 に出力し (ステップ S 1 3)、ポート出力処理を行う (ステップ S 1 4)。なお、ポート出力処理においては、大入賞口等のソレノイドのオン/オフ等を行う。CPU は、ポート出力処理を終えるとメインルーチンに戻る。

【 0 0 4 9 】

上記実施形態の遊技制御処理のフローチャートでは、4 m s に 1 回実行されるタイマ割込処理において、クリアトライ信号 B 及びクリアトライ信号 C の出力を行っている。従って、クリアトライ信号 A は数回出力され、クリアトライ信号 B 及びクリアトライ信号 C は 4 m s に 1 回出力される。しかしながら、クリアトライ信号 B 及びクリアトライ信号 C が出力された場合、クリアトライ信号 A、クリアトライ信号 B 及びクリアトライ信号 C の順番は、正規の順番であるから、異常判定回路 4 からクリア信号 W D が出力され、ウォッチドッグタイマ 3 のタイマカウント値が 0 に戻されることになる。

【 0 0 5 0 】

なお、上述の実施形態においては、ウォッチドッグタイマは、遊技制御装置 2 に対して別装置 (外付け) とし、異常判定手段を論理回路で構成してあるが、遊技制御装置 2 にウォッチドッグタイマが内蔵されているものでもよい。ウォッチドッグタイマ内蔵型の場合、所定区間のプログラムが実行されると、所定のレジスタに値をセットし、正しい順番でレジスタがセットされた場合に限り、内蔵のウォッチドッグタイマのタイマ値をクリアする構成とする。

【 0 0 5 1 】

また、異常判定手段を論理回路 (ハードウェア) で構成した利点として、遊技制御処理において分割した各区間毎に信号 A、信号 B、信号 C を出力するという簡単な処理の加入で済み、異常判定回路では、信号 A が入力されたか、信号 B が入力されたか、信号 C が入力されたかを順次受けて異常判定を行うことを簡単な外付け回路で実現することができる。

【 0 0 5 2 】

また、上述の実施形態においては、遊技制御装置 2 が実行する遊技制御処理において、正常時に行う処理をメインルーチンのループ処理とタイマ割込処理とに分割し、メインルーチンのループ処理と、タイマ割込処理のそれぞれにクリアトライ信号出力処理を設けてあるが、メインルーチンのループ処理を複数に分割 (時分割) し、分割したそれぞれの処理にクリアトライ信号出力処理を設ける構成としてもよい。また、タイマ割込処理を時分割し、分割したそれぞれの処理にクリアトライ信号出力処理を設ける構成としてもよい。また、分割した処理の全てにクリアトライ信号出力処理を設ける構成とせず、そのうちの複数の特定の処理にクリアトライ信号出力処理を設ける構成としてもよい。この場合、複数の特定の処理の実行順序が正規であるか否かを判定する構成とする。

【 0 0 5 3 】

また、上記実施形態では、遊技制御装置 2 から異常判定回路 4 に対して与える信号 A、信号 B、信号 C をそれぞれ専用の個別ポートで出力する構成としているが、これに限らず、

10

20

30

40

50

信号 A、信号 B、信号 C を識別できる形態であればよい。例えば、信号 A、信号 B、信号 C を同一ポートで出力する構成の場合、各信号毎で出力レベルを異ならせる形態、各信号毎でシリアルコードを異ならせる形態、各信号毎でパルス幅を異ならせる形態の何れでもよい。

【 0 0 5 4 】

さらに、上記実施形態において、異常判定回路 4 において、信号 A が出力される期間、信号 B が出力される期間、信号 C が出力される期間を判別可能とすれば、例えば、信号 A がその出力間内に出力されないことを検出することで、早期に遊技制御回路をリセットすることができ、異常を早期に検出して処理異常状態から回避することができる。

【 0 0 5 5 】

【 発明の効果 】

請求項 1 に記載の構成によれば、遊技制御装置が実行する遊技制御処理において、実行順序の狂いや処理抜けがある場合、遊技制御装置が、遊技制御処理を複数の区間に分割したそれぞれの区間に設けたクリアトライ信号出力処理のうちのいずれかが抜けることになり、異常判定手段によって複数のクリアトライ信号の順番が正規の順番であるか否かの判定が、正規の順番でないと判定されるので、タイマリセット手段に対してクリア信号を出力せず、タイマリセット手段がリセット信号を出力して遊技制御装置をリセットするので、遊技制御処理の実行順序の狂いや処理抜けによる処理の異常を判定することができ、遊技制御が異常のまま行われることを防止することができる。

【 0 0 5 6 】

請求項 2 に記載の構成によれば、請求項 1 に記載の構成が奏する効果に加え、遊技制御処理を、電源投入と共に繰り返し実行するメイン処理と、タイマ割り込みによって所定時間毎にメイン処理を中断して実行するタイマ割込処理とに分割し、メイン処理とタイマ割込処理とのそれぞれに、クリアトライ信号出力処理を少なくとも 1 つ以上設けたので、メイン処理とタイマ割込処理とが正しい順序で行われていない場合に遊技制御装置がリセットされるので、メイン処理だけでなく、タイマ割込処理においても誤動作検出を向上することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の実施形態に係る遊技機（例えば、パチンコ遊技機）に配備された制御系統の要部ブロック図示した要部ブロック図

【 図 2 】 異常判定回路の回路図

【 図 3 】 正常時における異常判定回路の各信号の推移を示すタイムチャート

【 図 4 】 図 3 のつづき

【 図 5 】 クリアトライ信号 A、B、C 及び信号、による EXNOR ゲート 8、9、10 の出力及び 3 入力 AND ゲートの出力を表形式で示す図

【 図 6 】 クリアトライ信号 B が抜けた異常処理状態時における異常判定回路 4 の各信号の推移を示すタイムチャート

【 図 7 】 遊技制御装置に配備された CPU が実行する処理のメインルーチンを示すフローチャート

【 図 8 】 遊技制御装置に配備された CPU が実行するタイマ割込処理のフローチャート

【 符号の説明 】

- 1 異常判定装置
- 2 遊技制御回路
- 3 ウォッチドッグタイマ
- 4 異常判定回路
- 5 パワーオンリセット回路
- 6 発振回路
- 7 分周回路
- 8 EXNOR ゲート
- 9 EXNOR ゲート

10

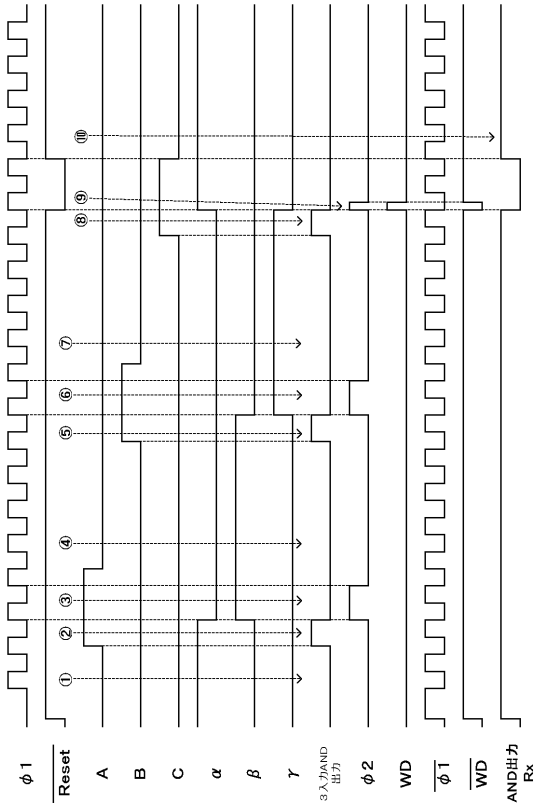
20

30

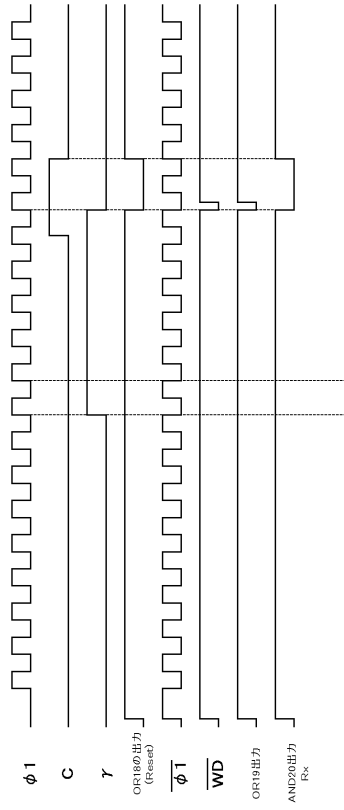
40

50

【 図 3 】



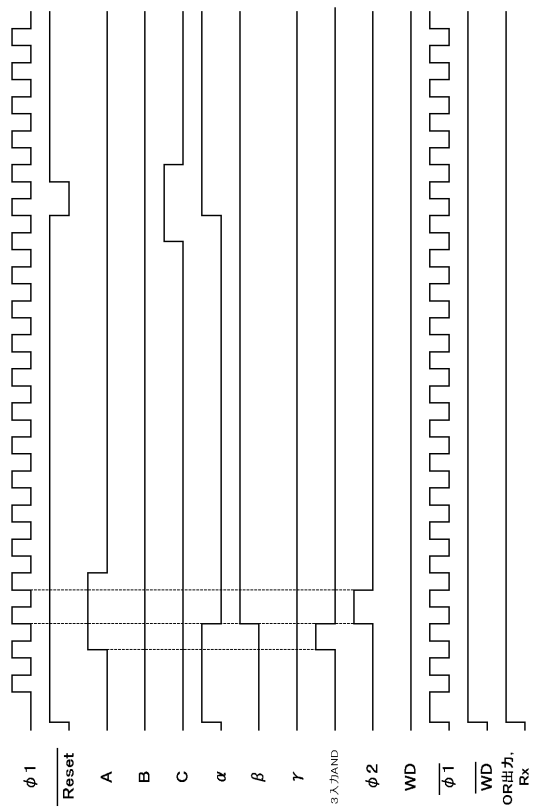
【 図 4 】



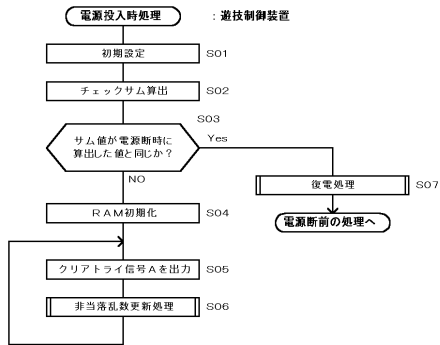
【 図 5 】

| | A | α | EXNOR8 | B | β | EXNOR9 | C | γ | EXNOR10 | AND11 |
|---|---|----------|--------|---|---------|--------|---|----------|---------|-------|
| ① | L | H | L | L | L | H | L | L | H | L |
| ② | H | H | H | L | L | H | L | L | H | H |
| ③ | H | L | L | L | H | L | L | L | H | L |
| ④ | L | L | H | L | H | L | L | L | H | L |
| ⑤ | L | L | H | H | H | H | L | L | H | H |
| ⑥ | L | L | H | H | L | L | L | H | L | L |
| ⑦ | L | L | H | L | L | H | H | H | L | L |
| ⑧ | L | L | H | L | L | H | H | H | H | H |
| ⑨ | L | H | L | L | L | H | H | L | L | L |
| ⑩ | L | H | L | L | L | H | L | L | H | L |

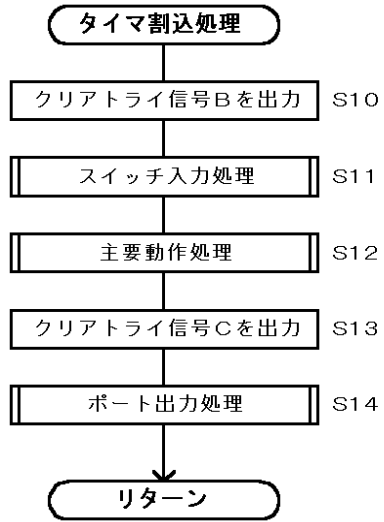
【 図 6 】



【図7】



【図8】



フロントページの続き

(72)発明者 市原 高明

愛知県西春日井郡西春町大字沖村字西ノ川1番地 株式会社大一商会 内

審査官 澤田 真治

(56)参考文献 特開2001-190802(JP,A)

特開2001-087532(JP,A)

特開2001-046708(JP,A)

(58)調査した分野(Int.Cl., DB名)

A63F 7/02