

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
 G06F 15/62

(45) 공고일자 1992년03월26일
(11) 공고번호 특 1992-0002468

(21) 출원번호	특 1988-0003554	(65) 공개번호	특 1988-0011688
(22) 출원일자	1988년03월31일	(43) 공개일자	1988년10월29일

(30) 우선권주장	62-78590 1987년03월31일 일본(JP)		
(71) 출원인	가부시기이사 도시바 아오이 죠이찌		
	일본국 가나가와켄 가와사끼시 사이와이구 호리가와쵸오 72		

(72) 발명자	카사노 아끼라 일본국 도오쿄오도 후쭈우시 도시바쵸오 1, 가부시기이사 도시바 후쭈 우 공장내 이노우에 요이찌
	일본국 도오쿄오도 후쭈우시 도시바쵸오 1, 가부시기이사 도시바 후쭈 우 공장내
(74) 대리인	유영대, 나영환

심사관 : 김연호 (책자공보 제2710호)

(54) 화상 처리 장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

화상 처리 장치

[도면의 간단한 설명]

제1도는 본 발명의 일실시예에 관한 화상 처리 장치의 구성을 도시한 블록도.

제2a도 및 제2b도는 제1도에 도시한 메모리 블록 23-i (i=1~m)의 구성을 설명하는 블록도.

제3도 제1도의 화상 처리 장치의 동작을 설명하는 블록도.

제4a도 내지 제4c도는 제1도의 화상 처리 장치에 있어서의 화상 데이터의 처리를 설명하는 데이터를 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

11 : 제어 회로(CPU)	13 : 화상버스
14 : 화상 프로세서	15 : 버스 제어기
20 : 화상 메모리	21 : 3차원 프레임 메모리
22 : 메모리 제어 회로	23 : 메모리 블록
25 : 연산 회로 또는 데이터 변환 수단	27 : 제어부

[발명의 상세한 설명]

본 발명은 화상 메모리에 기억되어 있는 화상 데이터를 사용하여 각종 화상 처리를 행하는 화상 처리 장치에 관한 것이다.

일반적으로, 화상 처리 장치는 복수의 화상 메모리를 갖고 있는데, 이 각각의 화상 메모리는 또한 프레임 메모리를 구비하고 있다. 각 프레임 메모리는 1화면을 구성하는 화소에 대하여, 화소마다 그

화소의 농도의 정도를 표시하는 농도 계조 데이터를 기억한다. 화상 프로세서는, 어떤 화상 메모리를 소오스 메모리로 하고 별도의 화상 메모리를 데스티네이션(destination) 메모리로 하여 화상 처리를 행한다.

종래의 화상 처리 장치에서는, 농도 계조 데이터의 비트수가 화상버스의 데이터 비트 길이에 따라서 고정되어 있다. 그리고, 각 프레임 메모리는 고정 비트 길이의 농도 계조 데이터를 기억한다. 이와 같은 화상 처리 장치에서는, 작은 비트수로 표현할 수 있는 농도 계조를 갖는 화상을 처리할 경우, 메모리 공간을 유효하게 사용할 수가 없다. 좀더 구체적으로 설명하면, 처리되는 화상이 2차 화상으로, 농도 계조 데이터가 8비트라고 가정한다. 2차 화상의 농도 계조는 1비트로 표현할 수 있다. 따라서, 농도 계조 데이터의 8비트중 7비트는 실질적으로 사용되지 않고, 프레임 메모리의 메모리 공간의 거의 7/8이 허비된다.

이와 같이, 종래의 화상 처리 장치에서는 화상 메모리의 메모리 공간이 유효하게 사용될 수 없는 경우가 많다는 결점이 있었다.

본 발명의 목적은 화상 메모리 공간을 유효하게 사용할 수 있고, 또 임의의 농도 계조를 갖는 화상을 처리할 수 있는 화상 처리 장치를 제공하는데 있다.

상기 목적을 달성하기 위하여, 본 발명에 관한 화상 처리 장치는, 독립적으로 액세스 가능한 복수개의 메모리 프레임을 논리적으로 깊이 방향(Z)으로 적층시켜 구성되어, 화상 데이터를 기억하는 3차원 프레임 메모리(21)와; 상기 프레임 메모리(21)에 접속되어, 상기 프레임 메모리(21)의 복수의 임의 영역(A,B,C)을 독립적으로 액세스하며, 상기 복수의 임의 영역(A,B,C)의 각각이 프레임 메모리(21)의 임의의 깊이에 위치하고, 또 깊이 방향으로 임의의 비트수를 갖는 메모리 제어 회로(22)와; 상기 메모리 제어 회로(22)에 접속되어, 화상 데이터를 전송하는 복수의 화상버스(13)와; 상기 복수의 화상버스(13)에 접속되어, 상기 복수의 화상버스(13)중 적어도 하나에서 상기 화상 데이터를 입력하여 연산을 행하고, 그 결과를 상기 복수의 화상버스(13)의 적어도 하나에 출력하는 화상 프로세서와; 상기 메모리 제어 회로(22)와 상기 화상프로세서(14)에 접속되어, 상기 메모리 제어 회로(22)가 액세스 하여야 할 상기 프레임 메모리(21)의 액세스 대상 영역(A,B,C)과 이 액세스 대상 영역마다 액세스의 종류를 상기 메모리 제어 수단(22)에 지정하고, 또 상기 복수의 화상버스(13)를 지정된 영역마다 상기 메모리 버스 회로(22) 및 화상 프로세서(14)에 할당하는 제어 회로(11)를 구비하고 있다.

상기의 구성으로 함으로써, 본 발명에 관한 화상 처리 장치는, 3차원 프레임 메모리의 메모리 공간을 화상버스의 비트 길이에 제한됨이 없이 깊이 방향으로 임의의 비트수로된 복수의 영역으로 분할하여 사용할 수 있다. 또, 임의의 비트 길이의 화상 데이터를 사용한 화상 처리가 고속으로 행하여진다.

이하, 제1도 내지 제4c도를 참조하여 본 발명의 제1실시예에 대한 화상 처리 장치의 구성 및 동작을 설명한다.

제1도는 본 발명의 일실시예에 관한 화상 처리 장치의 구성을 도시한다. 제1도에 있어서, CPU(11)는 상기 화상 처리 장치의 동작을 제어한다. CPU(11)는 제어 버스(12)에 접속되어 있다. 제어 버스(12)는 CPU(11)가 화상 처리 장치의 각부를 제어하기 위하여 사용하는 각종 제어 정보를 전송한다.

화상버스(13-1~13-4)는 화상 데이터를 전송한다. 화상버스(13-1~13-4)의 데이터 비트 길이는 예를 들어 8비트가 된다. 화상 프로세서(14)는 제어 버스(12)에 접속된다. 이 화상 프로세서(14)는 제1도에서는 하나이지만, 복수로 하여도 좋다. 화상 프로세서(14)는 예를들면, 2개의 입력 포오트(11,12) 및 하나의 출력 포오트(0)를 갖는다. 화상버스 제어기(15)는 제어 버스(12), 화상 프로세서(14), 화상버스(13-1~13-4)에 접속된다. 화상버스 제어기(15)는 화상버스(13-1~13-4)중 어느 하나를 화상 프로세서(14)의 입력 포오트(11)에 접속하고, 화상버스(13-1~13-4)의 다른 하나를 입력 포오트(12)에 접속하고, 화상버스(13-1~13-4)의 또 다른 하나를 출력 포오트(0)에 접속한다. 화상버스 제어기(15)는 CPU(11)의 지시에 따라 상기 화상 프로세서(14)의 포오트(11,12.0)와 화상버스(13-1~13-4)의 접속 관계를 절환시킨다.

화상 메모리(20)는 제어버스(12)와 화상버스(13-1~13-4)에 접속된다. 제1도에서는 화상 메모리(20)가 하나이지만, 화상 메모리(20)를 복수로 하여도 좋다. 화상 메모리(20)는 3차원 프레임 메모리(21)와; 이 3차원 프레임 메모리(21)에 접속되어 이 3차원 프레임 메모리(21)를 관리하는 메모리 제어기(22)를 갖는다. 3차원 프레임 메모리(21)는 깊이 방향(Z방향)으로, 예를 들어 $8 \times m$ 비트의 기억 영역을 갖는다(m 은 정의 정수이며, 후술하는 메모리 블로우를 의미한다). 3차원 프레임 메모리(21)는 논리적으로 깊이 방향의 소정 비트수로 분할되어 있다. 이 비트수는 화상버스(13-1~13-4)의 데이터 비트 길이 r 과 동등한 비트수이다. 본 실시예에서는, 3차원 프레임 메모리(21)가 깊이 방향으로 8비트 단위의 m 개의 메모리 블록으로 분할되어 있다. 즉, 프레임 메모리(21)는 Z방향으로 8비트를 갖는 메모리 블록이 적층되어 있다.

3차원 프레임 메모리(21)를 메모리 블록마다 제어하는 메모리 제어기(22)는 3차원 프레임 메모리(21)에 접속된다. 메모리 제어기(22)는 메모리 인터페이스(이하, 메모리 I/F라고 칭함)(24-1~24- m)와; 연산 회로(25-1~25-4)와; 버스 인터페이스(이하, 버스 I/F라고 칭함)(26-1~26-4)와; 제어부(27)을 갖는다. 메모리 I/F(24-1~24- m)는 메모리 블록(21-1~21- m)에 설치된다.

각 메모리 I/F(24-1~24- m)는 대응하는 메모리 블록(23-1~23- m)에 접속된다. 각 메모리 I/F(24-1~24- m)는 대응하는 메모리 블록(21-1~21- m)의 리드 액세스(read access) 또는 라이트 액세스(write access)를 행한다.

연산 회로(25-1~25-4)는 화상버스(13-1~13-4)마다 설치된다. 연산회로(25-1~25-4)의 각각은 메모리 I/F(24-1~24-4)에 접속된다. 각 연산회로(25-1~25-4)가 리드 동작인 경우에는 프레임 메모리(21)에서 판독된 데이터에 소정의 연산을 실시하고 화상버스(13-1~13-4)에 출력되는 데이터를 생성

한다. 각 연산 회로(25-1~25-4)가 라이트 동작인 경우에는 회상버스(13-1~13-m)에서 받은 데이터에 소정의 연산을 실시하고, 3차원 프레임 메모리(21)에 기입되는 데이터를 생성한다. 버스 I/F(26-1~26-4)는 회상버스(13-1~13-4)마다 설치된다.

각 버스 I/F(26-1~26-4)는 대응하는 연산 회로(25-1~25-4)와 대응하는 버스(13-1~13-4)에 접속되어 있다. 버스 I/F(26-1~26-4)는 화상버스(13-1~13-4)와 연산 회로(25-1~25-4)사이의 데이터 수신을 행한다.

제어부(27)는 CPU(11)에서의 지시에 따라서, 메모리 I/F(24-1~24-m), 연산 회로(25-1~25-4) 및 버스 I/F(26-1~26-4)를 제어한다. 구체적으로, 제어부(27)는 메모리 I/F(24-1~24-m)중에서 하나 또는 복수개를 선택하고; 선택한 메모리 I/F(24-1~24-m)에 리드 모드 및 라이트 모드를 지정하고; 선택한 메모리 I/F(24-1~24-m)에 3차원 프레임 메모리(21)내로 액세스 하여야할 영역을 지정하는 등의 동작을 행한다. 제어부(27)는 연산 회로(25-1~25-4)에 그 연산에 필요한 정보 및 명령등을 공급한다. 제어부(27)는 버스 I/F(26-1~26-4)에 데이터의 흐름 방향을 표시하는 명령등을 공급한다. 또, 메모리 제어기(22)는 별개의 부품으로 구성되어도 좋다. 또 메모리 제어기(22)로서 CPU와 주변 회로를 준비하고, 메모리 제어기(22)의 동작을 소프트웨어로 처리하는 것도 가능하다. 동작 속도를 문제로 하지 않으면, CPU(11)를 메모리 제어기로서 사용해도 좋다.

CPU(11)의 동작에 사용되는 프로그램, 고정 데이터 등을 기억하는 ROM(도시생략)이 제어버스(12)에 접속된다. CPU(11)와 키보오드, 호스트 컴퓨터 등과 같은 외부 장치간의 데이터의 수신을 제어하는 인터페이스(도시생략)가 제어 버스(12)에 접속된다.

다음에, 3차원 프레임 메모리(21)의 하나인 메모리 블록(23-i; $i=1,2,\dots,m$)의 구성을 제2a도 및 제2b도를 참조하여 설명한다. 본 실시예에 있어서, 메모리 블록(23-i)은 제2a도에 도시한 바와 같이 메모리 프레임을 논리적인 8개의 깊이 방향으로 구성되게 한다. 각 메모리 프레임은 깊이 방향으로 1비트의 기억용량을 갖고 XY 평면상에 1화면의 화소의 수에 대응하는 비트 수의 기억 용량을 가지며, 또 1화면을 구성하는 전 화소에 대하여 각 화소의 높도 계조 데이터의 1비트를 기억한다.

구체적으로 말하자면, 메모리 블록(23-i)은 제2b도에 도시한 바와 같이, 8개의 메모리 칩(30-0~30-7)으로 구성된다. 각 메모리 칩(30-0~30-7)은 1화면의 전 화소에 대하여, 각 화소의 농도 계조 데이터중의 1비트를 기억한다. 이 메모리 칩(30-0~30-7)의 어드레스 단자(A0-An)에는, 메모리 I/F(24-i; i=1,2,...m)에서 출력되는 공통 어드레스가 유도된다. 상기 메모리 칩(30-0~30-7)의 칩 인레이블 단자 CE에는 메모리 I/F(24-i; i=1,2,...m)에 출력되는 칩 선택 신호(C0~C7)가 유도된다. 따라서, 메모리 I/F(24-i)는 메모리 칩(30-0~30-7)을 그 칩의 단위로 선택할 수 있다. 메모리 칩(30-0~30-7)의 R/W단자에는, 메모리 I/F(24-i; i=1,2,...m)에서 공통 R/W 신호가 유도된다. 따라서, 메모리 칩(30-1~30-7)은 총괄적으로 리드 모드 또는 라이트 모드에 설정된다. 메모리 칩(30-0~30-7)의 데이터 단자 D는 메모리 I/F(24-i; i=1,2,...m)의 데이터 단자(D0~D7)에 접속된다.

본 실시예에 관한 화상 처리 장치의 동작을 설명한다. 우선, 처음에는 메모리 제어기(22)의 동작을 설명하고 다음에 그 장치 전체의 동작을 설명한다. 본 실시예에 있어서, CPU(11)는 화상버스(13-1~13-4)마다 프레임 메모리(21)의 리드 동작과 라이트 동작을 따로 지정할 수가 있다. CPU(11)은 3차원 프레임 메모리(21)에 대한 Z방향의 임의의 p비트째에서 시작하여 임의의 q비트의 데이터를 액세스하는 것을 지정할 수 있다. 여기에서, p는 $0 \sim 8 \times m - 1$, q는 $1 \sim 8$ 의 범위를 취할 수 있다. q는 예를 들어 놓도 계조 데이터의 비트수이다. 실제로 액세스되는 메모리 블록(23-i)은, i의 값이 다음식으로 표시되는 메모리 블록이 된다.

$$i = \lceil p/8 \rceil + 1 \sim \lceil (p+q-1)/8 \rceil + 1 \quad (i \text{은 정수})$$

단, 아래의 설명에서는 이해를 용이하게 하기 위하여, CPU(11)가 리드/라이트이 대상이 되는 메모리 블록(복수의 메모리 블록이 액세스될 때에는 선두의 메모리 블록)도 지정하는 것으로 한다. 그리고 상기 p 는 선두 메모리 블록내의 선두 비트의 위치를 표시하는 것으로 한다. 이 경우, p 는 0~7의 값을 취한다.

메모리 제어기(22)의 동작은 다음의 A~D의 4개의 경우, 즉, A : 1개의 메모리 블록에 대한 리드, B : 2개의 메모리 블록에 대한 리드, C : 1개의 메모리 블록에 대한 라이트, D : 2개의 메모리 블록에 대한 라이트로 나눌 수 있다. 이하, 상기 A~D의 동작을, 화상버스(13-1)를 소오는 혹은 데스티네이션 버스로서 사용할 경우를 예로 하여 설명한다.

A : 1개의 메모리 블록에 대한 리드.

메모리 블록(23-i)의 비트p($0 \leq p \leq 8$)에서 Z방향으로 q비트($0 \leq q \leq 8$)를 리드하는 것으로 한다.

단, $1 \leq p+q \leq 80$ 이다.

(1) CPU(11)에서의 명령을 받아서, 제어부 (27)은 메모리 블록(23-i)을 액세스 하는 것으로 판단하고, 메모리 I/F(24-i)에 리드 액세스를 지시한다. 또, 제어부(27)는 리드 액세스인 p, q의 값을 연산회로(24-1)에 지시한다. 또, 제어부(27)는 리드 액세스를 버스 I/F(25-1)에 지시한다.

메모리 I/F(24-i)는 병렬 메모리 블록(23-i)의 8비트를 리드한다. 메모리 I/F(24-1)는 판독한 데이터를 화상버스(13-1)에 대응하는 연산회로(25-1)로 출력한다.

(2) 연산회로(25-1)는 메모리 I/F(24-i)에 의하여 리드된 8비트 데이터를 p비트 LSB 방향으로 시프트 한다. 다음에 연산회로(25-1)는 시프트된 데이터의 $q+1$ 비트 이상의 각 비트를 "0"으로 하여 버스 I/F(26-1)로 출력한다. 예를들면, 메모리 블록(23-i)에 유지된 데이터가(MSB) "11011011" (LSB), $p=2$, $q=4$ 인 경우, 연산회로는 그 데이터를 2비트 시프트하여 "00110110"을 생성하고, 제 4비트 이상에는 0데이터를 기입하고, 데이터 "00000110"을 출력한다.

(3) 버스 I/F(26-1)는 연산회로(25-1)에서 출력되는 8비트 데이터를 화상버스(13-1)에 출력한다.

B : 2개의 메모리 블록에 대한 리드(2개의 메모리 블록에 걸친 영역의 리드)

메모리 블록(23-i)은 비트 $p(1 \leq p \leq 7)$ 에서 개시하는 q비트($1 \leq q \leq 8$)를 리드한다. 단, $p+q \geq 8$ 이다. 이 경우, 메모리 블록(23-i)에서는 $8-p$, 다음의 메모리 블록(23-(i+1))에서는 $p+q-8$ 비트가 리드된다.

(1) CPU(11)에서의 명령을 받고, 제어부(27)는 메모리 블록(23-i, 23-(i+1))을 액세스하는 것으로 판단하고, 메모리 I/F(24-i, 24-(i+1))에 리드 액세스를 지시한다. 또, 제어부(27)는 리드 액세스인 q, p의 값을 연산회로(24-1)에 지시한다. 또, 제어부(27)는 리드 액세스를 버스 I/F(25-1)에 지시한다.

메모리 I/F(24-i, 24-(i+1))는 메모리 블록(23-i, 23-(i+1))에서 각각 8비트 데이터를 리드하여 연산회로(25-1)에 출력한다.

(2) 연산회로(25-1)는 메모리 블록(23-i)에서 판독된 8비트 데이터를 p비트 LSB 방향으로 시프트하고, 비트 $8-p$ 이상의 각 비트를 "0"으로 한다. 연산회로(25-1)는 메모리 블록(23-(i+1))에서 판독된 8비트 데이터를 $8-p$ 비트 MSB 방향으로 시프트하고, 또, 비트 $7-p$ 이하의 각 비트 및 비트 q 이상의 각 비트를 "0"으로 한다. 연산회로(25-1)는 생성된 2개의 데이터의 OR을 취하여 버스 I/F(26-1)에 출력한다.

예를 들어, p가 5, q가 6으로, 메모리 블록 23-i에서 데이터(MSB) "10011001" (LSB), 메모리 블록 (23-(i+1))에서 데이터 "10011001"이 판독되었다고 가정할 경우, 연산회로는 데이터 "00000100"과 데이터 "00001000"을 생성하고, 양 데이터의 논리화를 취하여 데이터 "00001100"을 화상버스 (13-1)에 출력한다.

(3) 버스 I/F(26-1)는 연산회로(25-1)에서 출력된 8비트 데이터를 버스(13-1)에 출력한다.

C : 1개의 메모리 블록에 대한 라이트.

메모리 블록(23-i)의 비트 $p(0 \leq p \leq 7)$ 에서 q비트($1 \leq q \leq 8$)에 데이터를 라이트하는 것으로 한다. 단, $1 \leq p+q \leq 8$ 이다.

(1) CPU(11)에서 명령을 받아서, 제어부(27)는 메모리 블록(23-i)을 액세스하는 것으로 판단하고, 메모리 I/F(24-i)에 라이트 액세스를 지시한다. 또, 제어부(27)는 라이트 액세스인 p, q의 값을 연산회로(24-1)에 지시한다. 또, 제어부(27)는 라이트 액세스를 버스 I/F(25-1)에 지시한다. 우선, 버스 I/F(26-1)는 화상버스(13-1)에서 8비트 데이터를 입력하여 연산회로(25-1)에 출력한다.

(2) 연산회로(25-1)는 입력데이터를 MSB쪽으로 p비트 시프트하여, 메모리 I/F(24-i)에 출력한다.

(3) 메모리 I/F(24-1)는 칩 선택신호 $C_p \sim C_{p+q-1}$ 을 액티브로 하고, 연산회로(25-1)에서 출력된 8비트 데이터중의 비트 p에서 개시하는 q비트를 메모리 블록(23-i)의 해당 영역에 라이트한다.

예를 들어, p가 2, q가 4이고, 화상버스(13-1)에 데이터 "10101010"이 출력되는 경우, 연산회로(24-1)는 데이터 "10101000"을 출력한다. 메모리(24-1)은 칩 선택신호 $C_2 C_5$ 를 액티브로 하고, 메모리칩(30-2~30-5)에 데이터 "1010"을 라이트한다.

D : 2개의 메모리 블록에 대한 라이트.

메모리 블록(23-i)의 비트 $p(1 \leq p \leq 7)$ 에서 q비트($1 \leq q \leq 8$)를 라이트하는 것으로 한다. 단, $p+q \geq 8$ 이다. 이 경우, 메모리 블록(23-i)에 $8-p$ 비트, 다음의 메모리 블록(23-(i+1))에 $p+q-8$ 비트가 라이트 된다.

(1) CPU(11)에서의 명령을 받고, 제어부(27)는 메모리 블록(23-i, 23-(i+1))을 액세스하는 것으로 판단하고, 메모리 I/F(24-1, 24-(i+1))에 리드 액세스인 것을 지시한다. 또, 제어부(27)는 리드 액세스인 q, p의 값을 연산회로(24-1)에 지시한다. 또, 제어부(27)는 리드 액세스를 버스 I/F(26-1)에 지시한다.

우선, 버스 I/F(26-1)는 화상버스(13-1)에서 8비트 데이터를 입력하여 연산회로(25-1)에 출력한다.

(2) 연산회로(25-1)는 입력데이터를 p비트 MSB 방향으로 시프트하여 얻어진 8비트 데이터를 메모리 I/F(24-i)에 출력한다. 연산회로(25-1)는 입력 데이터를 $8-p$ 비트 LSB 방향으로 시프트하여 얻어지는 8비트 데이터를 메모리 I/F(24-(i+1))에 출력한다.

(3) 메모리 I/F(24-i)는 칩 선택신호 $C_p \sim C_7$ 을 액티브 레벨로 하고, 연산회로(25-1)에서 출력된 8비트 데이터중의 비트 p에서 시작하는 $8-p$ 비트를, 메모리 I/F(24-(i+1))는 칩 선택 신호 $C_0 \sim C_{p+q-8}$ 을 액티브 레벨로 하고, 연산회로(25-1)에서 출력된 8비트 데이터중의 비트 0에서 개시하는 $p+q-8$ 비트를, 메모리 블록(23-(i+1))의 해당 영역에 라이트 한다.

예를 들면, p가 6, q가 4이고, 화상버스(13-1)에 데이터 "10101010"이 출력되는 경우, 연산회(25-1)는 데이터 "10000000"을 메모리 I/F(24-(i+1))에 데이터 "00000010"을 출력한다. 메모리 I/F(24-1)는 칩 선택신호 C_6, C_7 을 액티브로 하고, 메모리 칩(30-6, 30-7)에 데이터 "10"을 라이트한다. 메모리 I/F(24-(i+1))는 칩 선택신호 C_0, C_1 을 액티브로 하여, 메모리 칩(30-0, 30-1)에 데이터 "10"을 라이트한다.

다음에, 본 실시예에 관한 화상처리 장치 전체의 동작을 제3도 내지 제4c도를 참조하여, "3차원 프레임 메모리(21)의 영역 A와 영역 B에 기억된 화상 데이터의 AND를 위하여 새로운 화상 데이터를 구하고, 그 화상 데이터를 3차원 프레임 메모리(21)의 영역 C에 기억되는 경우"에 대해 설명한다.

이러한 설명을 위하여, 영역 A를 메모리 블록(23-1)의 비트 1에서 Z방향으로의 6비트분의 영역과,

영역 B를 메모리 블록(23-2)의 비트 6에서 Z방향으로의 6비트분의 영역과, 그리고 영역 C를 메모리 블록(23-m)의 비트 1에서 시작되는 6비트분의 영역을 가정한다. 또 영역 A에서의 화상 데이터의 데스티네이션 버스로서 화상버스(13-1)를, 영역 B에서의 화상 데이터의 데스티네이션 버스로서 화상버스(13-2)를, 그리고 영역 C에서의 화상 데이터의 소오스 버스로서 화상버스(13-4)를 할당하는 것으로 가정한다. 또, 화상프로세서(14)의 포오트(11,12)에 화상버스(13-1, 13-2)를, 포오트(0)에 화상버스(13-4)를 각각 할당하는 것으로 가정한다.

CPU(11)는 동작의 내용을 지시하는 명령, 즉 화상버스(13-1~13-4)중 어떤 것을 영역 A~C에 할당하는지를 지시하는 명령을 제어부(27)에 출력한다. 또, CPU(11)는 화상 프로세서(14)에 AND연산을 지정하고, 화상프로세서(14)를 동작시킨다.

제어부(27)는 CPU(11)에서의 명령을 받아서, 제3도에 도시한 바와 같이 메모리 I/F(24-1 24-3)에는 리드 동작을, 메모리 I/F(24-m)에는 라이트 동작을 지시한다. 또, 제어부(27)는 연산회로(25-1)에는 메모리 I/F(24-1)에서의 데이터에 대한 연산을, 연산회로(25-2)는 메모리 I/F(24-2, 24-3)에서의 데이터에 대한 연산을 지시하여, 필요한 데이터를 공급한다. 또, 제어부(27)는 버스 I/F(26-1, 26-2)에 리드 동작, 버스 I/F(26-4)에 라이트 동작을 지시한다.

이상의 세팅에 응답하여, 영역 A에 대하여는 상기 A에 표시한 리드 처리(단 p=1, q=6)를, 영역 B에 대하여는 상기 B에 표시한 리드처리(단 p=6, q=6)를, 그리고 영역 C에 대하여는 상기 C에 표시한 라이트처리(단 p=1, q=6)를 행하게 된다. 각 영역에 관한 처리를 순서적으로 설명한다.

영역 A에 대한 처리는 다음과 같이 행하여진다. 메모리 I/F(24-1)는 제1의 화소 Pa의 어드레스를 출력하고, R/W 신호를 라이트 인에이블에 설정하고, 칩 선택신호 C0~C7을 전부 액티브 레벨로 하여, 영역 A에서 제1의 화소에 관한 데이터(41)를 판독한다. 메모리 I/F(24-1)는 판독한 8비트 데이터(41)를 연산회로(25-1)에 출력한다. 연산회로(25-1)는 데이터(41)를 제4a도에 도시한 바와 같이 1(=p)비트 LSB 방향으로 시프트하고, 또 비트 6(=q)이상의 비트에 "0"을 대입한다. 연산회로(25-1)는 생성한 데이터(42)를 버스 I/F(26-1)에 출력한다. 버스 I/F(26-1)는 데이터(42)를 화상버스(13-1)에 출력한다. 데이터(42)는 화상버스 제어기(15)를 통하여 화상 프로세서(14)이 입력 포오트(11)에 공급된다.

영역 B에 대한 처리는 다음과 같이 행해진다. 즉 메모리 I/F(24-2, 24-3)는 메모리 블록(23-2, 23-3)에서 데이터(51,52)를 각각 판독하고, 연산회로(25-2)에 출력한다. 연산회로(25-2)는 데이터(51)를 제4b도에 도시한 바와 같이 6(=q)비트 LSB 방향으로 시프트하고, 또 비트 2(=8-p)이상의 각 비트를 "0"으로 하여 데이터(53)으로 변환한다. 마찬가지로, 연산회로(25-2)는, 메모리 I/F(24-3)에 의하여 리드된 데이터(52)를 2(8-p) 비트 MSB 방향으로 시프트하고, 또 비트 1(=7-p)이하의 각 비트 및 비트 6(=q)이상의 각 비트를 "0"으로 하여, 데이터(54)로 변경한다. 연산회로(25-2)는 데이터(52, 53)의 논리화를 취하여 데이터(55)를 생성하고, 버스, I/F(26-2)로 출력한다. 버스 I/F(26-2)는 데이터(55)를 화상버스(13-2)에 출력한다. 데이터(55)는, 화상버스 제어기(15)를 통하여 화상 프로세서(14)의 입력 포오트(12)에 공급된다.

화상 프로세서(14)는 입력 포오트(11,12)에 공급된 8비트 데이터(42)와, 8비트 데이터(55)에 제4c도에 도시한 바와 같이 AND 연산을 실시한다. 상기 AND 연산에 의하여 생성된 데이터(61)는 출력단자(0)를 통하여 화상버스 제어기(15)에 공급된다. 화상버스 제어기(15)는 데이터(61)을 화상버스(13-4)에 출력한다.

영역 C에 대한 처리는 이하의 순서로 행하여진다. 버스 I/F(26-4)는 화상버스(13-4)에서 데이터(61)를 받아, 연산회로(25-4)에 공급한다. 연산회로(25-4)는 데이터(61)을, 제4c도에 도시한 바와 같이 MSB 방향에서 1(=p)비트 시프트하여 영역 C에 기억되어야 할 데이터(비트 1~비트 6)를 포함하는 데이터(62)로 변환한다. 연산회로(25-4)는 변환된 데이터를 메모리 I/F(24-m)에 출력한다. 메모리 I/F(24-m)는 R/W 신호를 라이트 인에이블로 설정하고, 칩 선택신호 C1 C6를 액티브로 하며, 칩 선택신호 C0, C7을 비액티브로 하고, 또 제1의 화소 Pa의 어드레스를 출력하여 연산회로(25-4)에서 출력되는 데이터(62)중의 비트 1~비트 6의 6비트를 영역 C에 라이트 한다.

본 실시예에서는 메모리 블록(23-m)을 구성하는 메모리 칩내의 영역 C에서 벗어난 영역을 구성하는 메모리 칩(30-1, 30-m)의 기억내용이 파괴되는 것이 방지된다.

제1의 화소 Pa에 대하여 이상의 동작이 종료되면, 다음의 제2의 화소 Pb에 대해 동일한 동작이 행하여진다. 이하, 동일한 동작, 즉 독출 기입 독출 기입의 반복적 동작이 파이프라인 방식으로 연속적으로 행하여지고, 모든 화소에 대하여 영역 A, B에 기억된 화상 데이터간의 AND 연산에 의하여 구해진 화상 데이터가 영역 C에 기억되면, CPU(11)는 메모리 제어기(22) 및 화상버스 제어기(15)에 대한 화상버스 할당을 해제한다.

이상의 설명에서는, 화상 데이터가 6비트인 경우에 대하여 설명하였다. 본 발명은 화상버스(13-1~13-4)의 데이터 길이를 상한으로 하는 임의의 비트수의 화상 데이터에 대하여 적용시킬 수 있다. 또, 리드 데이터와 라이트 데이터와는, 동이 비트 길이일 필요는 없다. 예를들면, 본 발명은 상기 2개의 6비트 화상 데이터(42, 55)의 AND 데이터(61)를 소정의 스테이트 훌드값을 경계로 하여 2진화하고 얻어진 데이터(1비트)를 프레임 메모리(21)에 기억시킬 경우에도 적용할 수 있다.

상기 실시예에서는, 화상 데이터를 놓도계조 데이터의 경우를 예로하여 설명하였으나, 본 발명은 3차원 메모리에 기억된 데이터를 처리하는 모든 경우에 응용 가능하다. 3차원 프레임 메모리(21)에 기억된 화상은, 2차 혹은 다차의 2차원 화상에 국한되는 것은 아니다. 예를들면, 3차원 프레임 메모리(21)에는 3차원의 2차화상을 기억하는 것도 가능하다. 이 경우, 3차원의 2차화상 처리(AND, OR 등)의 논리연산, 주변분포, 논리 필터링 등)을, 상기 2차원 화상의 처리와 동일하게 하여, 2차원인 화상 프로세서(14)로 행할 수 있다. 또, 상기 실시예에서는, 제1의 화소 Pa에서 순번으로 처리를 행하였으나, 처리의 순번은 임의로 할 수 있다.

본 발명에 의하면, 화상 데이터의 비트수는 화상버스의 비트수에만 고정되지 않고, 임의로 선택할 수 있다. 따라서, 3차원 프레임 메모리(21)의 메모리 공간을 깊이방향(Z 방향)으로 임의의 비트길이의 복수 영역으로 분할하여 사용할 수 있다. 그러므로, 메모리 공간을 유효하게 사용할 수 있고, 화상 데이터의 비트수가 고정되어 있을 경우에 비하여, 다수의 2차원 화상을 화상 메모리에 격납시킬 수가 있다. 또, 프레임 메모리에 2차의 3차원 화상을 기억시켰을 때에는, 3차원 화상의 처리를 2차원인 화상 프레세서로 행할 수도 있다.

(57) 청구의 범위

청구항 1

복수의 메모리 플랜을 논리적으로 깊이 방향(Z)으로 적층시켜 구성되어, 화상 데이터를 기억하는 3차원 프레임 메모리 수단(21)과 : 상기 프레임 메모리 수단(21)에 접속되어, 상기 프레임 메모리 수단(21)의 임의 깊이에 위치하며 깊이방향(Z)으로 임의의 비트수(q)를 갖는 상기 프레임 메모리(21)의 복수의 임의 영역(A,B,C)을 독립적으로 액세스하는 메모리 제어수단(22)과; 상기 메모리 제어수단(22)에 접속되어, 화상 데이터를 전송하는 복수의 화상버스 수단(13)과; 상기 복수의 화상버스 수단(13)에 접속되어, 상기 복수의 화상버스 수단(13)중 적어도 하나로 상기 화상 데이터를 입력하여 연산을 행하고, 그 결과를 상기 복수의 화상버스 수단(13)중 다른 적어도 하나에 출력하는 화상 프로세서 수단(14)과; 상기 메모리 제어수단(22)과 상기 화상 프로세서 수단(14)에 접속되어, 상기 메모리 제어수단(22)이 액세스 하여야 할 상기 프레임 메모리 수단(21)의 액세스 대상영역(A,B,C)과 이 액세스 대상영역(A,B,C)마다 액세스의 종류를 상기 메모리 수단(22)에 지정하고, 상기 복수의 화상 버스 수단(13)을 지정된 영역마다 상기 메모리 제어수단(22) 및 상기 화상 프로세서 수단(14)에 할당하는 제어수단(11)를 구비한 것을 특징으로 하는 화상 처리 장치.

청구항 2

제1항에 있어서, 상기 메모리 제어수단(22)은 데이터 변환수단(25)을 가지며, 이 변환수단(25)은 판독 모드시에 상기 액세스 대상영역(A, B)에서 판독된 데이터를 상기 화상버스 수단(13)이 전송할 수 있는 데이터로 변환시키고, 기입 모드시에는 상기 화상버스 수단(13)에서 전송된 데이터를 상기 액세스 대상영역(C)에 기입하기 위한 데이터로 변환시키는 것을 특징으로 하는 화상 처리 장치.

청구항 3

제2항에 있어서, 상기 프레임 메모리 수단(21)은 상기 화상버스 수단(13)이 전송하는 데이터의 비트수 r로서 깊이 방향으로 복수의 메모리 블록(23)으로 분할되어 있고, 상기 액세스 대상영역중 하나(A)는 하나의 상기 메모리 블록(23-1)내에 있으며, 그 액세스 대상영역(A)에서 상기 화상 데이터를 판독할 때, 상기 메모리 제어수단(22)은 그 액세스 대상영역(A)이 포함되어 있는 메모리 블록(23-1)에서 r비트의 데이터를 판독하며, 상기 변환수단(25)은 상기 판독된 데이터로부터 상기 하나의 액세스 대상영역(A)에 기억되어 있는 상기 화상 데이터를 추출하여, 상기 화상버스 수단(13)의 비트길이와 동일한 비트수의 데이터로 변환시키는 동시에, 상기 화상버스 수단(13)에 출력하는 것을 특징으로 하는 화상 처리 장치.

청구항 4

제3항에 있어서, 상기 하나의 액세스 대상영역(A)은 상기 메모리 블록(23-1)의 비트 $p(0 \leq p \leq r-1)$ 에서 개시되어, 깊이 방향으로 q 비트($1 \leq q \leq r$)의 영역(단, $1 \leq p+q \leq r$)이며, 상기 메모리 제어수단(22)은 그 메모리 블록(23-1)의 r비트의 데이터를 리드하고, 상기 변환수단(25)은 그 판독된 데이터를 p 비트 LSB 방향으로 시프트하고, 시프트된 데이터의 $q+1$ 비트 이상의 각 비트를 "0"으로 하는 것을 특징으로 하는 화상 처리 장치.

청구항 5

제3항에 있어서, 상기 프레임 메모리 수단(21)은 상기 화상버스 수단(13)이 전송하는 데이터의 비트수 r로서 깊이 방향으로 복수의 메모리 블록(23)으로 분할되어 있고, 상기 액세스 대상영역의 하나(B)가 복수의 상기 메모리 블록(23-i, 23-(i+1))에 걸쳐 있어 그 액세스 대상영역(B)에서 상기 화상 데이터를 판독할 때, 상기 메모리 제어수단(22)은 그 액세스 대상영역(B)이 걸쳐져 있는 복수의 상기 메모리 블록(23-i, 23-(i+1))의 각각에서 r비트의 데이터를 판독하며, 상기 변환수단(25)은 판독된 데이터로부터 상기 액세스 대상영역(B)에 기억된 상기 화상 데이터를 추출하여 그 추출된 상기 화상 데이터를 상기 화상버스 수단(13)의 비트길이 r과 동일한 비트수 r의 데이터로 변환시키는 것을 특징으로 하는 화상 처리 장치.

청구항 6

제5항에 있어서, 상기 하나의 액세스 대상영역(B)은 i번째의 메모리 블록의 비트 $p(1 \leq p \leq r-1)$ 에서 개시하는 q 비트($1 \leq q \leq r$)의 영역(단, $p+q \leq r$)이며, 상기 메모리 제어수단(22)은, i번째의 메모리 블록과 i+1번째의 메모리 블록으로부터 각각 r비트의 데이터를 판독하고, 상기 변환수단(25)은 상기 i번째의 메모리 블록에서 판독된 데이터를 p비트 LSB 방향으로 시프트하고, 비트 $r-p$ 이상의 각 비트를 "0"으로 하여 제1의 데이터를 생성하며, i+1번째의 메모리 블록에서 판독된 데이터를 $r-p$ 비트 MSB 방향으로 시프트하고, 또한 시프트된 데이터의 $r-1-p$ 이하의 비트와 비트 q 이상의 비트를 "0"으로 하여 제2의 데이터를 생성하며, 상기 제1 및 제2의 데이터의 논리합을 취하는 것을 특징으로 하는 화상 처리 장치.

청구항 7

제2항에 있어서, 상기 프레임 메모리 수단(21)은 논리적으로 상기 화상버스 수단(13)이 전송하는 데이터의 비트수 r로서 깊이 방향으로 복수의 메모리 블록(23)으로 분할되어 있고, 상기 액세스 대상 영역중 하나(C)는 하나의 상기 메모리 블록(23-i)내에 있으며, 그 액세스 대상영역(C)에서 상기 화상 데이터를 기입할 때, 상기 변환수단(25)은 상기 화상버스 수단(13)으로부터 데이터를 수신하여 이 데이터를 상기액세스 대상영역(C)에 기입하여야할 데이터로 변환시키고, 상기 메모리 제어수단(22)은 상기 변환수단(25)의 출력데이터를 해당 메모리 블록(23)으로 공급하며, 상기 액세스 대상영역(C)을 구성하는 적어도 하나의 상기 메모리 플랜을 라이트 인에이블 상태로 하여, 상기 하나의 액세스 대상영역(C)에 데이터를 기입하는 것을 특징으로 하는 화상 처리 장치.

청구항 8

제7항에 있어서, 상기 하나의 액세스 대상영역은 i번째(i는 정의 정수)의 메모리 블록의 비트 $p(0 \leq p \leq r-1)$ 에서 q 비트($1 \leq q \leq r$)의 영역(단, $p+q \leq r$)이며, 상기 변환수단(25)은 상기 화상 버스 수단(13)에서의 입력 데이터를 MSB측에 p비트 시프트하고, 상기 메모리 제어수단(22)은 상기 제1의 데이터를 상기 i번째의 메모리 블록으로 공급하며, 상기 액세스 대상영역을 구성하는 메모리플랜을 기입가능 상태로 하여, 상기 변환수단에서 출력된 r비트의 데이터중의 비트 p에서 개시하는 q비트를, 그 액세스 대상영역으로 라이트하는 것을 특징으로 하는 화상 처리 장치.

청구항 9

제2항에 있어서, 상기 프레임 메모리 수단(21)은 상기 화상버스 수단(13)이 전송하는 데이터의 비트수 r로서 깊이 방향으로 복수의 메모리 블록(23)으로 분할되어 있고, 상기 액세스 대상영역중의 하나가 상기 프레임 메모리수단(21)의 복수의 상기 메모리 블록에 걸쳐져 있어, 그 액세스 대상영역으로 상기 화상 데이터를 라이트할 때 상기 변환수단(25)은 상기 화상버스 수단(13)에서 r비트의 데이터를 받아, 이 데이터를 상기 액세스 대상영역이 걸쳐져 있는 각 상기 메모리 블록에 기입하는 데이터로 변환시키고, 상기 메모리 제어수단(22)은 상기 변환수단(25)의 출력 데이터를 대응하는 상기 메모리 블록에 공급하며, 상기 하나의 액세스 대상영역을 구성하는 메모리 플랜을 라이트 인에이블 상태로 하여, 상기 액세스 대상영역에 화상 데이터를 라이트하는 것을 특징으로 하는 화상 처리 장치.

청구항 10

제9항에 있어서, 상기 액세스 대상영역은 i번째의 메모리 블록의 비트 $p(1 \leq p \leq r-1)$ 에서 q 비트($1 \leq q \leq r$)의 영역(단, $p+q \leq r$)에 있으며, 상기 변환수단(25)은 상기 화상버스 수단(13)으로 데이터를 입력하고, 그 입력 데이터를 p 비트 MSB 방향으로 시프트하여 얻어진 데이터를 i번째의 메모리 블록에 공급하며, 입력 데이터를 $r-p$ 비트 LSB 방향으로 시프트하여 얻어진 데이터를 $i+1$ 번째의 메모리 블록에 공급하고, 상기 메모리 제어수단(22)은 i번째의 메모리 블록을 구성하는 메모리 프레임의 p 번째에서 r번째의 메모리 플랜을 라이트 인에이블 상태로하고, 공급된 r비트의 데이터중 비트 p에서 시작되는 $r-p$ 비트를 i번째의 메모리 블록에 라이트 하며, $i+1$ 번째의 메모리 블록의 0에서 $p+q-r-1$ 번째의 메모리 플랜을 라이트 인에이블로 하고, 상기 변환수단(25)에서 공급된 데이터중 비트 0에서 개시하는 $p+q-r$ 비트를, 상기 $i+1$ 번째의 메모리 블록에 라이트하는 것을 특징으로 하는 화상 처리 장치.

청구항 11

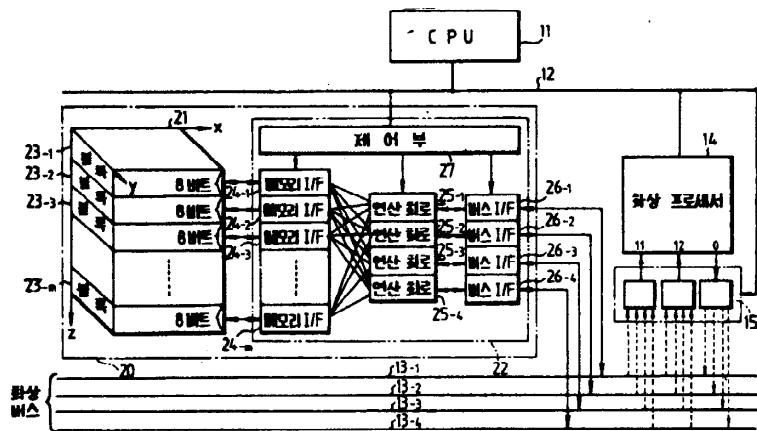
제1항에 있어서, 상기 프레임 메모리 수단(21)은 논리적으로 상기 화상버스 수단(13)에 전송하는 데이터의 비트수 r로서 깊이 방향으로 복수의 메모리 블록(23)으로 분할되어 있고, 상기 메모리 제어수단은 상기 메모리 블록(23)마다 설치되고, 대응하는 메모리 블록(23)을 액세스하는 메모리 인터페이스 수단(24)과; 상기 화상버스 수단(13)마다 설치되어, 상기 메모리 인터페이스 수단에 접속되고, 상기 액세스 대상영역에 기억된 화상 데이터의 비트수와 상기 화상버스 수단상의 데이터의 비트수와의 상호변환을 행하는 연산수단(25)과; 상기 화상버스 수단(13)마다 설치되어 대응하는 화상버스 수단(13)과 대응하는 변환수단(25)에 접속되고, 상기 화상버스 수단(13)과 상기 변환수단(25)간의 데이터의 수신을 제어하는 버스 인터페이스 수단(26)을 구비하는 것을 특징으로 하는 화상 처리 장치.

청구항 12

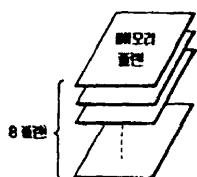
복수의 메모리 플랜을 논리적으로 깊이방향(Z)으로 적층시켜 구성되어 화상 데이터를 기억하는 프레임 메모리 수단(21)과; 상기 프레임 메모리 수단(21)에 접속되어, 상기 프레임 메모리 수단(21)의 깊이방향의 임의의 복수영역(A,B,C)을 독립적으로 액세스하는 메모리 제어수단(22)과; 상기 메모리 제어수단(22)에 접속되어, 화상 데이터를 전송하는 복수의 화상버스 수단(13)과; 상기 복수의 화상버스 수단(13)에 접속되어, 상기 복수의 화상버스 수단중 적어도 하나의 버스에서 상기 화상 데이터를 입력하여 연산을 행하고, 그 결과를 상기 복수의 화상버스 수단(13)이외의 버스를 통하여 상기 메모리 제어수단(22)에 출력하는 화상 프로세서 수단(14)과; 상기 메모리 제어수단(22)을 제어하여 상기 프레임 메모리 수단(21)중 적어도 하나의 영역을 리드 액세스하고 있는 사이에 상기 프레임 메모리 수단(21)이외의 영역을 리드 또는 라이트 액세스 하는 제어수단(27)을 구비한 것을 특징으로 하는 화상 처리 장치.

도면

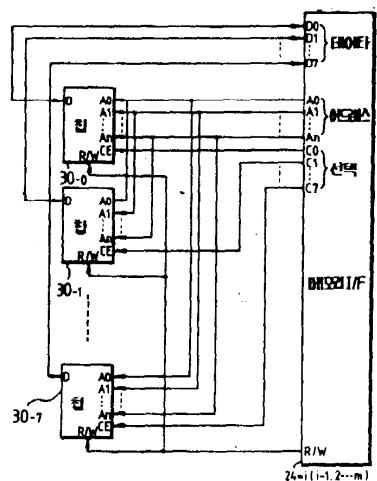
도면1



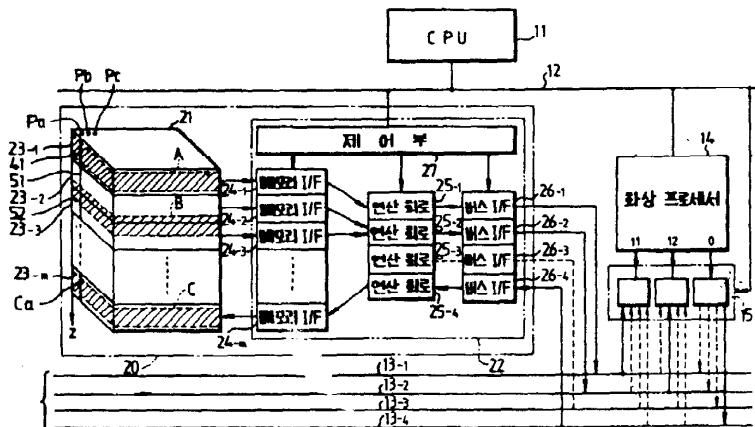
도면2A



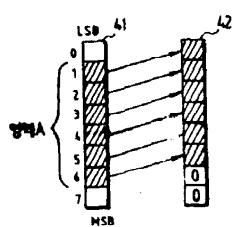
도면2B



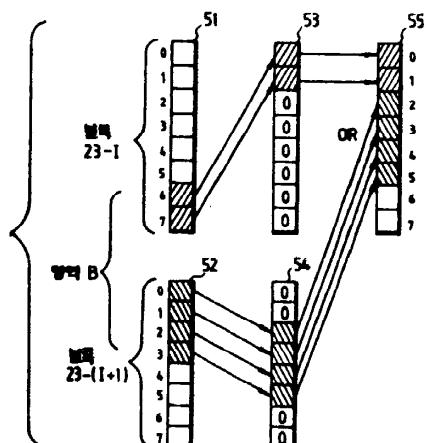
도면3



도면4A



도면4B



도면4C

