

申請日期	89 年 10 月 13 日
案 號	89121401
類 別	G06F 13/12

A4
C4

公告本

(以上各欄由本局填註)

發 明 專 利 說 明 書		498208
一、發明 新型名稱	中 文	資料傳送控制裝置及電子機器
	英 文	
二、發明人 創作	姓 名	(1) 佐藤大輔 (2) 堀内浩
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內 (2) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內
三、申請人	姓 名 (名稱)	(1) 精工愛普生股份有限公司 セイコーエプソン株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都新宿區西新宿二丁目四番一號
	代 表 人 姓 名	(1) 安川英昭

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 日本 1999年10月15日 11-293590 有主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明領域

本發明係有關資料傳送裝置及該含有之電子機器，特別係關於接連於匯流排之多數節點間，依據IEEE1394等之規格而執行傳送資料傳送控制裝置及含有此些之電子機器。

【關聯技術之說明】

近年來，被稱做IEEE1394之界面規格係受到注視。該IEEE1394，係連下一代之媒體也可對應之規格化的高速串聯匯流排界面。若依據該IEEE1394，可以處理要求動畫像等之實際時間性之資料。再者，於IEEE1394之匯流排，不僅可與印表機、掃描機、CD-RW驅動器、硬碟驅動器等之電腦週邊設備接連，就連影像顯示攝影機、VTR、TV等之家庭用電器製品也可接連。因此，被期待著作為可促進電子機器之數位化之躍進者。

就該IEEE1394而言，重新接連電子機器於匯流排，或自匯流排拆下電子機器，隨著接連於匯流排之節點的增減，發生所謂的匯流排重設。然後若發生匯流排重設，則節點之拓撲情報被清除，之後，拓撲情報自動地再設定。即是匯流排重設之發生後，樹路線識別(途徑節點之決定)，進行自行識別，之後，決定同步供給源管理等之管理節點。然後啟動傳送一般的信息組。

但是，依據該IEEE1394之資料傳送控制裝置則產生以下之問題。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (2)

即是，若依據現在之IEEE1394規格，則可能實現最大400Mbps之傳送速度。但是，現實中，存有處理架空之原因，系統全體之實際傳送速度比此速度低許多。即，於CPU上動作的固件(處理手段)準備傳送資料、分割傳送資料為信息組、發行傳送開始指令等之處理需要較長時間，即使匯流排上之傳送速度為高速，也無法實現高速的資料傳送。

特別是，裝入於週邊機器之CPU係比裝入個人電腦等之主系統之CPU之處理能力為低。此原因使固件等之處理架空問題，成為相當嚴重之問題。因此，如此之架空問題可有效地解除之技術係被所期待的。

【發明之要點】

鑒於以上之技術課題，本發明係減輕固件等之處理架空，提供小規模硬體的實現資料傳送之資料傳送控制及使用此些之電子機器為目的。

為解決上述之課題，本發明係接連於匯流排之多數節點間之用以資料傳送的資料傳送控制裝置，其特徵為，具有藉由硬體發行指示連續信息組傳送之處理手段為第1啟動指令時，傳送資料分割為連串信息組，實行連續傳送處理分割後之連串信息組之傳送實行電路、和依據上述傳送實行電路實行連續信息組傳送處理之間，發行指示信息組傳送之第2啟動指令之處理手段時，等待於連續信息組中一個交易或者一個信息組傳送完成後，依據上述第2之啟動指令允許信息組傳送之調停電路。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (3)

若依據本發明，發行處理手段為第1啓動指令時，藉由硬體傳送資料分割為多數之信息組後連續傳送。隨之，處理手段發行第1啓動指令後，因只等待連續信息組傳送完成，所以可減輕處理手段之處理負擔。

然後，如果開始這樣的連續信息組傳送，到全部信息組的傳送完成為止，必須需要些程度的等待時間。因此，於等待連續信息組傳送完成中，因第2啓動指令可能引起信息組之不良狀況產生。

若依據本發明，於進行連續信息組傳送之中，可藉由第2啓動指令擠入信息組傳送，並不用等待全部連續信息組傳送完成，可依據第2啓動指令實行信息組傳送。所以，可以有效果地防止上述之不良狀況產生。

再者，本發明中之上述傳送實行電路的特徵，係至少具有於對方節點之記憶手段中存有頁面表之時，該頁面表由對方節點讀取之頁面表讀取電路，於對方節點之記憶手段中不存有頁面表之時，根據頁境界生成假設之頁面表之頁面表生成電路，於有效負載尺寸之信息組中分割傳送資料之有效負載分割電路，控制資料傳送之實行之傳送資料實行控制電路，和生成發送至對方節點之要求信息組之控制情報之控制情報生成電路之其中一。含有此些電路區，對於頁面表之讀取生成處理、信息組之有效負載分割處理、控制資料傳送實行處理或生成要求信息組之控制情報(信頭等)處理等可藉由硬體而實行。依此，可減輕處理手段之負擔。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(4)

再者本發明之上述調停電路的特徵，係具有接受依據上述傳送實行電路於傳送開始要求時成為動作之第1啟動信號、依據上述第2之啟動指令於傳送開始要求時成為動作第2啟動信號及傳送完成時成為動作之完成信號，於上述第1啟動信號成為動作後上述第2啟動指令再成為動作之時，藉由上述第1啟動信號先啟動傳送處理，於上述完成信號成為動作後，藉由上述第2啟動信號啟動傳送處理。

若依此進行，第1啟動指令比第2啟動指令先成為動作之時，藉由第1啟動信號實行傳送處理(交易，信息組傳)，等待該傳送處理完成後，可藉由第2啟動信號實行傳送處理。

再者本發明之上述調停電路係的特徵，係具有接受依據上述傳送實行電路於傳送開始要求時成為動作之第1啟動信號、依據上述第2之啟動指令於傳送開始要求時成為動作第2啟動信號、及傳送完成時成為動作之完成信號，於上述第1、第2啟動信號同時成為動作時，藉由上述第2啟動信號優先傳送處理。如此，例如從對方節點傳送出來要求信息組時，對於該要求信息組可馬上返回應答信息組。

再者本發明之上述調停電路的特徵，係具有接受依據上述傳送實行電路於傳送開始要求時成為動作之第1啟動信號、依據上述第2之啟動指令於傳送開始要求時成為動作第2啟動信號、及傳送完成時成為動作之完成信號，於上述第2啟動信號成為動作後上述第1啟動指令再成為動作之時，藉由上述第2啟動信號先啟動傳送處理，於上述完成信號成

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (5)

為動作後，藉由上述第1啟動信號啟動傳送處理。如此進行的話，第2啟動信號比第1啟動信號先成為動作之時，依據第2啟動信號實行傳送處理(交易、信息組傳送)，等待該傳送處理完成後，可依據第1啟動信號實行傳送處理。

再者本發明之特徵，係具有擁有收藏信息組之控制情報之控制情報領域、和收藏信息組資料之資料領域的可隨機抽取存取之信息組記憶手段及對上述信息組記憶手段發生寫入位址之位址發生電路，上述信息組記憶手段之上述控制情報領域，係分離為第1控制情報領域和依據上述傳送實行電路寫入控制情報之第2控制情報領域，上述位址發生電路，係根據上述調停電路得到之調停結果，切換發生第1控制情報領域位址和第2控制情報領域位址之任一位置。如此，可簡單地處理第1、第2之控制情報領域的位址而切換。然後，若成為如此地位址切換，對於第2之控制情報領域，則連續寫入傳送實行電路生成的控制情報，可藉由硬體達到控制情報之生成、寫入之簡單化。

再者本發明之特徵，係具有擁有收藏信息組之控制情報之控制情報領域和收藏信息組資料之資料領域的可隨機抽取存取之信息組記憶手段，上述信息組記憶手段之上述資料領域：係分離為收藏第1層用的第1資料之第1資料領域及依據上述傳送實行電路收藏以連續信息組傳送為對象之第2層用的第2資料領域。若依據本發明，信息組之控制情報(例如，信頭、頁小計)係收藏於控制情報領域中，信息組之第1資料(例如，交易層用的資料)係收藏於第1之資料領域

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(6)

中，信息組之第2資料(例如，應用層用的資料)係收藏於第2之資料領域中。如此，自第2之資料領域中連續讀出第2之資料，成爲可傳送至第2層。因此，資料傳送可飛躍地進入高速化。

而且於本發明中，上述第1資料係於上述第1層之規程中使用之指令資料，上述第2資料係於應用層中使用的資料爲較佳。

再者本發明之特徵，係含有對於啓動交易之要求信息組發送至對方節點時，於含有上述要求信息組的交易識別情報中，自對方節點接收應答信息組時用以指示進行處理的指示情報，自對方節點接收應答信息組之時，根據含有應答信息組之交易識別情報之上述指示情報，把應答信息組之控制情報、第1、第2資料個別寫入於上述控制上述控制情報領域、上述第1、第2資料領域。如此的話，自應答節點回傳應答信息組時，固件等之處理手段並無干預，依據指示情報自動地寫入應答信息組之控制情報、第1第2之資料於被指示之領域。因此，可減輕處理手段之處理負擔。

再者本發明係依據IEEE1394之規格實行資料傳送爲較佳。

再者與本發明有關之電子機器的特徵，爲其具有上述中之任一資料傳送控制裝置、及經過上述資料傳送控制裝置及匯流排由其他之節點接收到之資料施予處理之裝置、及用以輸出及記憶施予處理後的資料之裝置。再者與本發

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

明有關之電子機器的特徵，為具有上述之任一傳送控制裝置、及經過上述資料傳送控制裝置和匯流排傳送至其他節點之資料施予處理之裝置、及用以收入將被施予處理的資料之裝置。

若依據本發明，自其他節點傳送來的資料於電子機器輸出、記憶處理，於電子機器取入之資料傳送至其他節點可成為高速化。再者，若依據本發明，可達到資料傳送控制裝置之小規模化，同時因可減輕控制資料傳送之固件等的處理負擔，所以可以達到電子機器之低價化，處理之高速化、小規模化等。

【發明之最佳實施例說明】

以下為針對本發明之最佳實施態樣使用圖面詳細說明。

1. IEEE1394

首先，針對IEEE1394簡單說明

1.1 概要

於IEEE1394(IEEE1394-1995,P1394.a)中可達成1400~400 Mbps之高速資料傳送(P1394.b為800~3200Mbps)。而且，傳送速度不同之節點也允許接連於匯流排。

各節點係呈樹狀之接連，一個之匯流排最多可與63個節點接連。而且，若利用匯流排橋大約可和6400個節點接連。

於IEEE1394中，以信息組之傳送方式而言預備有非同

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8)

期傳送及同步傳送。該處之非同期傳送，係適合對實際時間性要求的動畫像或聲音等之資料傳送之傳送方式。

1.2 層構造

圖1中表示IEEE1394之層構造(規程構成)。

IEEE1394之規程係由交易層、環層、物理層所構成。再者，串聯匯流排管理係監視及控制著交易層、環層、物理層，提供用以節點之控制或匯流排之供給源管理之多種機能。

交易層係提供予上位層交易單位之界面(服務)，下層之環層通過提供之界面，實施引導處理，光處理、封鎖處理等之處理。

在此，於引導交易中，資料係由應答節點傳送至要求節點。一方面，於光處理中，資料係由要求節點傳送至應答節點。再者，於封鎖處理中，資料係由要求節點傳送至應答節點，應答節點於該資料施行處理後回信至要求節點。

環層係提供用以定址、資料核對、信息組送接收之資料構圖、同步傳送之週期控制等。

物理層係提供依據環層使用的對理論符號之電氣信號變換或匯流排的調停或匯流排的物理性界面。

1.3 SBP-2

如圖2所示，作為含有IEEE1394之處理層之一部分的機能之上位規程，提案被稱為SBP-2(Serial Bus Protocol-2)之規程。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (9)

SBP-2係SCSI之指令組於IEEE1394之規程上因使成爲可利用而被提出。若使用該SBP-2，於既有之SCSI規格之電子機器中被使用的SCSI的指令組加上最低限的變更，使IEEE1394規格之電子機器成爲可使用。因此，電子機器之設計或開發可簡易化。再者，不僅是SCSI之指令而已，因也可以利用裝置特有之指令儲放器，泛用性相當的高。

圖3所示之SBP-2中，首先使用依據發送(例如：個人電腦)生成的記錄ORB(Operation Request Block)進行記錄處理(步驟T1)。接著，使用偽ORB進行讀取代理之初期化(步驟T2)。然後，使用一般指令ORB進行指令處理(步驟T3)，最後，利用ORB進行註銷處理(步驟4)。

就步驟T3之指令處理而言，如圖4之A1所示，發送端傳送光量要求信息組(發行光要求交易)，環接標的之門鈴暫存器。所以，A2所示，標的爲傳送引導要求信息組，發送端返回對應之引導應答信息包。依此發送端生成的ORB(一般指令ORB)，於標的之資料緩衝被讀取。然後，標的係解析於被讀取的ORB中含有的指令。

接著，ORB中含有的指令爲SCSI之引導指令之時，如A3所示，標的係傳送連串之光要求信息組於發送端。依此，自例如標的之媒體(CD-RW)被讀出的資料(流)爲傳送至發送端之資料緩衝。

一方面，ORB中含有的指令爲SCSI的光指令之時，如圖5之B1所示，標的爲傳送引導要求信息組至發送端，發送端返回對應的引導要求信息組。依此，收藏於發送端之資

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (10)

料緩衝的資料(流)傳送至標的，寫入於標的之媒體(標的為印表機之時即印刷開始)。

若依據該SBP-2，標的係本身狀況良好之時傳送要求信息組(發行交易)，可收發送資料。而且，發送端與標的因沒有必要同步動作之故，可提高資料傳送功率。

再者，作為IEEE1394之上位規程，除SBP-2以外，被稱為FCP(Function Control Protocol)的規程也被提案。

其次，於標的、發送端間進行資料傳送之時，如圖6A中發送端(對方節點)之資料緩衝(記憶手段)中有頁面表存在之時，及不存在之時。

然後，頁面表存在之時，如圖6B所述，發送端生成的ORB之中，該頁面表之位址(讀取位址、寫入位址)係使用該頁面表指定間接位址。

另一方面，頁面表不存在之時，如圖6C所示，ORB之中含有位址與資料，傳送資料之位址指定直接位址。

2. 全體構成

接著，針對本實施態樣之資料傳送控制裝置之全體構成之例使用圖7加以說明。

就圖7而言，PHY界面10係執行PHY裝置(物理層之裝置)和界面之電路。

環核心20(環手段)係環層之規程或交易層之規程之一部分藉由固件而實現之電路，提供用以在節點之間的信息組傳送之各種服務。暫存器22係用以控制環核心20之暫存器。

。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

FIFO(Asynchronous Transmission Fifo)30、FIFO(Isochronous Transmission Fifo)32、FIFO(Reception Fifo)34，係各為非同步發送用、同步發送用、發送用之FIFO，例如藉由暫存器或半導體記憶體等之固件構成。就本實施態樣而言，此些FIFO30、32、34之段數非常地少。例如一個的FIFO之段數理想為3段以下，更理想為2段以下。

DMAC40(讀取手段)、DMAC42(讀取手段)、DMAC44(寫入手段)各為ATF用、ITF用、RF用之DMA控制器。使用此些之DMAC40、42、44，不用介入CPU66，可成為在RAM80與環核心之間的資料傳送。而且，暫存器46係用以控制DMAC40、42、44等之暫存器。

出入埠界面50係執行和應用層之裝置(例如：執行印表機之印字處理之裝置)的界面之電路。

FIFO(PF)52係用以和應用層之裝置間的資料傳送其FIFO，DMAC54係PF用的DMA控制器。暫存器56係控制出入埠界面或DMAC54暫存器。

SBP-2核心84(傳送實行電路)係SBP-2之規程的一部分或交易層的一部分依據固件實現之電路。依據該SBP-2核心84之機能，分割傳送資料為連串之信息組，分割後的連串信息組可成為連續傳送處理。而且，暫存器88係用以控制BP-2核心之暫存器，DMAC(SBP-2)86為SBP-2核心84用之DMA控制器。

RAM領域管理電路300係用以管理RAM80之各領域之電路。RAM領域管理電路300係RAM80之各領域為滿載、空載

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (12)

時，使用各種滿載信號、空載信號控制 C40、42、44、54、86。

CPU界面 60係進行控制和資料傳送控制裝置 CPU66(處理手段)之界面的電路。CPU界面 60係含有位址解碼器 62、資料同步化電路 63、插入控制器 64。時鐘控制電路 68係控制於本態樣中使用的時鐘，輸入自PHY裝置(PHY片)送出的 SCLK(資料傳送控制裝置知系統時鐘)，或HCLK(CPU66之動作時鐘)。

緩衝管理器 70為和RAM80之管理界面的電路。緩衝管理器 70係含有用以緩衝管理器之控制之暫存器 72、調停對RAM80之匯流排接連之調停電路 74、及生成各種控制信號之定序器 76。

RAM80係以可隨機抽取存取之信息組記憶手段而為機能者。該機能係依據如SRAM、SDRAM、DRAM等而實現。

而且，RAM80係被內藏於本實施態樣之資料傳送控制裝置中為最佳，其中之一部分或全部可用以外裝。

於圖 8 中，為表示 RAM80 之記憶體圖之一例。如圖 8 所示本實施態樣中，RAM80 分離為信頭領域 (AR2、AR3、AR4、AR) 和資料領域 (AR5、AR7、AR8、AR9)。然後，信息組之信頭(廣義而言為控制情報)係收藏於信頭領域，信息組之資料(ORB、流)係收藏於資料領域。

再者，於本實施態樣中，如圖 8 所示 RAM80 之資料領域 (AR5、AR7、AR8、AR9) 分離為 ORB 領域 (AR5、AR7) 和流領域 (AR8、AR9)。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (13)

而且於本實施態樣中，RAM80分離為接收領域(AR2、AR4、AR5、AR9)和發送領域(AR3、AR6、AR7、AR8)。

尚且，ORB(第1層用之第1之資料)係如上所述中的SBP-2用的資料(指令)。另一方面，流(因第1層而引起之上層的第2層用的第2資料)為應用層用之資料(依據印表機之印字資料、CD-RW之讀取／寫入資料、掃描而收取畫像資料等)。

再者，AR1、AR2、AR3中所示的HW(固件)用頁面表領域、HW用接收信頭領域、HW用發送信頭領域係如圖7所示之SBP-2核心84為用以寫入、讀出頁面表、接收信頭或發送信頭之領域。

而且，就以圖8而言AR4、AR5、AR8、AR9中所示之領域，是成為所謂的環緩衝構造。

那麼，圖7的匯流排90(或者匯流排92、94)係接連於應用者(第1的匯流排)。再者，匯流排95(或者匯流排96)係用以控制資料傳送控制裝置，或者用以引導／光之者，電氣性地連接於用以控制資料傳送控制裝置之器件如CPU(第2之匯流排)。再者匯流排100(或者匯流排102、104、105、106、107、108、109)係電氣性地接連於物理層之器件(第3之匯流排)者。再者，匯流排110係電氣性地接連於可隨機抽取存取之記憶手段RAM80者(第4之匯流排)。而匯流排99引導／光SBP-2核心84依據固件用以實現SBP-2之信頭情報或頁面表情報者(第5之匯流排)。

緩衝管理器70之調停電路74係進行自DMAC40、42、44、CPU界面60、DMAC86、54來的匯流排存取要求之調停。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (14)

然後，根據該調停結果，於各匯流排105、107、109、96、99、94的任一者和RAM80之匯流排間確立資料之經路(於第1、第2、第3、第5之匯流排之任一者和第4之匯流排間確立資料經路)。

本實施態樣之其一特徵，為設有收藏可隨機抽取存取信息組之RAM80，同時設有相互分離之匯流排90、95、99、100和用以接連此些之匯流排於RAM80之匯流排110之調停電路74。

再如圖9所示，資料傳送裝置120和應用層之器件124間的匯流排90、CPU匯流排96、資料傳送控制裝置120和RAM80間之匯流排110可以分離。因此，CPU匯流排96可以只使用資料傳送之控制。再者，擁有匯流排90，將可進行資料傳送控制裝置120和應用層之裝置124之間的資料傳送。例如編入於資料傳送裝置120之電子機器為印表機時，擁有匯流排90，將可傳送印字資料。其結果，可減輕CPU66之處理負擔，可提高系統全體之實際傳送速度。再者，以CPU而言可採用低價之物品，同時作為CPU96沒有必要使用高速度之匯流排。因此，可達到電子機器之低價化及小規模化。

3. SBP-2核心(傳送實行電路)之構成

圖10中係表示圖7之SBP-2核心84之構成例。SBP-2核心84係將傳送資料自動地分割為連串之信息組，用以連續傳送分割後之連串之信息組之電路，主要是如圖4之A3、圖5之B1中所示的信息組傳送藉由固件執行。

主控制電路200係用以控制SBP-2核心84之全體的電路

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (15)

，含有暫存器 202、204、206、208。

在此，暫存器 202、204、206 係各資料傳送 (固件 SBP-2 處理) 之啓動指令、中止指令、復始指令用以發行固件 (CPU) 之暫存器。即係，固件若寫入 1 於暫存器 202，則傳送資料分割為連串之信息組開始連續傳送處理。然後，於該處理中，若固件寫入 1 於暫存器，資料傳送處理被中止，若寫入 1 於暫存器 206，被中止的資料傳送處理則將再恢復。

暫存器 208 係用以設定頁面表之存在、不存在之暫存器。即是解析自發送端而來的 ORB，判斷發送端之資料緩衝中不存在頁面表時，寫入 1 於暫存器 208 之中。另一方面，判斷存有之時 (圖 6A 之情形)，寫入 0 於暫存器 208 之中。

頁面表讀取電路 210 係發送端 (對方節點) 之資料緩衝 (記憶手段) 中存有頁面表時，用以進行該頁面表自發送端起讀取處理之電路。更具體而言，就是頁面表讀取電路 210 係向發送信頭生成電路 260 指示頁面表之讀取，讀取完成後，向頁面表生成電路 220 指示頁面表位址或頁面表尺寸之更新。

頁面表生成電路 220 係於發送端之資料緩衝中不存在頁面表時，假設性的生成頁面表之電路。更具體而言，就是若自主控制電路 200 指示頁面表生成時，則隨著所給予的 10 進位法生成頁面表。然後，生成的頁面表介於元件保持電路 230 或緩衝界面 290 進行寫入至 RAM 之 HW 用頁面表領域之處理。

而且，頁面表是否存在，如上所述根據暫存器 208 之設定值而判斷。再者，藉由頁面表讀取電路 210、頁面表生成

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (16)

電路讀取，又把生成後之頁面表收藏於RAM之HW用頁面表領域(圖8之AR1)之中。

於頁面表生成電路220含有的暫存器222，依據自發送端而來的ORB設定頁境界尺寸。而且，暫存器224、226為存有頁面表之時，依據ORB設定被指定後的頁面表位址、頁面表尺寸(元件數)(參照圖6B)。另一方面，不存在頁面表之時，設定傳送資料的最前排位址和資料長(參照圖6C)。再者元件計數器228係頁面表生成之時，進行計算頁面表之元件數(元件指示器)之處理。

元件保持電路230係保持為SBP-2核心之處理對象的頁面表元件情報之電路，其含有保持頁面表元件之程序段長的暫存器232，和保持部分抵銷位址的暫存器234。

傳送實行控制電路240係依據SBP-2核心控制資料傳送(流傳送)實行之電路，含有暫存器242、244。然後，暫存器242係表示現在處理中的頁面表元件之號碼。而於暫存器242開始資料傳送的頁面表元件號碼為依據固件而設定。因此，固件係將可啟動自任意的頁面表元件而來的資料傳送。

有效負載分割電路250係進行傳送資料分割成有效負載尺寸之信息組之處理。有效負載250含有的暫存器252中，係依據ORB設定被指定的最大有效負載尺寸。再者暫存器254係表示實際之有效負載尺寸。有效負載分割電路250係自RAM之HW頁面表領域(圖8之AR1)讀取後，根據於暫存器232中保持的頁面表元件之程序段長，和於暫存器252中設

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (17)

定的最大有效負載尺寸，進行有效負載分割處理。

發送信頭生成電路 260 係根據由固件引起設定速度碼或目的地 ID 等，進行生成圖 4 之 A3、圖 5 之 B1 之各要求信息組信頭之處理。然後，生成的信頭收藏於 RAM 之 HW 用發送信頭領域 (圖 8 之 AR3)。如此之本實施態樣中，因連續被傳送的連串要求信息組藉由固件而自動生成之故，所以可大幅度地減輕固件之處理負擔。

交易控制電路 270 係接受由環接核心等之外部的電路區域而來的失誤情報或狀態情報，用以進行交易實行之種種處理。然後，若交易實行完成，則使交易完成信號 Tcomp 動作，而告知頁面表讀取電路 210 或有效分割電路 250。如此之本實施態樣 SBP-2 核心並不係用信息組單位，而係用交易單位來管理資料傳送處理。

分離時間 280 係於交易開始時，載入分離時間，開始倒數。然後，計數值為 0 時，向交易控制電路 270 告知時間結束。

緩衝界面 290 係作為和圖 7 之緩衝管理器 70 之界面而發揮機能之電路。SBP-2 核心 84 之各區域係介於該緩衝界面 290，將對緩衝管理器 70 要求向 RAM 80 之存取。

3.1 主控制電路

接著，針對主控制電路 200 之動作用圖 11 加以說明。

首先，判斷是否使用已收藏於 HW 用頁面表領域之頁面表 (步驟 S1)，使用之時移動至步驟 S5，不使用之時移動至步驟 S2。是否使用已收藏於 HW 用頁面表領域之頁面表之設定

(請先閱讀背面之注意事項再填寫本頁)

裝
線

五、發明說明 (18)

，係用以固件所給予之設定值寫入於所給予之暫存器而加以實現。

其次，根據圖 10 之暫存器 208 設定值，判斷發送端的資料緩衝中是否存在頁面表(步驟 S2)。然後，存在之時，對頁面表讀取電路 210 指示頁面表之讀取處理啓動(步驟 S4)。

然後，頁面表之讀取或生成處理若完成後，對傳送實行控制電路 240 指示傳送實行處理(流資料任務)之啓動(步驟 S5)。

而且，本實施態樣知頁面表生成電路 220 係用以如以下說明之手法生成頁面表。

例如圖 12 所示，傳送資料之先頭位址 SA 位於頁境界 PB0、PB1 間，中止位址 EA 位於頁境界 PB4、PB5 間。此時，頁面表生成電路 220 係生成頁境界 PB1、PB4 間(第 K、第 L 之頁境界間)之頁面表之元件數成爲 1(廣義而言所定數)之假設性的頁面表。

具體而言，分別生成爲先頭位址 SA 和頁境界 PB1 間而成的 X 種之頁面表元件(第 1 之頁面表元件)、頁境界 PB1、PB4 間而成的 Y 種之頁面表元件(第 2 之頁面表元件)、頁境界 PB4 和中止位址 EA 間而成的 Z 種之頁面表元件(第 3 之頁面表元件)之 3 頁頁面表。

但是，傳送資料之先頭位址 SA 位於頁境界 PB1(第 K 之頁境界)上之時，無法生成 X 種之頁面表元件，成爲 2 頁之頁面表。再者，傳送資料之終止位址 EA 位於頁境界 PB4(第 L 之頁境界)上之時，無法生成 Z 種之頁面表，而成爲 2 頁之頁面表

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

。更且，傳送資料之先頭位址於頁境界PB0、PB1間，終止位址EA在頁境界PB0、PB1間或PB1上之時，SA、EA間生成X種之頁面表元件為1頁之頁面表。

再者，於本實施態樣中的圖10之有效負載分割電路250，於最大有效負載尺寸為頁境界尺寸的約數之有效負載尺寸之信息組中，分割傳送資料。即是，以圖13而言，最大有效負載尺寸MaxPLS進行將成頁境界尺寸之約數的信息組分割。

如此，若把最大有效負載尺寸MaxPLS變為頁境界尺寸PBS之約數的話，則如圖13之C1或C2所示，於頁境界PB2或PB3，信息組之有效負載似乎還無頁境界。因此，如本實施態樣即使生成PB1、PB4間之頁面表元件數為1之頁面表時，也會遵守不越過頁境界之限制而進行資料傳送。

3.2 傳送實行(流任務)控制電路

接著，針對傳送實行控制電路240之動作，用圖14加以說明。

首先，載入暫存器242之啟動元件號碼，於圖10之現行元件號碼之暫存器242(步驟S40)。然後，進行現行元件號碼之頁面表元件自RAM之HW用頁面表領域讀取之處理(步驟S41)。具體而言，就是傳送實行控制電路240把處理對象之頁面表元件之讀取向緩衝界面290指示。如此，緩衝界面290係把處理對象之頁面表元件自RAM之HW用頁面表領域讀取，把頁面表元件之程序段長寫入於暫存器232中，把部分抵銷位址寫入於暫存器234。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (20)

接著，對有效負載分割電路 250 指示有效負載分割處理之啓動(步驟 S42)。

其次，判斷現在之有效負載元件之處理是否完成(步驟 S43)，未完成時，返回步驟 S42。另一方面，完成之時，則判斷全部之頁面表元件處理是否完成(步驟 S44)，未完成時，現行元件號碼 + 1 後返回步驟 S41。

而且，全部之頁面表元件之處理是否完成，係以暫存器 226 之頁面表尺寸除以 8 而得到的元件數和現行元件號碼比較結果而判斷。

3.3 有效負載分割電路

接著，針對有效負載分割電路 250 之動作使用圖 5 加以說明。有效負載分割電路 250 係如圖 13 所示於有效負載之信息組進行分割傳送資料之處理。

首先收藏於圖 10 之暫存器之頁面表元件程序段長的殘留位元數，判斷是否成爲最大有效負載尺寸以上(步驟 S51)。然後，成爲殘留位元數最大有效負載尺寸以上之時，信息組知有效負載尺寸設定爲最大有效負載尺寸(步驟 S52)。一方面，如圖 13 之 C3 或 C4 所示，殘留位元成爲比最大有效負載尺寸小時，於殘留位元數設定信息組之有效負載尺寸(步驟 S53)。

有效負載設定後，向發送信頭生成電路 260 指示交易之實施處理啓動(發送信頭之生成)(步驟 S54)。然後，若依據自交易控制電路 270 得到的 Tcomp 而告知交易之完成，對於元件保持電路 230，指示收藏於暫存器 232、234 之頁面表元

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (2¹)

件之程序段長(殘留位元)、部分抵銷位址(先頭位址)之更新(步驟S55)。

接著，根據自主控制電路200得來的中止信號(Pause)，判斷是否中止處理(步驟S56)。即是，中止信號(Pause)成爲動作後中止處理。然後被中止之時，在中止信號(Pause)成爲非動作之條件下，復始處理(步驟S57)。

3.4 發送信頭生成電路、交易控制電路

接著，針對發送信頭生成電路260、交易控制電路270使用圖16加以說明。

首先，生成要求信息組，寫入(步驟S61)於HW用發送信頭領域(圖8之AR3)。具體而言即是如圖4之A3中於發送端發送資料之時，光要求(區域光要求)信息組之信頭寫入於HW用發送信頭領域。另一方面，如圖5之B1所示自發送端接收資料時，或讀取頁面表時，引導要求信息組之信頭寫入於HW用發送信頭領域。

接著，使傳送之啓動信號(HWStart)成爲動作指示傳送開始(步驟S62)，等待發送端來的ACK之接收(步驟S63)。

其次，發送信息組爲引導要求信息組之時，判斷是否待解決的(步驟S65)，ACK完成時，移動至步驟S72使成中止失誤狀態。另一方面，ACK待解決時，指示分離時間之啓動(步驟S66)，等待應答信息組之接收(步驟S67)。

之後，判斷應答信息組之接收是否爲最佳(步驟S68)，DEC之時，等待再次接收應答信息組，爲最佳之時，移動至步驟S69，而爲其他之時，移動至步驟S57使成中止失誤之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

狀態。然後，移動至步驟 S69 時，指示停止分離時間，使信號 Tcomp 成爲動作，更新傳動資料之指示器 (步驟 S70)。

另一方面，發送信息組爲光要求信息組之時，首先，判斷 ACK 是否待解決 (步驟 S71)。然後，ACK 待解決之時，移動至步驟 S66，ACK 完成時，移動至 S70，除此以外之時，移至步驟 S72 後，使成爲中止失誤之狀態。

而且，移動至步驟 S72 後，處理成爲中止失誤之時，以處理被重始之條件，移動至步驟 S62 (步驟 S73)。即是，此時再利用已寫入於 HW 用發送信頭領域之發送信頭，再次啓動傳送。

4. HW (硬體) 傳送和 FW (固件) 傳送之調停

若依據以上本實施態樣的話，如圖 4 之 A3 或圖 5 之 B1 所示的傳送處理依據固件自動實行。即是，固件若指示信息組之連續傳送之啓動 (寫入 1 於圖 10 之暫存器 202)，如此，SBP-2 核心 84 則依據頁面表之讀取或生成處理、有效負載分割處理、發送信頭之生成處理、各信息組之傳送啓動處理、失誤處理自動實行。自動傳送連串之信息組。依此，頁面表部分的傳送資料 (用 ORB 之引導指令或光指令指定尺寸的傳送資料)，爲分割成連串信息組後而自動傳送。然後，若全部之信息組傳送完成時，使用插入來告知固件。隨之，固件發行 HW 傳送啓動指令後，只等待連續信息組傳送完成即可。其結果，可減輕固件之處理負擔，大幅地提高資料傳送控制裝置之實際傳送速度。

而且，除了指示此些之連續信息組傳送 (HW 傳送) 之 HW

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (23)

傳送啓動指令以外，也有指示單一信息組之FW傳送啓動指令(第2啓動指令)由固件發行。例如，自對方節點傳送出來的要求信息組時，對應於該要求信息組之應答信息組有必要傳送至對方節點。此時，固件發行用以傳送該應答信息組的FW傳送啓動指令。然後，應答信息組係對方節點之分離時間爲超過時間之前，沒有執行傳送不行。隨之，固件係受取要求信息組之後，有必要儘早發行FW傳送啓動指令傳送應答信息組。

但是，若一旦啓動HW傳送(連續信息組傳送)時，則至全部之信息組之傳送完成止，其等待時間非常長。因此，等待HW傳送完成之期間，對方節點之分離時間爲時間中止等之不良狀況有可能產生。

在本實施態樣中，於HW傳送期間發行FW傳送啓動指令時，等待於HW傳送的一個交易(或者一個信息組傳送)完成後，進行許可FW傳送(藉由FW傳送啓動指令傳送信息組)之調停。

例如圖17中，以E1而言，依據發行HW傳送啓動指令，如E2所示啓動HW傳送。此時若如E3所示地發行FW傳送啓動指令時，則如E4所示地等待交易4完成後，藉由FW傳送進行一個信息組傳送。然後，FW傳送完成時，如E5所示再次啓動HW傳送。

所以，FW傳送可被插入至HW傳送之進行中，不用等待HW傳送完成，即可實行FW傳送。因此，可以防止如等待FW傳送時，對方節點之分離時間爲中止時間之不良狀況。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (24)

再者，如圖 17 之 E4 所示，因等待一個交易完成後，而進行 FW 傳送，所以，不會於 HW 傳送中產生失誤等之不良狀況。

而且，一個交易完成後，到開始下一個交易之期間，下層之環核心或 PHY 器件比 SBP-2 核心沒有被佔有。因此，於該期間若插入 FW 傳送處理的話，利用比 SBP-2 沒有被佔有之環核心或 PHY 器件，可成傳送信息組之良好狀況。

尚且，於上述中，針對等待一個交易(要求信息組和對應該於該要求信息組之應答信息組)完成後，即進行 FW 傳送之時，有做出說明，但是，也可等待一個信息組傳送完成後，即進行 FW 傳送。

4.1 調停電路之構成及動作

接著，針對本實施態樣之調停電路之構成及動作具體地說明。

於圖 18 中，係表示圖 7 之 DMAC40 之詳細構成例。

以圖 18 而言，DMAC40 係含有調停電路 400、存取要求發生電路 410、位址發生電路 420 和存取要求實行電路 430。

在此，調停電路 400 係執行 HW 傳送和 FW 傳送之電路。更具體而言，就是於 HW 傳送之實行中，發行 FW 傳送啟動指令時，等待於 HW 傳送中的一個交易(或者一個的信息組傳送)完成，依據 FW 傳送啟動指令進行許可信息組傳送之調停。

例如，CPU(固件)發行 HW 傳送啟動指令(第 1 之啟動指)，寫入 1 於暫存器 202，依據 SBP-2 核心 84(傳送實行電路)啟動 HW 傳送。然後，如圖 16 之步驟 S63 所示，SBP-2 核心 84 係

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (25)

於每要求各信息組(交易)之傳送開始時，HWStart(第1之啓動信)當作1。

另一方面，CPU發行FW傳送啓動指令(第2之啓動指令)，若寫入1於暫存器440時，FW傳送的開始則被要求，FWStart(第2之啓動信號)成爲動作。

然後，調停電路400係接受此些的HWStart、FWStart或自環核心來的Comp、NotComp、SelfID，進行調停處理。

存取要求發生電路410係接受自緩衝管理器70來的讀出承認信號之RACK或自FIFO30來的FULL，讀出要求之RREQ輸出至緩衝管理器70。

位址發生電路420係接受自調停電路400來的HWDMARun、RealGo、自緩衝管理器70來的RDATA等，發生RAM80之讀出位址的RADR。

存取要求實行電路430係接受自調停來的RealGo、自FIFO30來的EMPTY、自環核心來的各種控制信號，進行實行存取要求之處理。

於圖19A、圖19B、圖20中係表示調停電路400之狀態遷移圖。

以圖19A而言，於狀態S00中呈HWRequested=0。然後，該狀態中，若HWStart=1而且SelfID(自我識別期間信號)=0時，則以下一個時鐘移至狀態S01，即HWRequested=1。

再者，以圖19B而言，於狀態S10中呈FWRequested=0。然後，該狀態中，若FWStart=1而且SelfID(自我識別期間信號)=0時，則以下一個時鐘移至狀態S11，即FWRequested=1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

。即是，若不是在自我識別期間中時，成為FWStart=1時，則為指示要求FW傳送之信號的FWRequested成為1。

以圖20而言，於狀態S20中，HWGo、HWDMARun、FWDMARun、HWComp、FWComp、HWNotComp、FWNotComp成為0。

於狀態S20中，HWRequested=1(圖19A之狀態S01)而且若FWRequested=0時，則以下一個時鐘移至狀態S21，HW傳送被啟動之信號呈HWGo=1。然後，以下一個時鐘使HWGo=0、HWDMARun=1(狀態S22)。

接著，若自環核心來的傳送完成信號之Comp=1時，則以下一個時鐘使HWGomp=1、HWDMARun=0(狀態S23)。另一方面，若傳送沒有正確地完成指示信號呈NotComp=1時，則以下一個時鐘使HWNotComp=1、HWDMARun=1(狀態S24)。

另一方面，於狀態於狀態S20中，若HWRequested=1(圖19B之狀態S11)，則以下一個時鐘移至狀態S25，FW傳送被啟動之信號呈HWGo=1。然後，以下一個時鐘使HWGo=0、HWDMARun=1(狀態S26)。

接著，Comp=1時，則以下一個時鐘使HWGomp=1、HWDMARun=0(狀態S27)。另一方面，若呈NotComp=1時，則以下一個時鐘使HWNotComp=1、HWDMARun=1(狀態S28)。

接著，用圖21、圖22、圖23之時間波形圖說明調停電路400之動作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

圖 21 係 HWStart(第 1 啓動信號)比 FWStart(第 2 啓動信號)先成爲動作時的時間波形圖。

圖 21 之 F1 中所示地自 SBP-2 核心來的 HWStart 成爲 1 時，如 F2 所示 HWRequested=19(圖 19A 之狀態 S01)。結果，如 F3 所示 HWGo=1(圖 20 之狀態 S21)，F4 所示對位址發生電路 420、存取要求實行電路 430 輸出的 RealGo=1。因此，藉由位址發生電路 420、存取要求實行電路 430 開始 HW 傳送處理。

若 HWGo=1 時，如 F5 所示，對位址發生電路 420 輸出的 HWDMARun=1(狀態 S22)。然後，交易(信息組傳送)完成，F6 所示的自環核心來的完成信號 Comp=1 時，則成 F7、F8 所示 HWComp=1、HWDMARun=0(狀態 S23)。然後，如 F9 所示返回 HWRequested=0(圖 19A 之狀態 S00)。

另一方面，於 HW 傳送中發行 FW 傳送啓動指令時，即是，如 F10 所示於 HWStart=1 後 Comp=1 前 FWStart=1 時，如 F11 所示 FWRequested=1(圖 19B 之狀態 S11)。但是，此時如 F12 所示，不直接成爲 FWGo=1。然後，如 F7 所示 HWComp=1 後，則成爲 F13 所示 FWGo=1(狀態 S25)、F14 所示 RealGo=1。

若 FWGo=1 時，如 F16 所示，對暫存器 440(暫存器 46)輸出的 FWDMARun=1。因此，返回 FWDMARun=0 止，依據 CPU 屏蔽對暫存器 440 的寫入。

然後，若如 F17 所示完成信號爲 Comp=1 時，則如 F18、F19 所示成爲 FWComp=1、FWDMARun=0(狀態 S27)。接著，如 F20 所示返回 FWRequested=0(圖 19B 之狀態 S10)。然後，如 F21 所示再次啓動 HW 傳送。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (28)

如以上所示之本實施態樣中，成爲HWStart=1後成爲FWStart=1時，先啓動HW傳送，於HW傳送中的一個交易完成後，啓動FW傳送。然後，FW傳送完成後，再次啓動HW傳送。

圖 22 係 HWStart 和 HWStart 同時成爲動作時的時間波形圖。

如圖 22 之 G1、G2 所示 HWStart 和 HWStart 同時成爲 1 時，如 G3 所示優先 FW 傳送。這些於圖 20 之狀態 S20、S21 中明顯地記載著，又如圖 22 之 G4 所示 FWRequested=1 時，HWRequested 不依存 0 或 1，成爲 FWGo=1。然後，如 G5 所示於 FW 傳送完成後，如 G6 所示啓動 HW 傳送。

如以上之本實施態樣中，HWStart 和 HWStart 同時成爲 1 時，優先啓動 FW 傳送。如此，對於自對方節點來的要求信息組可直接返回應答信息組。

圖 23 係 FWStart 比 HWStart 先成爲動作時之時間波形圖。

如圖 22 之 H1、H2 所示 FWStart 比 HWStart 先成爲 1 時，首先，如 H3 所示優先 FW 傳送。然後，如 H4 所示依據 FW 傳送一個信息組完成後，如 H5 所示啓動 HW 傳送。

如以上之本實施態樣中，FWStart=1 成爲後 HWStart=1 成爲時，優先啓動 FW 傳送，於 FW 傳送完成後，啓動 HW 傳送。如此，對於自對方節點來的要求信息組可直接返回應答信息組。

4.2 HW 用信頭領域、一般訊頭領域間之位址切換

於本實施態樣中，信頭領域(控制情報領域)分離爲如圖

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (29)

8之AR2、AR3所示由SBP-2核心寫入信頭(控制情報)之HW用信頭領域(第2之控制情報領域)，和AR4、AR6中所示由固件或環核心寫入信頭之一般信頭領域(第1之控制情報領域)。

如此，於SBP-2核心設置專用的HW用信頭領域，SBP-2核心係可以把連續生成的信頭寫入於HW用信頭領域。因此，SBP-2核心之處理或電路可為簡化。即是，HW用信頭領域和一般之信頭領域若沒被分離的話，則SBP-2核心生成的信頭和除此之外的信頭於信頭領域中混在一起。如此，信頭之寫入時的位址控制為複雜，產生需增大SBP-2核心之電路規模問題。如本實施態樣，於SBP-2核心設置HW用信頭領域的話，可解決此問題，同時達到SBP-2核心電路之小規模化。

然後，於本實施態樣中，圖10之位址發生電路420為根據調停電路400得到之調停結果的信號HWDMARun，切換發生HW信頭領域和一般的信頭領域中的任一位址。

更具體而言，即是例如圖24中所示，HWDMARun=1時(HW傳送時)，指示器PTR設定於HW用發送信頭領域(AR3)。然後，以更新指示器PTR，由SBP-2核心發生被生成的發送信頭之寫入位址。

另一方面，HWDMARun=0時(不HW傳送時)，指示器PTR設定於發送信頭領域(AR6)，切換指示器PTR。然後，以更新指示器PTR，由固件等發生生成的發送信頭之寫入位址。

如以上所述之本實施態樣中，只利用自調停電路400來的信號HWDMARun之簡易手法，使HW用信頭領域和一般信

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (30)

頭領域間之位址切換可成功。所以，如此之位址切換，對於SBP-2核心專用之HW用信頭，成為SBP-2核心可連續寫入生成的信頭。該結果，被連續傳送之連串信息組的信頭容易藉由硬體生成。

5. 資料領域之分離 (對ORB領域和流領域之分離)

於本實施態樣中，把圖7之RAM80(信息組記憶手段)如圖8所示分離為信頭領域(AR2、AR3、AR4、AR6)和資料領域(AR5、AR7、AR8、AR9)，同時把資料領域分離為ORB領域(AR5、AR7)和流領域(AR8、AR9)。

即是，RAM分離為信頭領域和資料領域，固件可從信頭領域連續讀出信頭，連續寫入信頭於信頭領域中。因此，有可以減輕一些固件之處理負擔之利點。但是，從資料傳送高速化之觀點來看，可知光是分離信頭領域和資料領域並不十分充分。

例如圖25A中，信息組分離為信頭和資料，信頭1、2、3收藏於信頭領域中、資料1、2、3收藏於資料領域中。

在此，資料係如上述有SBP-2(第1之層)用的ORB(第1之資料)，和為上層之應用層(第2之層)用的流。因此，RAM只分離信頭領域和資料領域的話，如圖25A之D1、D2、D3所示，成為ORB和流混在於資料領域中。

因此，例如自RAM傳送流於應用層之器件時，需要下列之處理。即，首先，資料指示器設定於D1之位置讀出流11、12、13，接著資料指示器變更至D2的位置讀出流21、22、23。之後，資料指示器變更至D3之位置讀出流31、32

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

五、發明說明 (31)

、33。

如此，單是把RAM分離為信頭領域和資料領域，對應用層之器件傳送流時，需要繁雜地切換控制資料指示器之位置，而引來處理之複雜化獲大規模等事態。再者，因不能自資料領域連續讀取流，所以無法提升資料傳送控制裝置之實際傳送速度。

另一方面，於圖25中，資料領域分離為ORB領域和流領域。如此的話，固件可自ORB領域連續讀出ORB1、2、3。再者，利用前述之SBP-2核心84之機能不用介於固件之間可自RAM之流領域連續讀出流11~33，而且將可向應用層之器件傳送。即是，如圖26所示，對方節點123(例如個人電腦)和應用層之器件(例如印表機之進行印字處理的器件)之間，沒有夾雜固件(CPU)66，即可高速地傳送流(例如印字資料)。該結果和圖25A相比，可顯著地減輕固件之處理負擔，同時資料傳送可飛躍地進入高速化。

而且，不僅資料傳送控制裝置120接收流時，發送流時也把資料領域分離為發送ORB領域(圖8之AR7)和發送流領域(AR8)，以達到資料傳送之高速化。即是，如圖26之方向DR1中所示，不僅自對方節點123傳送流至應用層之器件124(自節點)時，於如DR2中所示的自應用層之器件124傳送流至對方節點123之時也可以，而達到資料傳送之高速化。

6. 利用交易標籤的寫入領域之切換

於IEEE1394中，作為用以識別各交易之情報而言，係使用被稱為交易標籤t1者。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (32)

即是，交易之要求節點係把於要求信息組含有的交易標籤 t1，發送至應答節點。然後，接收到該要求信息組之應答節點係把於應答節點含有的和上述一樣的 t1，返送到要求節點。要求節點搜查返送回之應答信息組中含有之 t1，其中之應答信息組係可確認對應於本身要求的交易之應答。

交易標籤 t1 若與應答節點之關係為獨特的話，那就相當充分了。更具體而言，例如要求節點 ND1 對應答節點 ND2 發行 t1=TN1 之交易時，該交易為完成之間，要求節點 ND1 對應答節點 ND2，無法發行添加了 t1=TN1 之其他交易。即是，各交易由交易標籤 t1、來源 ID、目的地 ID 獨特地被特定。相反的說，則交易標籤 t1 係限於遵守上述之制約，可使用任何值，其他之節點係任何 t1 也無法接受。

要求節點發送要求信息組，等待應答信息組的返送時，於應答信息組返送回來時候執行的處理，也有已經決定之情形。本實施態樣係著眼於上述之交易標籤 t1 之性質，採用下述之手法。

即是，如圖 27 所示，對於啓動交易之要求信息組發送至應答節點時，要求信息組中含有的交易標籤 t1 (廣義而言即交易識別情報) 之中，含有於應答信息組之返送時指示應進行處理之指示情報。然後，自應答節點接收應答信息組時，按照 t1 中含有的指示情報實行處理。

如此的話，當應答信息組返送回來時，與固件無關，可根據 t1 中含有之指示情報藉由 SBP-2 核心 84 等之硬體而實

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (33)

行處理。因此，可減輕固件之處理負擔，同時，可達到資料傳送之高速化。

更具體而言，即是，本實施態樣中，由應答節點接收應答信息組時，於依據 t1 中含有之指示情報而被指示的領域中，收藏有該應答信息組。

即是，如圖 27 所示的交易標籤 t1 之位元 5、4，作為代表指示情報之位元需事先做好預約。

然後，返送回來的應答信息組寫入於 HW(硬體)用領域時，要求信息組之 t1 之位元 5 設定為 0，發送至應答節點。另一方面，返送回之應答信息組寫入於 FW(固件)用領域中之時，要求信息組織 t1 之位元 5 設定為 0，發送至應答節點。

再者，返送回之應答信息組寫入於流領域時，要求信息組織 t1 之位元 4 設定為 1，發送至應答節點。另一方面，返送回之應答信息組寫入於 ORB 領域時，要求信息組之 T1 之位元 4 設定為 0，發送至應答節點。

如此的話，當應答信息組返送回之時，如圖 28 所示，應答信息組之信頭、資料被寫入於 RAM 之各領域之中。

即是， $t1=1 \times \times \times \times$ (\times 為自由之意) 時，應答信息組之信頭、資料係寫入於 RAM 之各領域中， $t1=0 \times \times \times \times$ 時，寫入於 FW 用接收信頭領域中。

再者， $t1=11 \times \times \times \times$ 時，應答信息組係寫入於 HW 用接收流領域中， $t1=10 \times \times \times \times$ 時，則寫入於 HW 用頁面表領域之中。再者， $t1=01 \times \times \times \times$ 時，應答信息組織資料係寫入於 FW 用接收流領域之中， $t1=00 \times \times \times \times$ 時，則寫入於 FW

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (34)

用接收ORB領域中。

如此，不介於固件，可由應答信息組之信頭、資料自動地寫入於RAM之各領域中。然而，進行把應答信息組寫入於RAM之處理的硬體構成可簡化，達到資料傳送控制裝置之小規模化。

再者，如圖25B之說明，因可成為自動的把信息組寫入於信頭領域、ORB寫入於ORB領域、流寫入流領域中，所以可達到硬體處理的簡化及資料傳送之高速化。

6. 電子機器

接著，針對含有本實施態樣之資料傳送控制裝置之電子機器之例說明。

例如圖29A所示為電子機器之一的印表機之內部方塊圖，圖30A為其外觀圖。CPU(微電腦)510為執行全體系統之控制等。操作部511為讓使用者操作印表機之部分。ROM516中收藏有控制程式、文字圖形等，RAM518作為CPU510之作業領域而發揮機能。顯示面板519為將印表機之動作狀態告知使用者。

PHY裝置502介於資料傳送控制裝置500，個人電腦等之其他節點傳來的印字資料係經過匯流排504直接送至印字處理部512。然後，印字資料係經印字處理部512加以實施處理，依據由印表機信頭等形成之印字部(輸出資料用之裝置)514於紙上印字後，輸出此紙。

圖29B所示為電子機器之一的掃描器之內部方塊圖，圖30B為其外觀圖。CPU520為執行全體系統之控制等。操作部

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (35)

521為讓使用者操作掃描器之部分。ROM526中收藏有控制程式，RAM528作為CPU520之作業領域而發揮機能。

依據由光源、光電變換器等而成之畫像讀取部(讀取資料用之裝置)522讀取原稿之畫像，讀取後之畫像之資料係藉由畫像處理部524處理。然後，處理後之畫像經過匯流排505直接送至資料傳送控制裝置500。資料傳送控制裝置500係用該添加信頭等於該畫像資料中，而生成信息組，經過PHY裝置502發送至個人電腦等之其他的節點。

圖29C所示為電子機器之一的CD-RW驅動器之內部方塊圖，圖30C為其外觀圖。CPU530為執行全體系統之控制等。操作部531為讓使用者操作CD-RW之部分。ROM536中收藏有控制程式，RAM538作為CPU530之作業領域而發揮機能。

依據由雷射、驅動器、光學元件等而成的讀取&寫入部(讀取、記憶資料用之裝置)533讀取自CD-RW532傳出的資料，輸入於信號處理部534，施行錯誤訂正等的所給予之信號處理。然後，被施行信號處理之資料經過匯流排506直接傳送至控制裝置500。資料傳送控制裝置500係用添加信頭等於該資料中，而生成信息組，經過PHY裝置502發送至個人電腦等之其他的節點。

另一方面，PHY裝置502介於個人電腦資料傳送裝置500，自其他之節點傳來的資料經過匯流排506直接傳送至信號至信號處理部534，然後依據信號處理部534施行該資料所給予之信號處理，依據讀取部&寫入部533記憶CD-RW532。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (36)

而且，以圖 29A、圖 29B、圖 29C 而言，除了 CPU510、520、530 以外，也可以另外設置資料傳送裝置 500 中用以資料傳送控制的 CPU。

再者，圖 29A、圖 29B、圖 29C 中 RAM501 (相當於圖 7 之 RAM80) 設置於資料傳送控制裝置 500 之外部，RAM501 也可以內藏於資料控制裝置 500。

本實施態樣之資料傳送控制裝置於電子機器中使用，可高速傳送資料。因此，使用者藉由個人電腦等執行列印時，可以較少推移時間而完成印字。再者，對掃描器指示畫像取入之後，用較少推移時間可讀取畫像使使用者觀看，或對 CD-RW 的寫入可高速地進行。並且，例如一個主系統可成為容易地使用接續多數電子機器、接續多數之主系統之電子機器。

再者，本實施態樣之資料傳送控制裝置於電子機器中使用，可減輕於 CPU 上動作的固件之處理負擔，而可使用低價之 CPU 或低速之匯流排。而且，也可達到資料傳送控制裝置之低價化、小規模化之目的。

並且，以可適用本實施態樣之資料傳送控制裝置而言，上述之例以外也有各種光碟驅動器 (CD-ROM、DVD)、光磁碟驅動器 (MO)、硬碟驅動器、TV、VTR、影像顯示攝影機、音響機器、電話機、投影機、個人電腦、電子記事本、字處理機等。而且，本發明不限於本實施態樣，在本發明之要旨範圍內可變化各種實施。

例如，本發明之資料傳送控制裝置之構成係希望如圖 7

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

所示之構成，但並不限定於此。

再者，傳送實行電路(SBP-2核心)之構成如圖10所示為最佳，但並不限定於此，至少處理手段(固件)發行第之啟動指令(HW啟動指令)時，傳送資料分割為連串之信息組，若有用以連續傳送之電路即可。例如傳送實行電路係含有頁面表讀取電路、頁面表生成電路、有效負載分割電路、傳送實行電路、發送信頭生成電路(控制情報生成電路)等之電路區為最佳，但是，沒有含有此些電路區之一部分而構成也可以。

再者，調停電路之調停手法也於圖21、圖22、圖23等中說明之手法為最佳，但並不限於此。

再者，信息組之分離手法、信息組記憶手段之對各領域的信息組寫入手法、讀出手法也不限於於圖8、圖25B之說明。

再者，第1之資料係交易層用的資料、第2之資料係應用層用的資料為最佳，但本發明之第1、第2之資料並不限定於此。

再者，本發明係特別希望適用於IEEE1394規格中之資料傳送，但並非限定於此。例如根據和IEEE1394同樣之思想之規格或於IEEE1394發展出之規格，也可適用於本發明。

【圖面之簡單說明】

第1圖係針對IEEE1394之層構造之示圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (38)

第 2 圖係用以說明 SBP-2 之示圖。

第 3 圖係用以說明 SBP-2 之資料傳送之概略之示圖。

第 4 圖係用以說明資料(流)由發送端傳送至標的之時的指令處理之示圖。

第 5 圖係用以說明資料(流)由發送端傳送至標的之時的指令處理之示圖。

第 6 圖 A、第 6 圖 B、第 6 圖 C 係用以說明頁面表之示圖。

第 7 圖係表示本實施態樣之資料傳送控制裝置之構成例之示圖。

第 8 圖係用以說明 RAM(信息組記憶手段)之分離(分割)手法之示圖。

第 9 圖係用以說明本實施態樣之資料傳送之手法之示圖。

。

第 10 圖係表示 SBP-2 核心(傳送實行電路)之構成例之示圖。

第 11 圖係用以說明主控制電路之動作之流程圖。

第 12 圖係用以說明頁面表之生成手法之示圖。

第 13 圖係用以說明信息組之有效負載分割手法之示圖。

。

第 14 圖係用以說明傳送實行控制電路之動作之流程圖。

。

第 15 圖係用以說明有效負載分割電路之動作之流程圖。

。

第 16 圖係用以說明發送生成電路、交易控制電路之動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (39)

作之流程圖。

第 17 圖係用以說明 HW 傳送、FW 傳送之調停手法之示圖。

第 18 圖係表示含有本實施態樣之調停電路 DMAC 之構成例之示圖。

第 19 圖 A、第 19 圖 B 係用以說明調停電路動作之狀態遷移圖。

第 20 圖係用以說明調停電路動作之狀態遷移圖。

第 21 圖係 FWStart 比 HWStart 先成為動作時之時間波形圖。

第 22 圖係 FWStart 與 HWStart 同時成為動作時之時間波形圖。

第 23 圖係 HWStart 比 FWStart 先成為動作時之時間波形圖。

第 24 圖係用以說明根據由調停電路得到的 HWDMA Run，切換發生 HW 用信頭領域位址或一般狀況下之信頭領域位址之任一位址，其手法之示圖。

第 25 圖 A、第 25 圖 B 係用以說明把資料領域分離為 ORB 領域和流領域，其手法之示圖。

第 26 圖係表示對方節點和應用層裝置之間的流傳送之情況示圖。

第 27 圖 A、第 27 圖 B 係用以說明交易標籤之示圖。

第 28 圖係用以說明利用交易標籤，把信息組的信頭、資料 (ORB、流) 寫入於 RAM 之各領域的手法之示圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (40)

第 29 圖 A、第 29 圖 B、第 29 圖 C 係各種之電子機器內部之方塊圖。

第 30 圖 A、第 30 圖 B、第 30 圖 C 係各種之電子機器之外觀圖。

【圖號說明】

- | | |
|----|------------|
| 10 | PHY 界面 |
| 20 | 環核心 |
| 22 | 暫存器 |
| 30 | FIFO(ATF) |
| 32 | FIFO(ITF) |
| 34 | FIFO(RF) |
| 40 | DMAC(ATF用) |
| 42 | DMAC(ITF用) |
| 44 | DMAC(RF用) |
| 46 | 暫存器 |
| 50 | 出入埠界面 |
| 52 | FIFO(PF) |
| 54 | DMAC(PF用) |
| 56 | 暫存器 |
| 60 | CPU 界面 |
| 62 | 位址解碼器 |
| 63 | 資料同步化電路 |
| 64 | 插入控制器 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (41)

- 65 要因暫存器
- 66 CPU
- 68 時鐘控制電路
- 70 緩衝管理器
- 72 暫存器
- 74 調停電路
- 76 定序器
- 80 RAM(信息組記憶手段)
- 84 SBP-2核心(傳送實行電路)
- 86 DAMAC(SBP-2用)
- 90、92、94 匯流排(第1之匯流排)
- 95、96 匯流排(第2之匯流排)
- 99 匯流排(第5之匯流排)
- 100、102、104、105、106、107、108、109
匯流排(第3之匯流排)
- 110 匯流排(第4之匯流排)
- 120 資料傳送控制裝置
- 122 PHY器件
- 123 對方節點
- 124 應用層之器件
- 200 主控制電路
- 202、204、206、208 暫存器
- 210 頁面表讀取電路
- 220 頁面表生成電路

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (42)

222、224、226 暫存器

228 元件計數器

230 元件保持電路

232、234 暫存器

240 傳送實行(流任務)

242、244 暫存器

250 有效負載分割電路

252、254 暫存器

260 發送信頭生成電路

270 交易控制電路

280 分離時間

290 緩衝界面

400 調停電路

410 存取要求發生電路

420 位址發生電路

430 存取要求實行電路

440 暫存器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：資料傳送控制裝置及電子機器)

減輕固件處理之架空，以提供可以實現小規模之硬體且高速傳送資料之控制裝置、電子機器為目的。就IEEE1394規格之資料傳送裝置而言，依據SBP-2核心發行連續信息組時，調停電路係等待於連續信息組傳送中的一個交易(或者一個信息組傳送)的完成，而允許FW傳送。Hwstart和FWStart同時成為動作之時，優先FW傳送。RAM之信頭領域被分離為一般狀況下之信頭領域和HW用信頭領域，位址發生電路根據自調停電路來的HWDMARun，切換發生一般狀況下之信頭領域位址或HW用信頭領域位址之任一位置。RAM之資料領域被分離為ORB領域和SBP-2核心用的流領域。

英文發明摘要 (發明之名稱：)

(請先閱讀背面的注意事項再填寫本頁各欄)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

90年7月2日修正/更正/補充

六、申請專利範圍

第89121401號專利申請案

中文申請專利範圍修正本

90年7月2日
修正
補充

民國90年6月修正

1. 一種資料傳送控制裝置，係屬於接連於匯流排之多數節點間之用以資料傳送的資料傳送控制裝置，其特徵為：具有發行藉由硬體指示連續信息組傳送之第1啟動指令之處理手段為之時，將傳送資料分割為連串信息組，實行連續傳送被分割後之連串信息組處理之傳送實行電路、

及依據上述傳送實行電路實行連續信息組傳送處理間，發行指示信息組傳送之第2啟動指令之處理手段時，等待連續信息組中的一個交易或者一個信息組傳送完成後，依據上述第2之啟動指令允許信息組傳送之調停電路。

2. 如申請範圍第1項之資料傳送控制裝置，其中上述傳送實行電路是至少含有下述中之一個特徵：對方節點之記憶手段中存有頁面表之時，該頁面表由對方節點讀取之頁面表讀取電路、

及於對方節點之記憶手段中不存有頁面表之時，根據頁境界生成假設之頁面表之頁面表生成電路、

及於有效負載尺寸之信息組中分割傳送資料之有效負載分割電路、

及控制資料傳送之實行之傳送資料實行控制電路、

及生成發送至對方節點之要求信息組之控制情報之控制情報生成電路。

3. 如申請範圍第1項之資料傳送控制裝置，其中上述調

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

修正
補充

六、申請專利範圍

停電路為接受依據上述傳送實行電路於傳送開始要求時將成為動作之第1啟動信號、依據上述第2之啟動指令於傳送開始要求時將成為動作第2啟動信號、及傳送完成時將成為動作之完成信號，於上述第1啟動信號成為動作後上述第2啟動指令也成為動作時，藉由上述第1啟動信號先啟動傳送處理，於上述完成信號成為動作後，依據上述第2啟動信號啟動傳送處理。

4. 如申請範圍第1項之資料傳送控制裝置，其中上述調停電路為接受依據上述傳送實行電路於傳送開始要求時將成為動作之第1啟動信號、依據上述第2之啟動指令於傳送開始要求時將成為動作之第2啟動信號、及傳送完成時將成為動作之完成信號，於上述第1、第2啟動信號同時成為動作時，藉由上述第2啟動信號優先傳送處理。

5. 如申請範圍第1項之資料傳送控制裝置，其中上述調停電路為接受依據上述傳送實行電路於傳送開始要求時將成為動作之第1啟動信號、依據上述第2之啟動指令於傳送開始要求時將成為動作第2啟動信號、及傳送完成時將成為動作之完成信號，於上述第2啟動信號成為動作後上述第1啟動指令也成為動作之時，依據上述第2啟動信號先啟動傳送處理，於上述完成信號成為動作後，藉由上述第1啟動信號啟動傳送處理。

6. 如申請範圍第1項之資料傳送控制裝置，其中復具有：
：擁有收藏信息組之控制情報之控制情報領域、收藏信息組資料之資料領域的可隨機抽取存取之信息組記憶手段、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

90年7月2日 修正
補充

發生對上述信息組記憶手段寫入位址之位址發生電路

上述信息組記憶手段之上述控制情報領域為分離成第1控制情報領域和依據上述傳送實行電路寫入控制情報之第2控制情報領域、

上述位址發生電路為根據上述調停電路得到之調停結果，切換發生第1控制情報領域位址和第2控制情報領域位址之任一位址。

7. 如申請範圍第1項之資料傳送控制裝置，其中復具有：擁有收藏信息組之控制情報之控制情報領域和收藏信息組資料之資料領域的可隨機抽取存取之信息組記憶手段、

上述信息組記憶手段之上述資料領域為分離成收藏第1層用的第1資料之第1資料領域和依據上述傳送實行電路收藏以連續信息組傳送為對象之第2層用的第2資料領域。

8. 如申請範圍第7項之資料傳送控制裝置，其中復具有：對於啓動交易之要求信息組發送至對方節點時，於上述要求信息組含有之交易識別情報中，自對方節點接收應答信息組時用以指示進行處理的指示情報、

自對方節點接收應答信息組之時，根據含有應答信息組之交易識別情報之上述指示情報，把應答信息組之控制情報、第1、第2資料個別寫入於上述控制上述控制情報領域、上述第1、第2資料領域。

9. 如申請範圍第1項之資料傳送控制裝置，其中復具有：依據IEEE1394之規格實行資料傳送。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

90年7月2日修正補充

10. 一種電子機器，其特徵為：具有申請範圍第1項至第9項中之任一項之資料傳送控制裝置、

及對於經過上述資料傳送控制裝置及匯流排由其他之節點接收到之資料，施予給定的處理之裝置、

及用以輸出或記憶施予處理後的資料之裝置。

11. 一種電子機器，其特徵為：具有申請範圍第1項至第9項之任一項之資料傳送控制裝置、

及對於經過上述資料傳送控制裝置和匯流排傳送至其他節點之資料，施予給定的處理之裝置、

及用以收入將被施予處理的資料之裝置。

(請先閱讀背面之注意事項再填寫本頁)

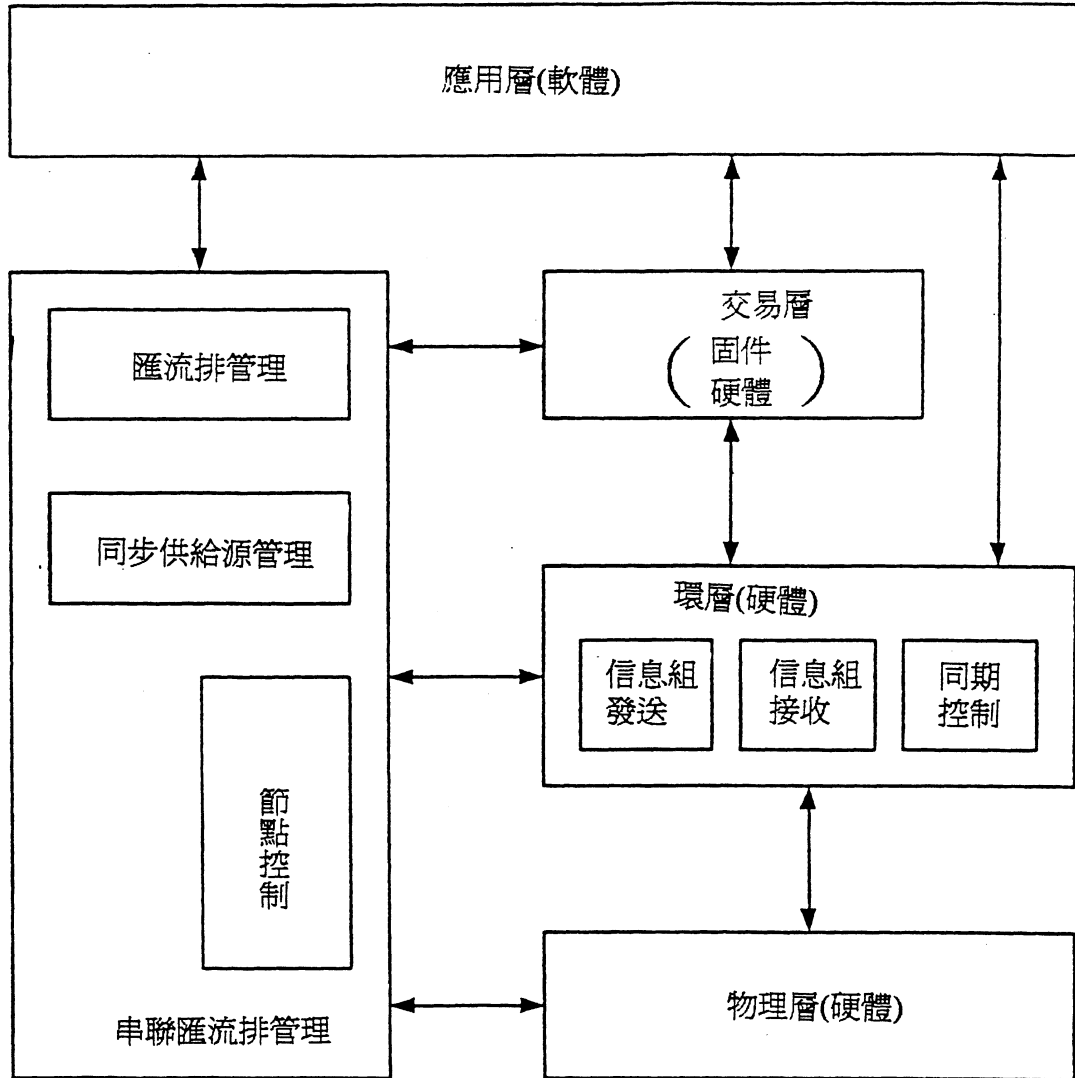
裝

訂

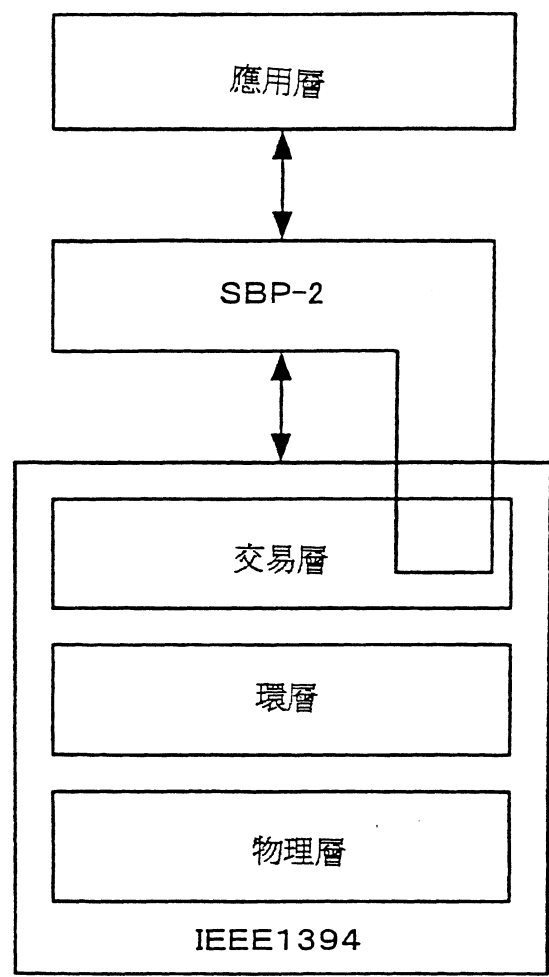
線

89121421

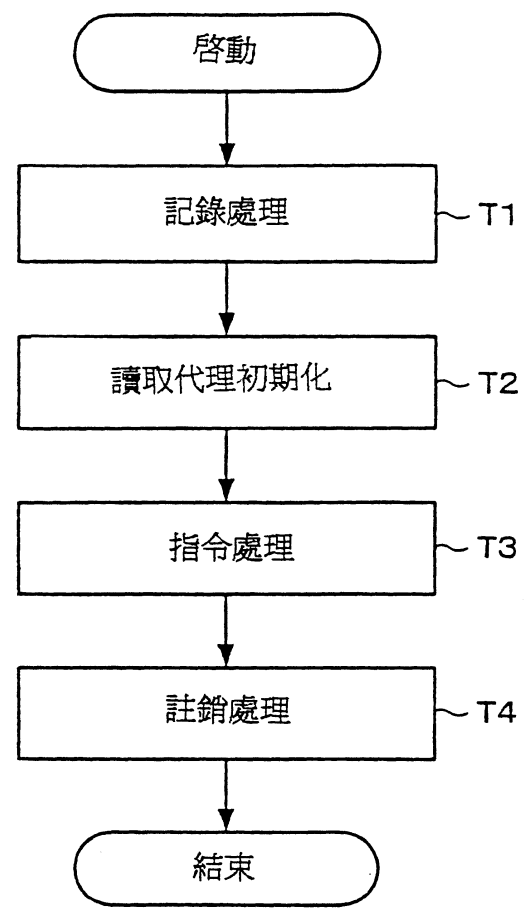
第 1 圖



第 2 圖



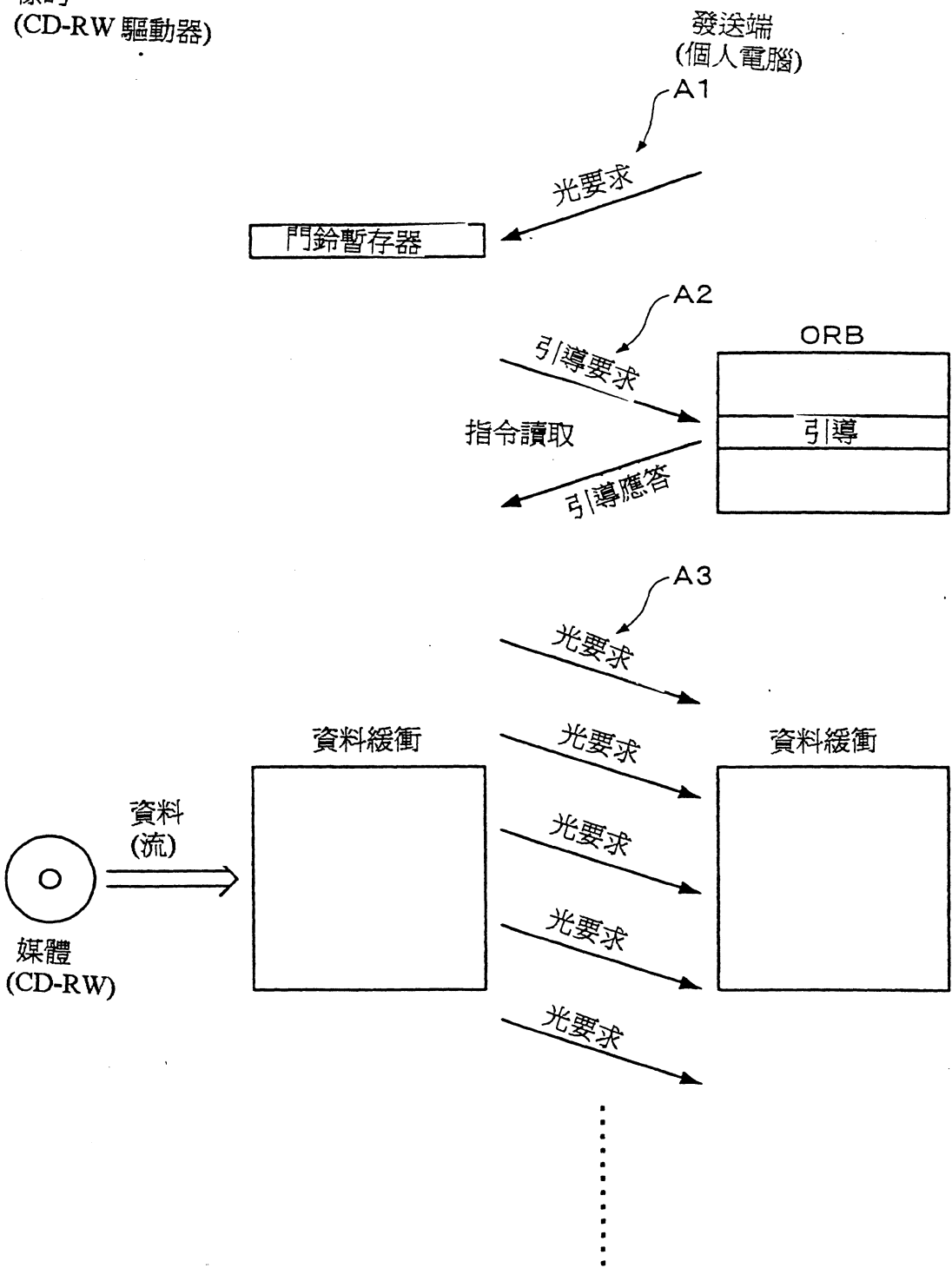
第 3 圖



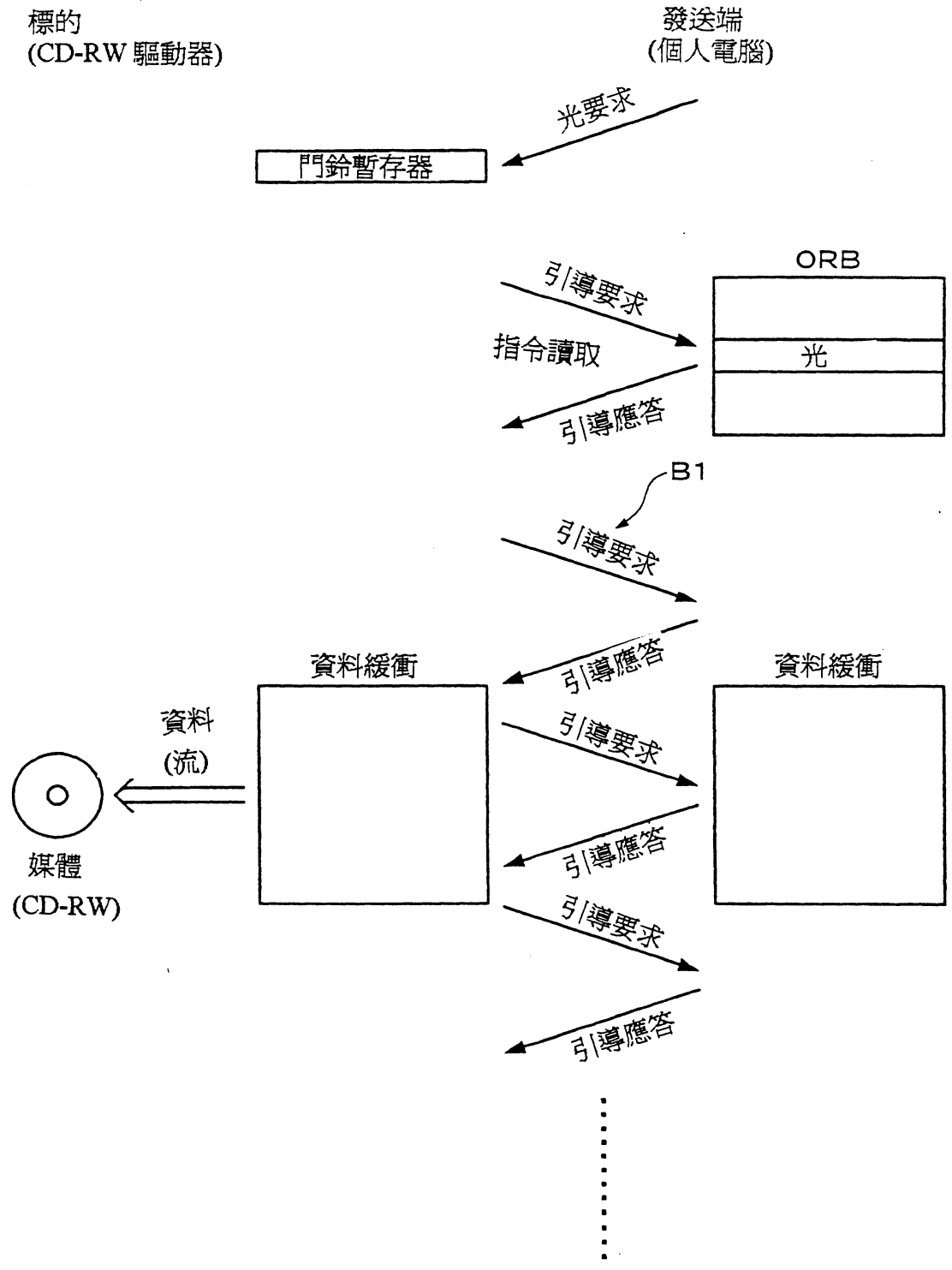
第 4 圖

標的
(CD-RW 驅動器)

發送端
(個人電腦)



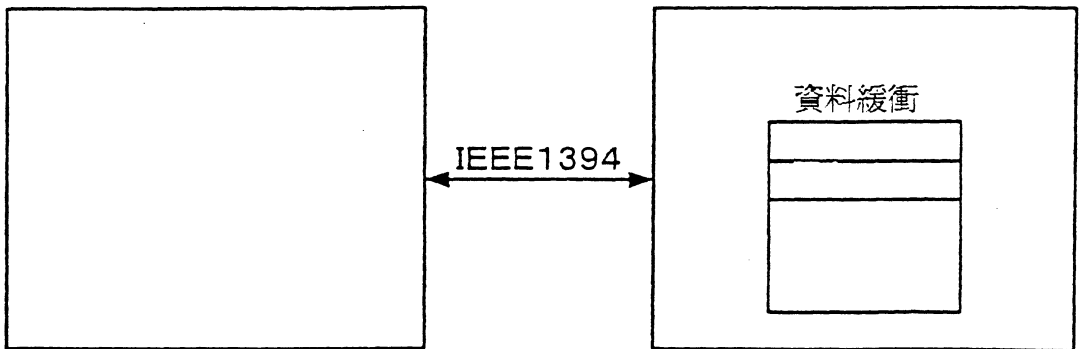
第 5 圖



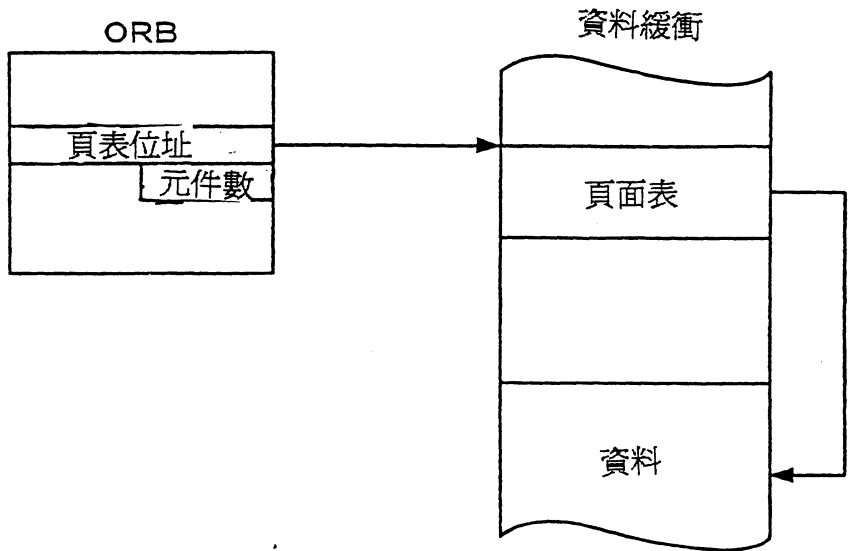
第 6 圖

(A) 標的(自節點)

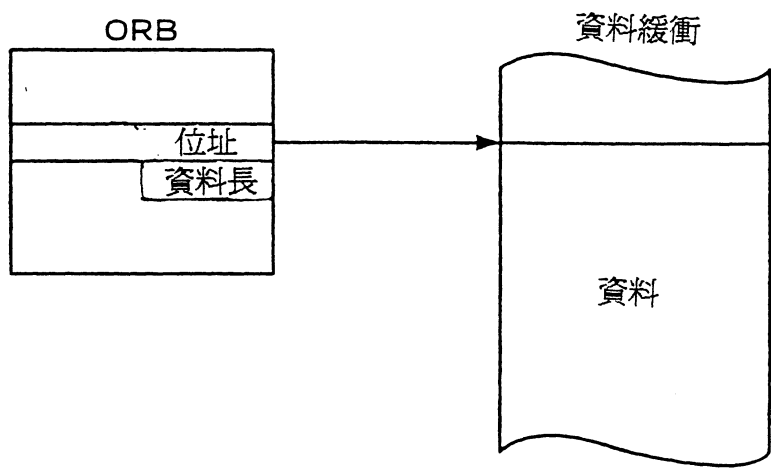
發送端(對方節點)



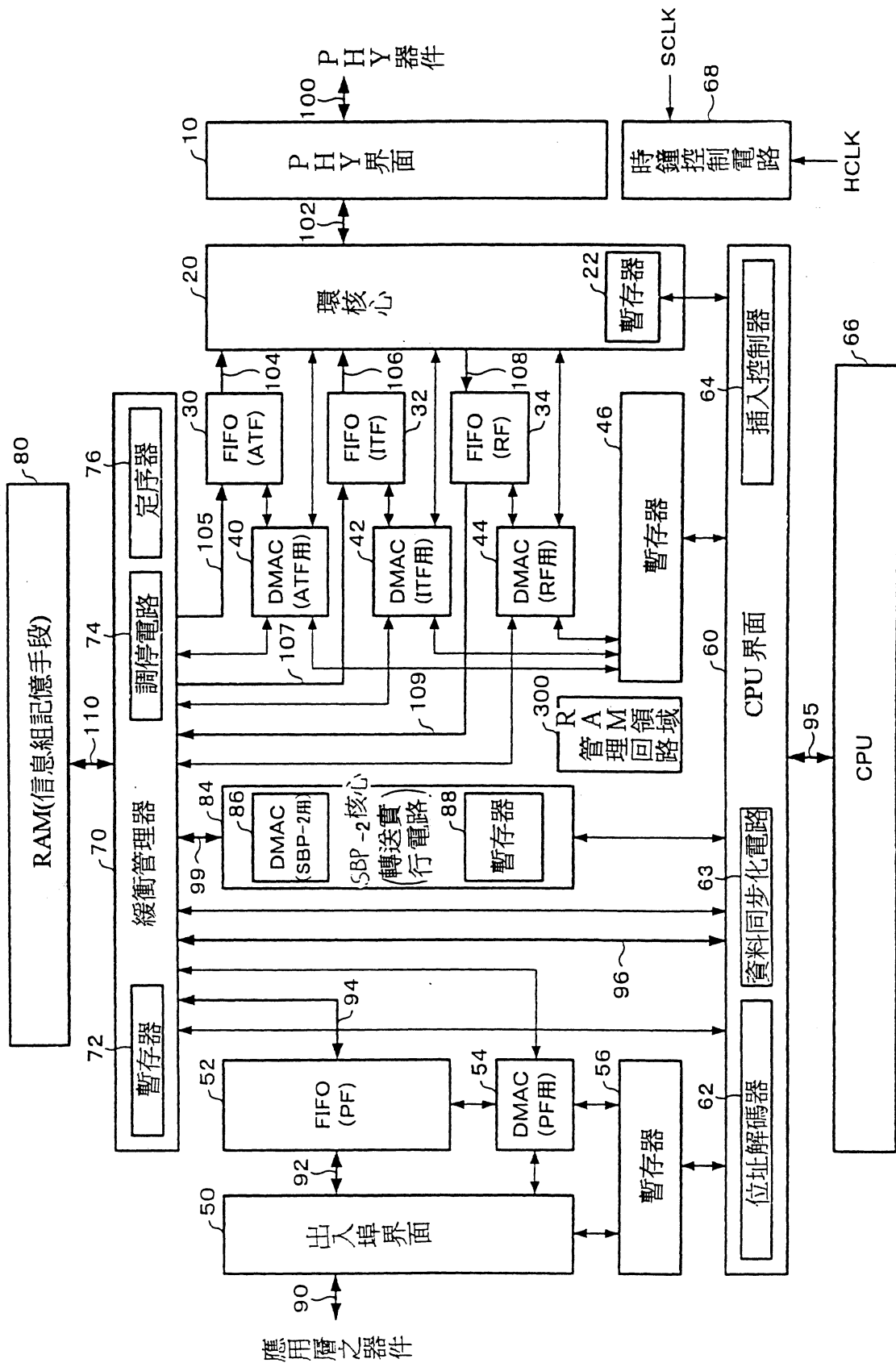
(B) 頁面表存在時



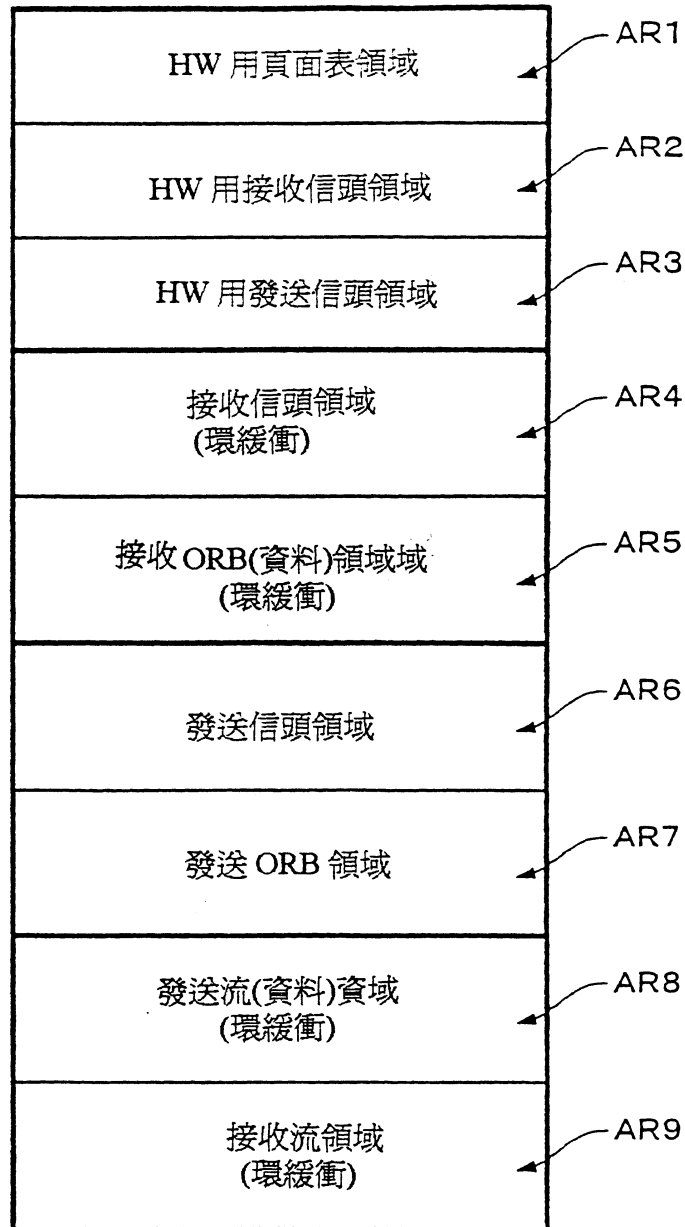
(C) 頁面表不存在時



第 7 圖

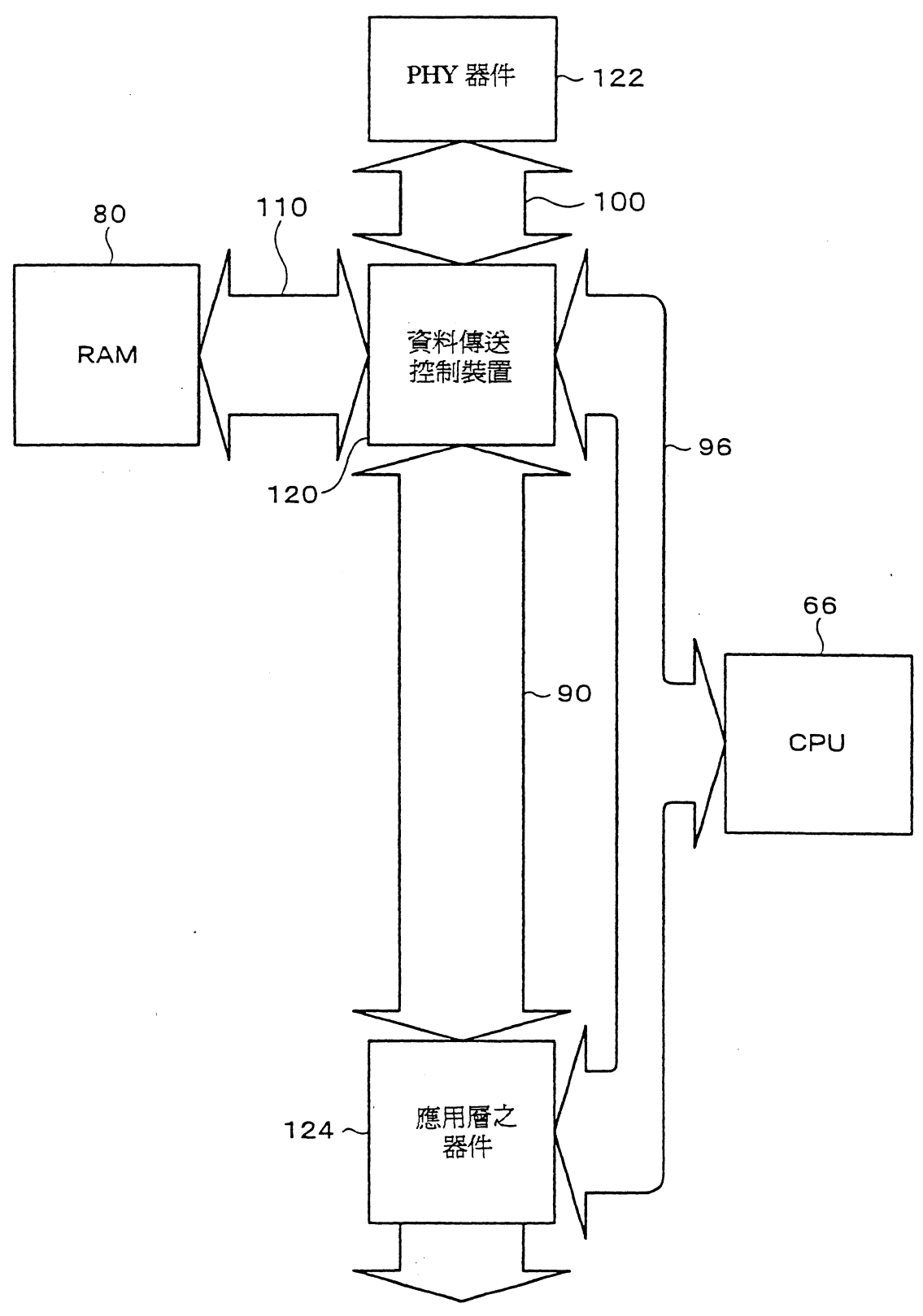


第 8 圖

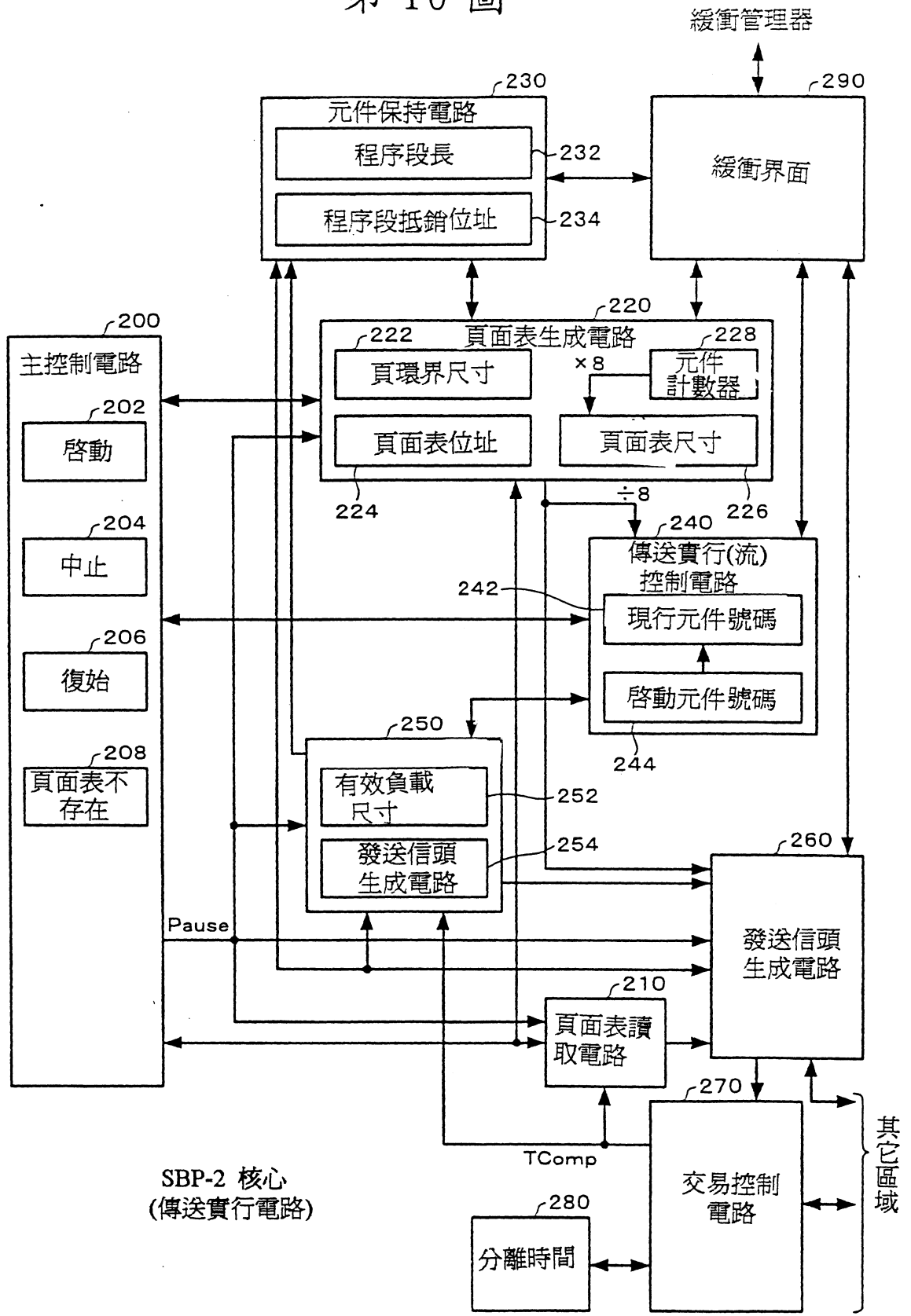


RAM
(信息記憶手段)

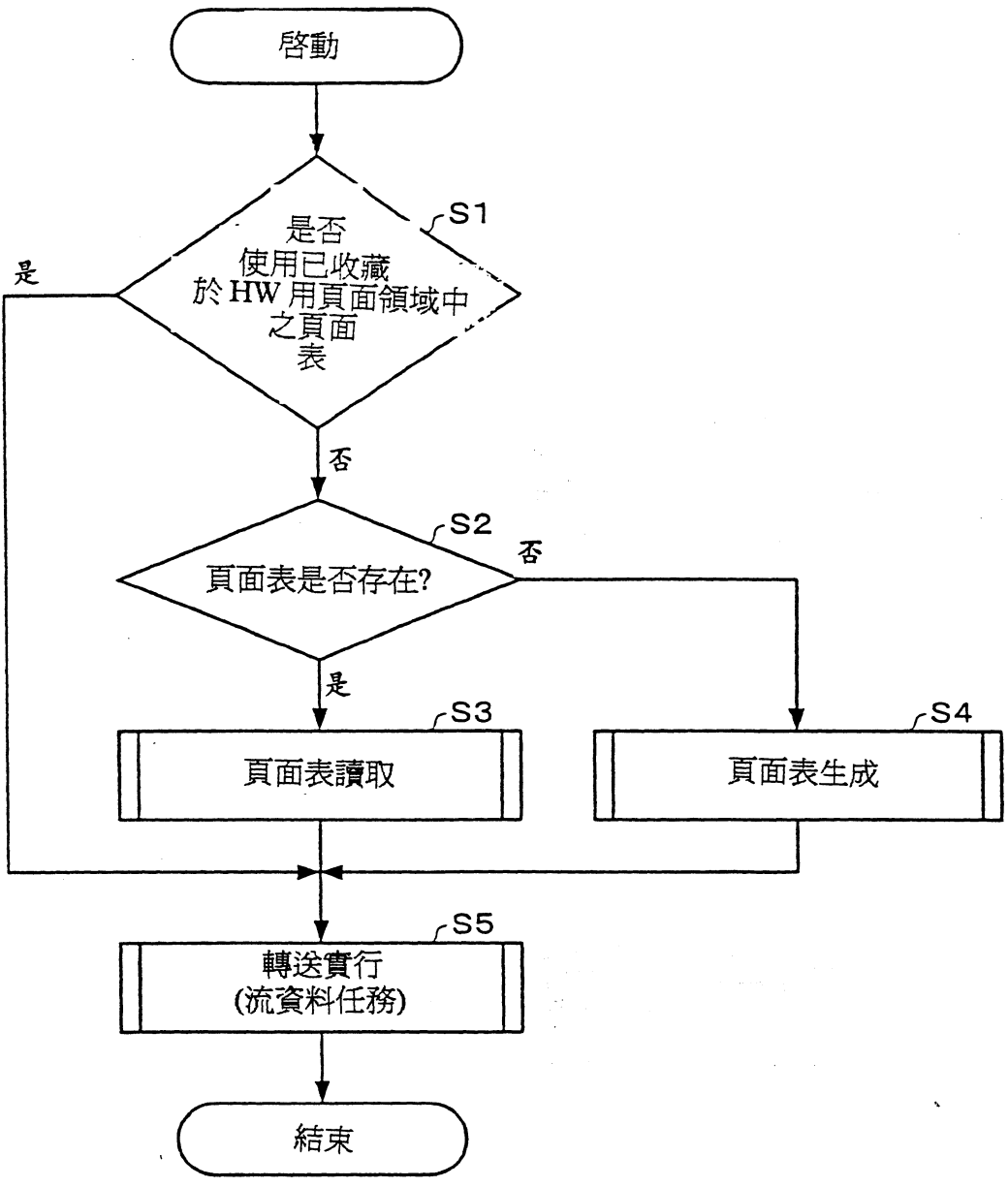
第 9 圖



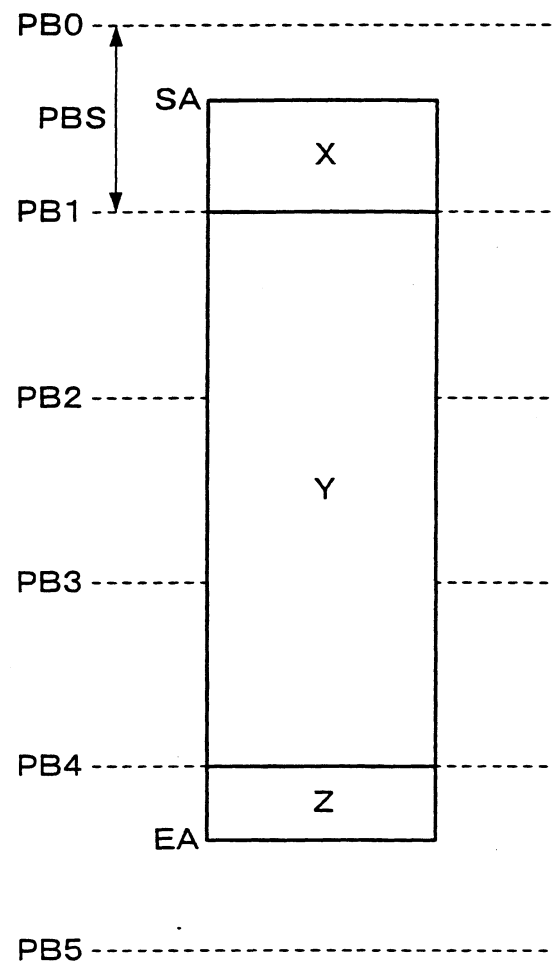
第 10 圖



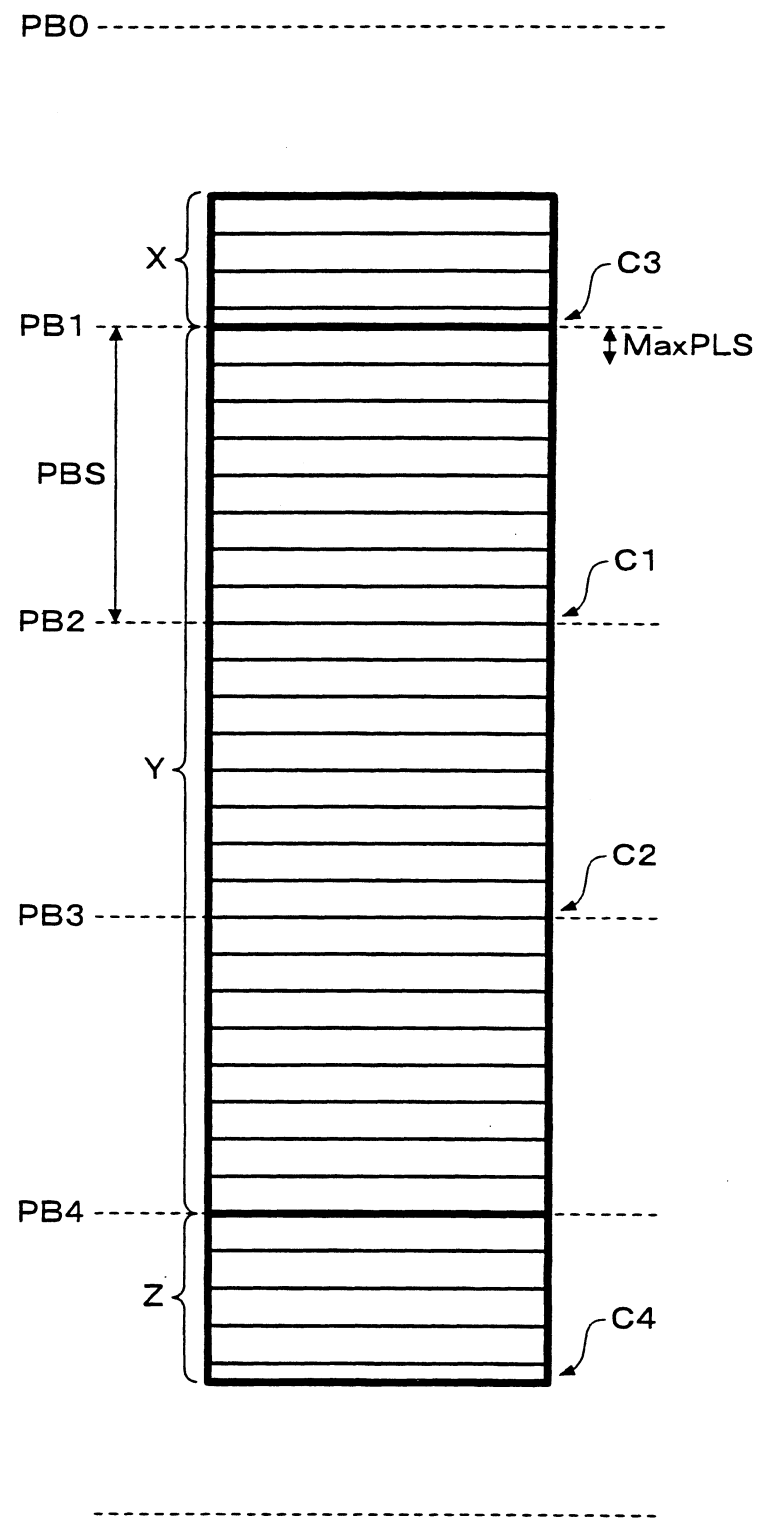
第 11 圖



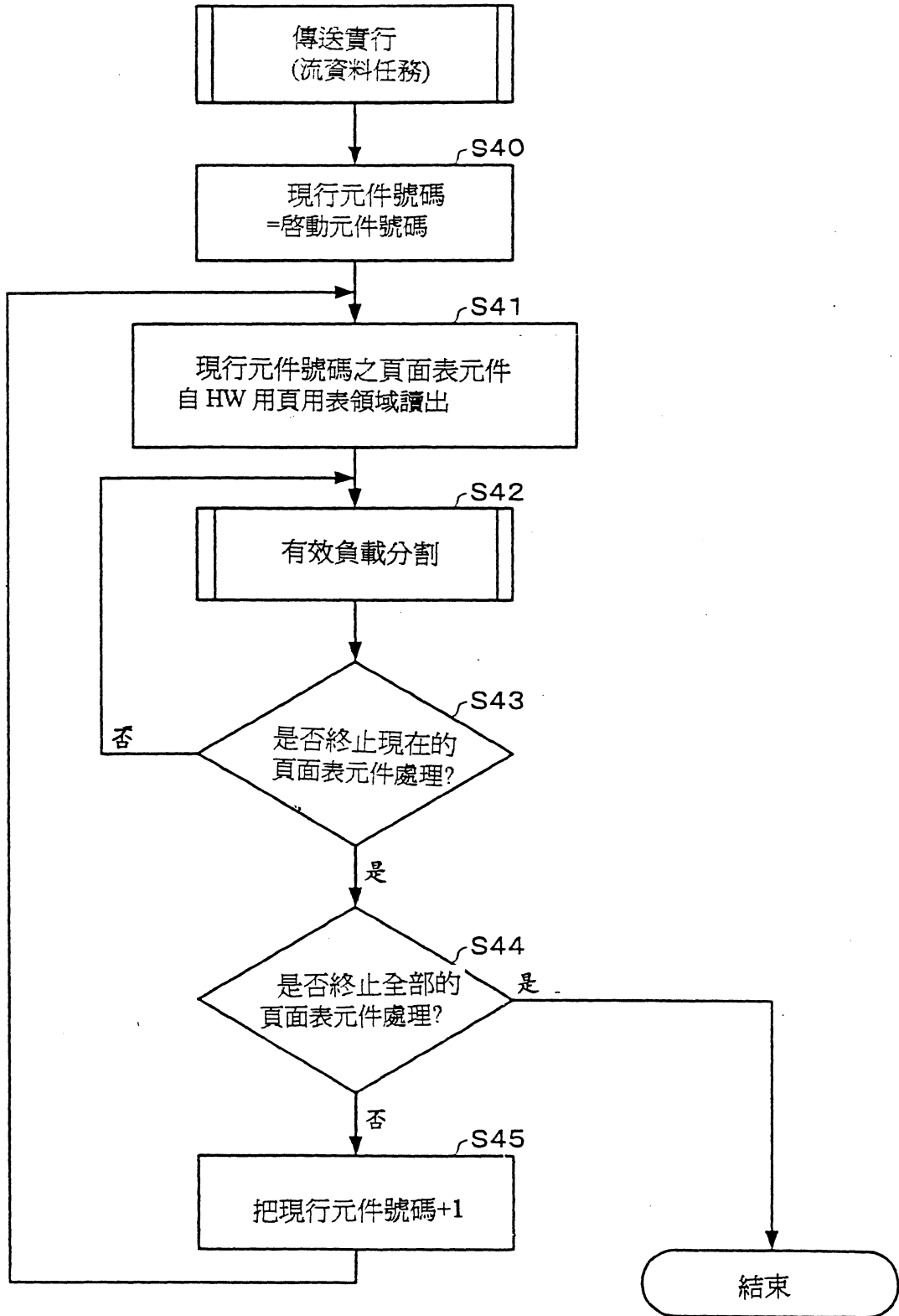
第 12 圖



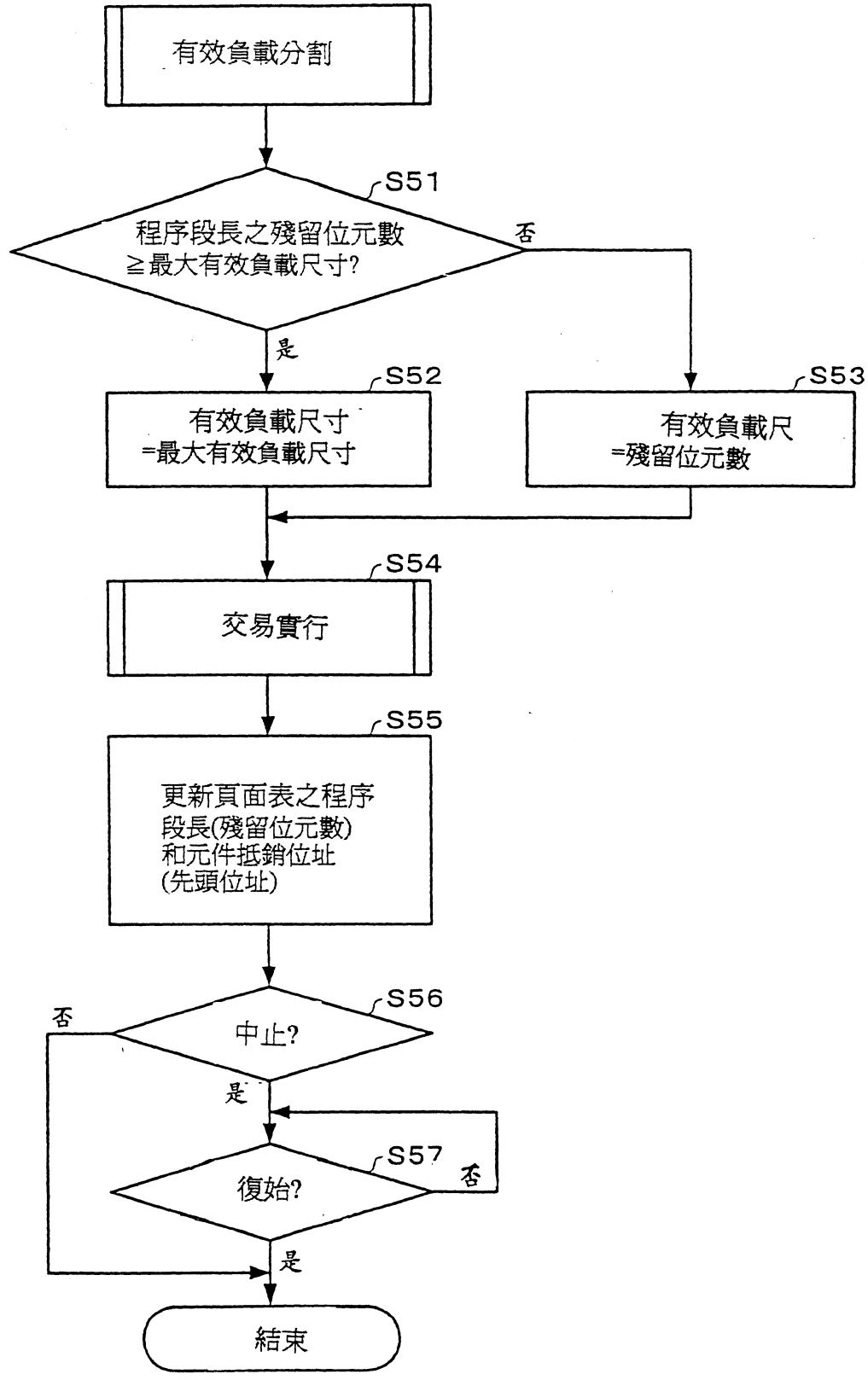
第 13 圖



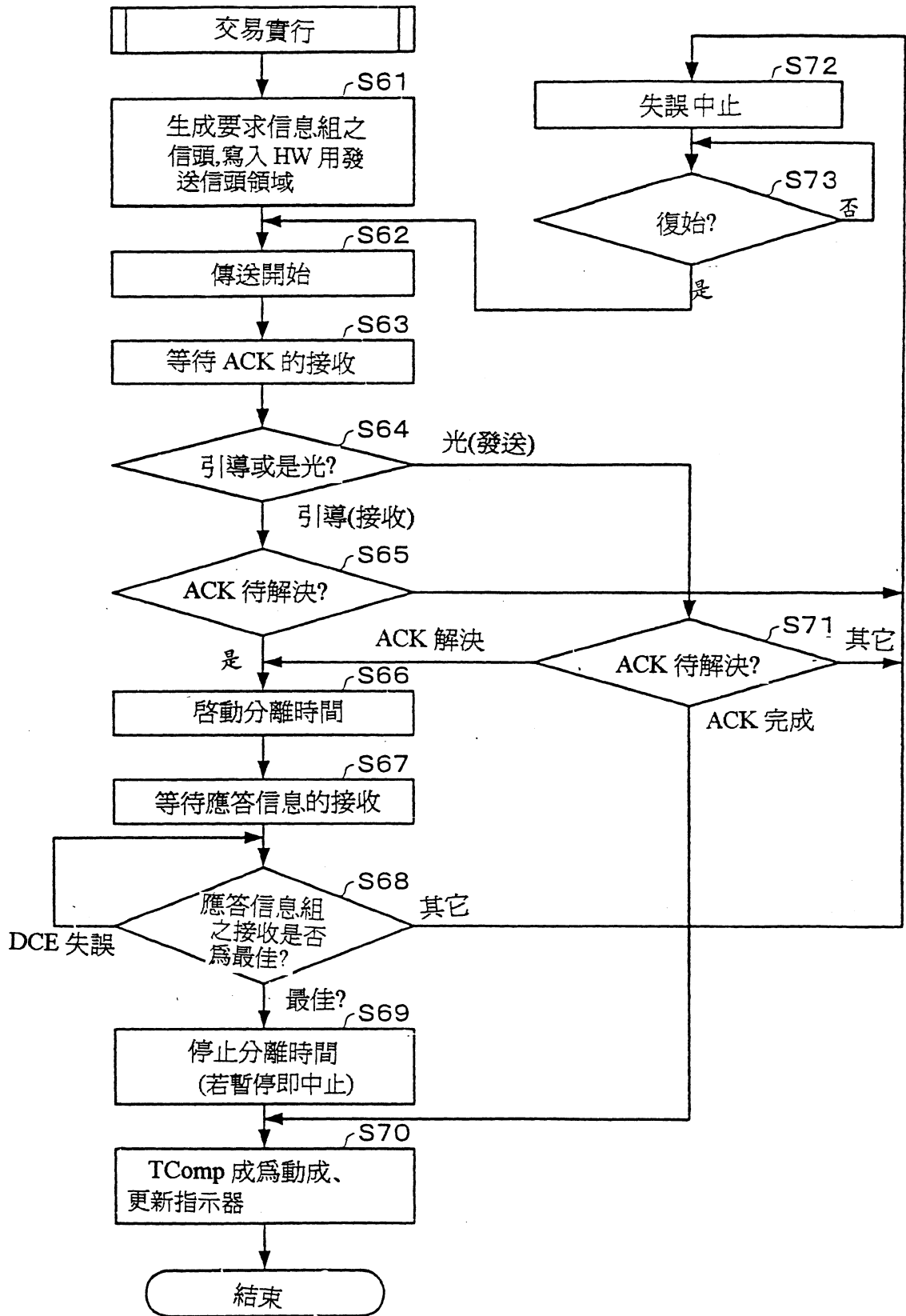
第 14 圖



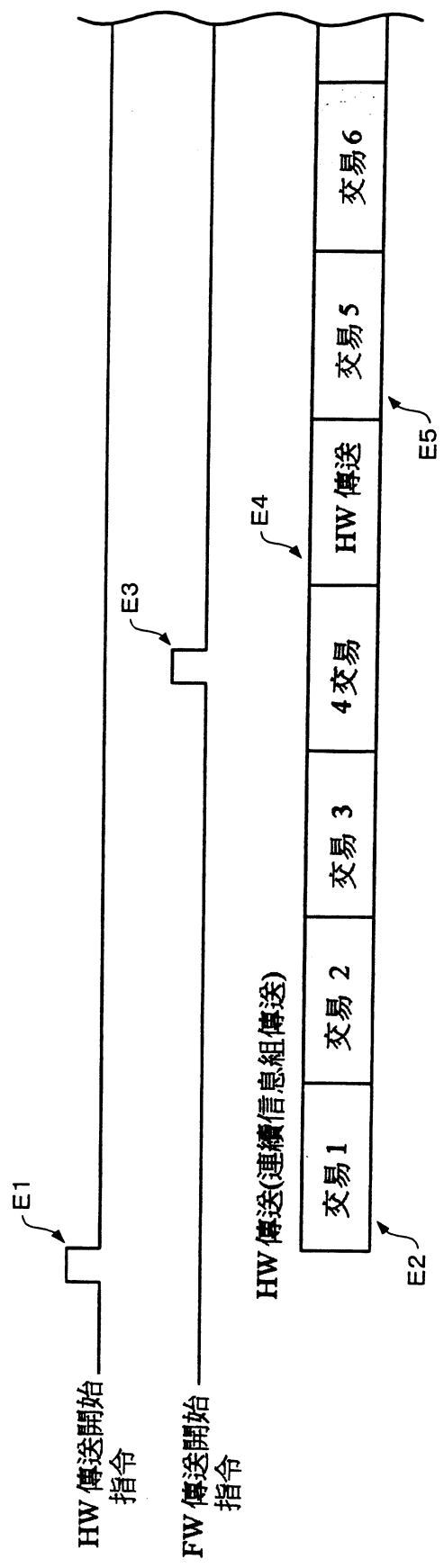
第 15 圖



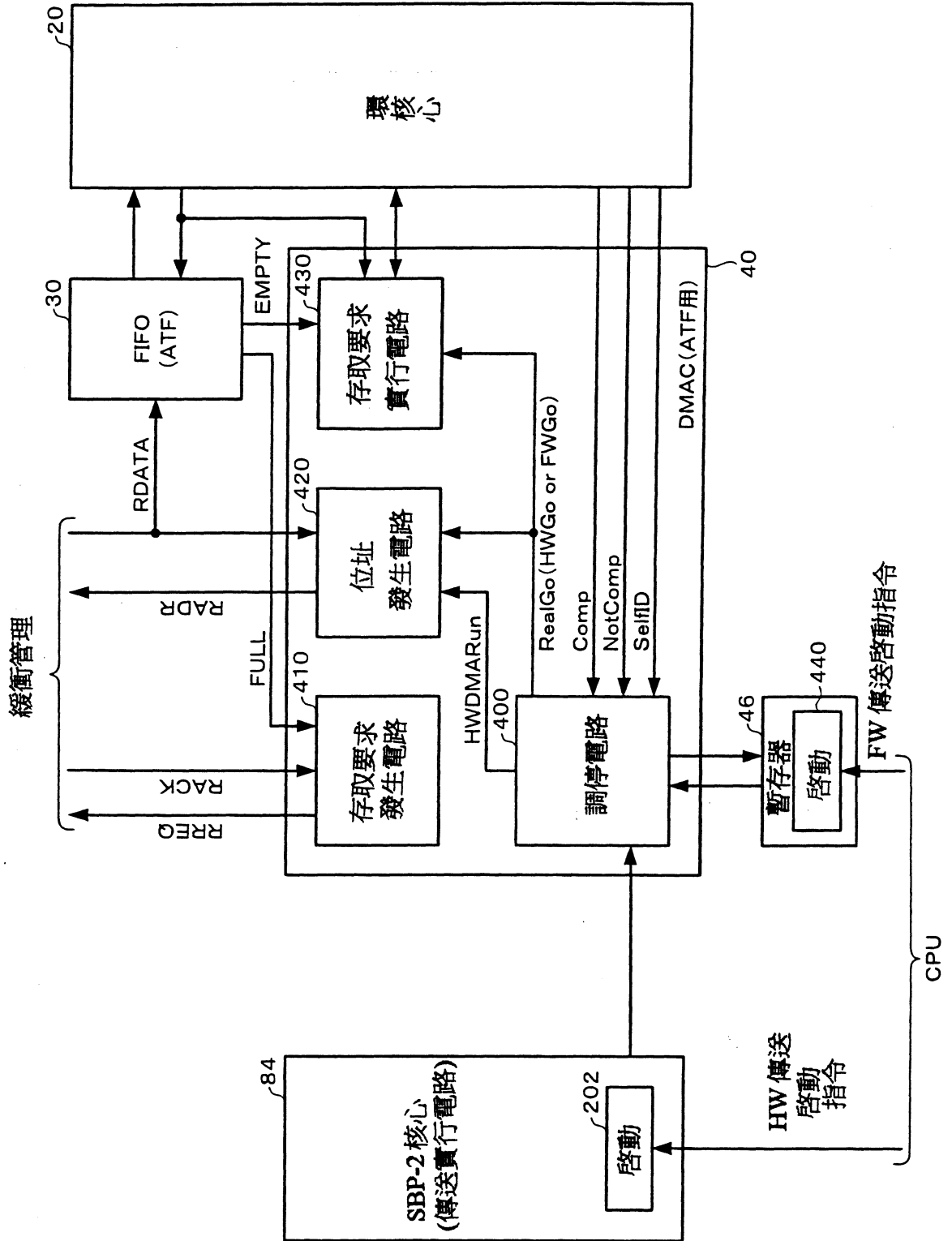
第 16 圖



第 17 圖

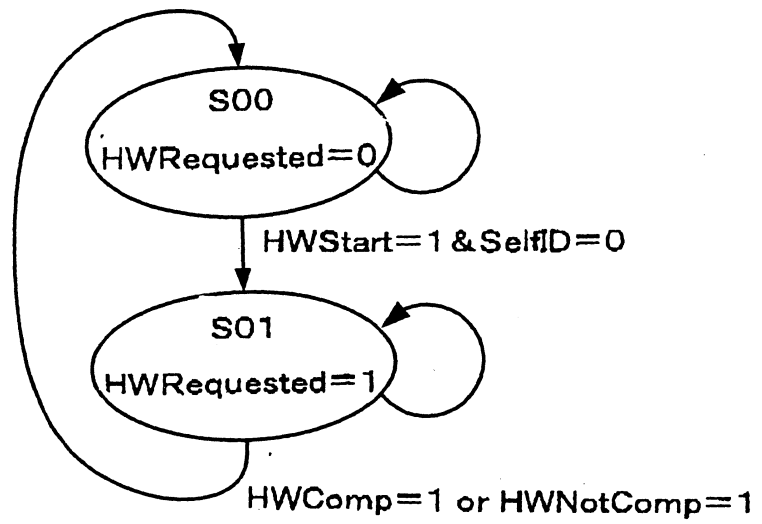


第 18 圖

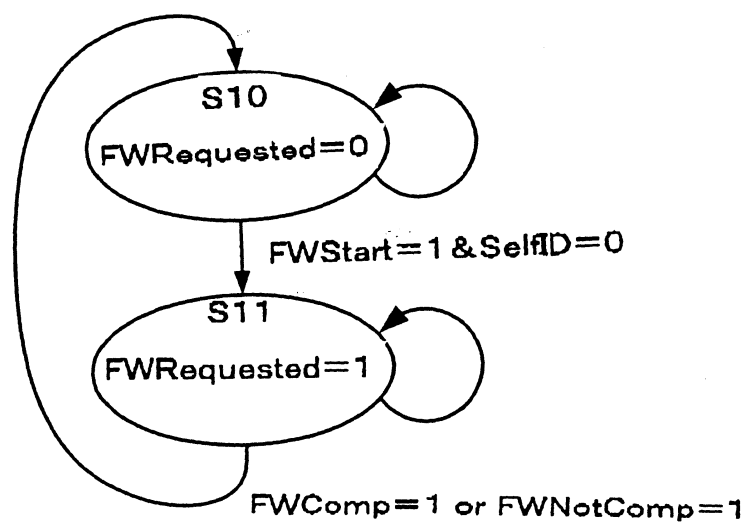


第 19 圖

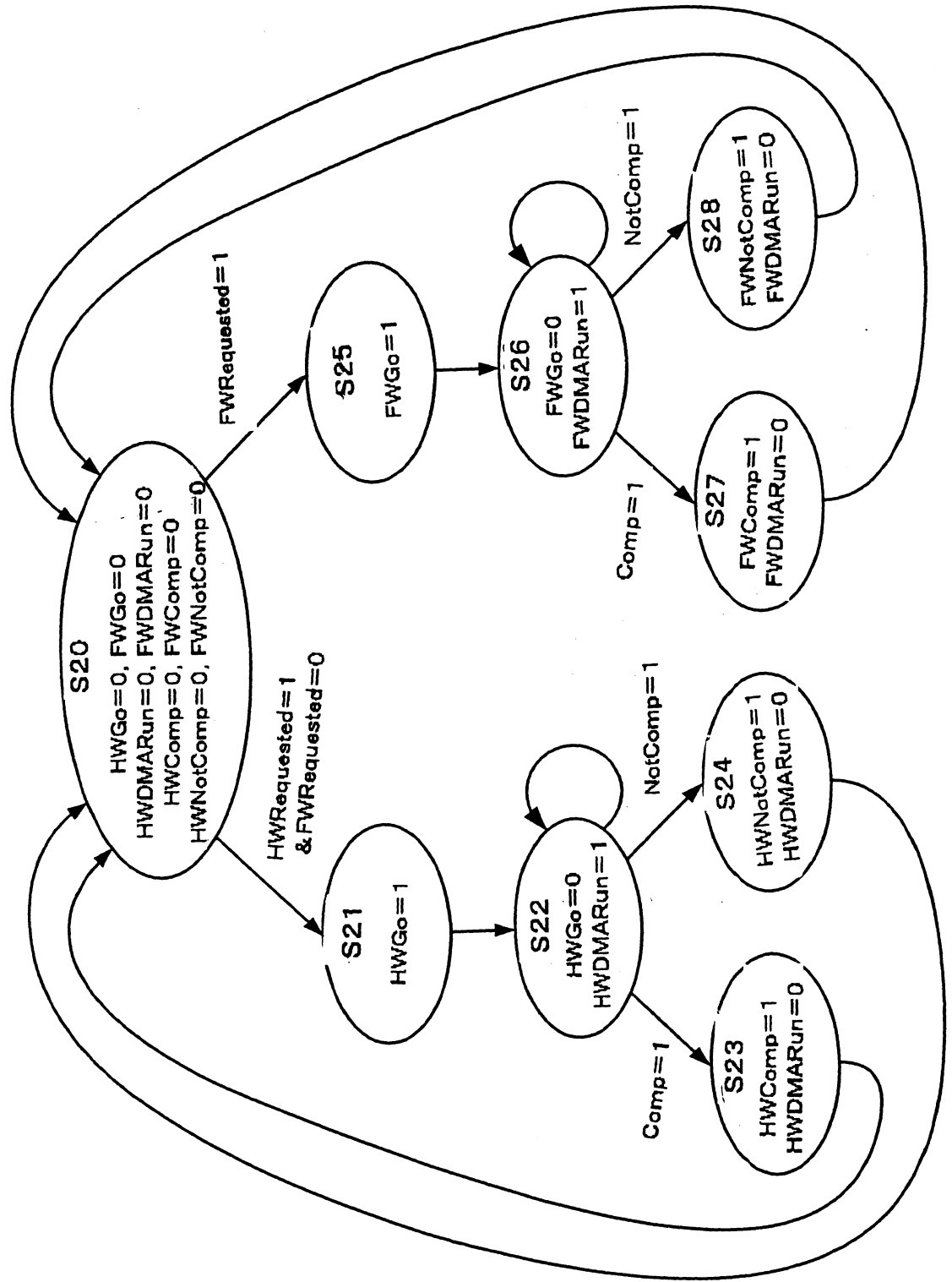
(A)



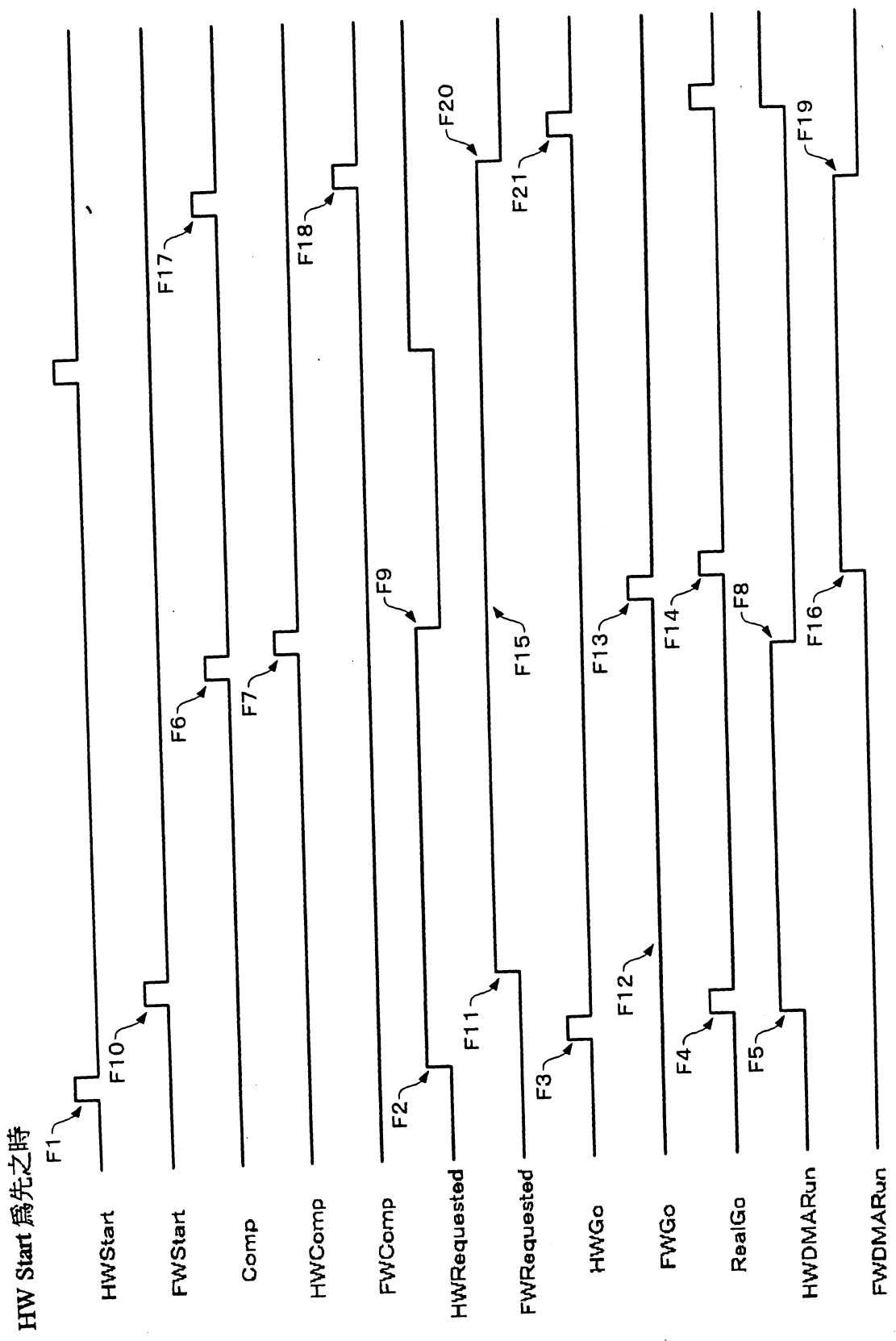
(B)



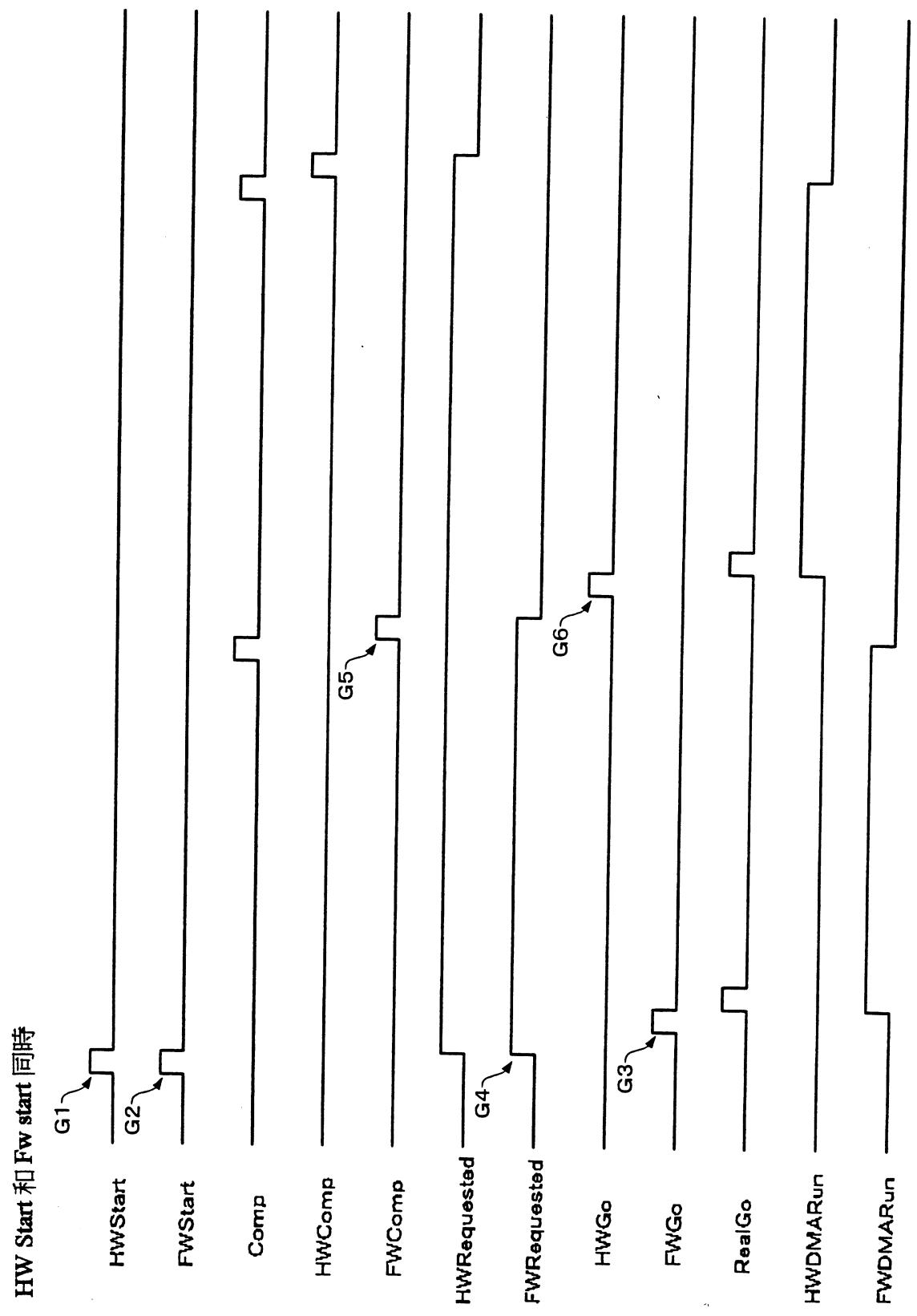
第 20 圖



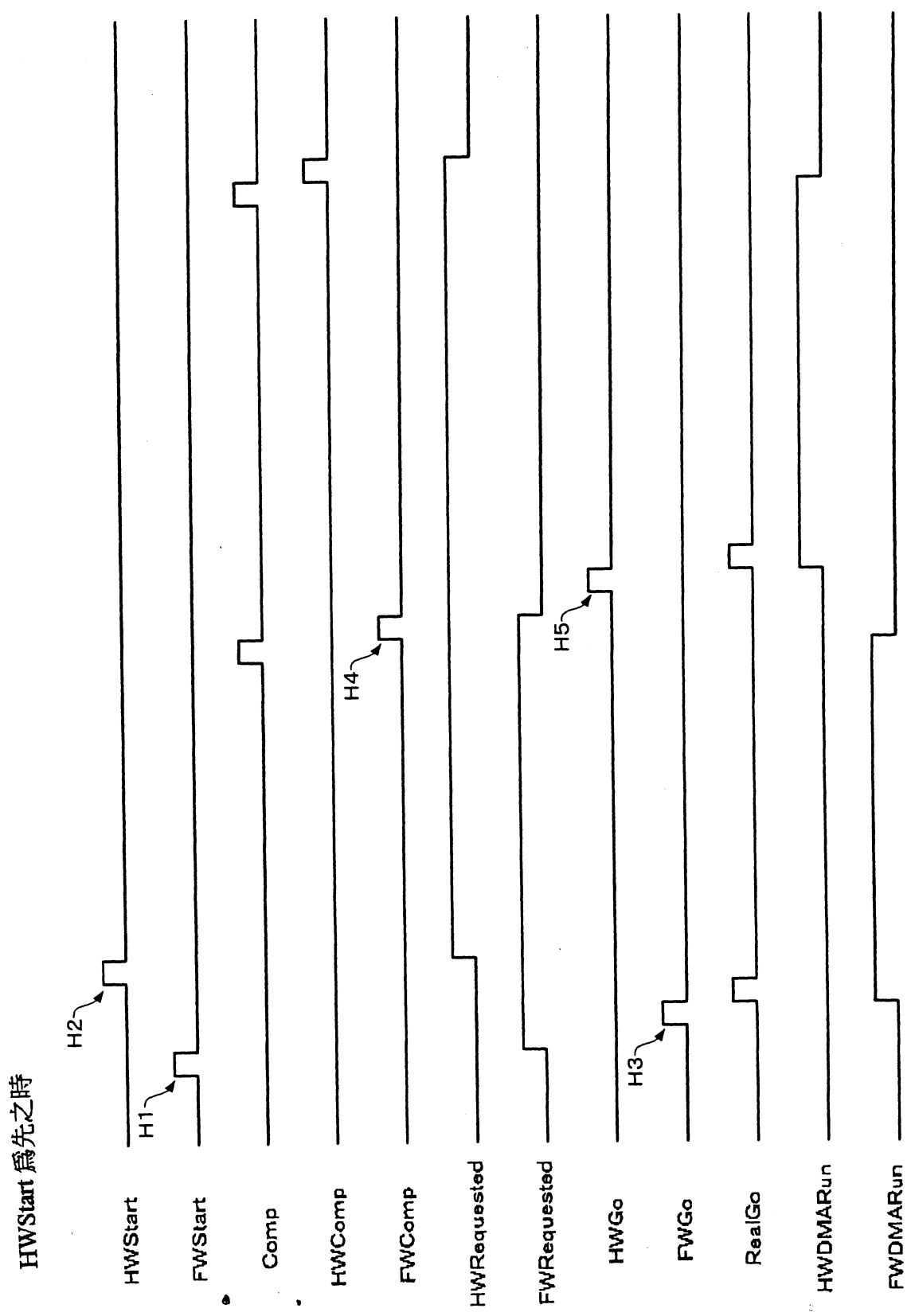
第 21 圖



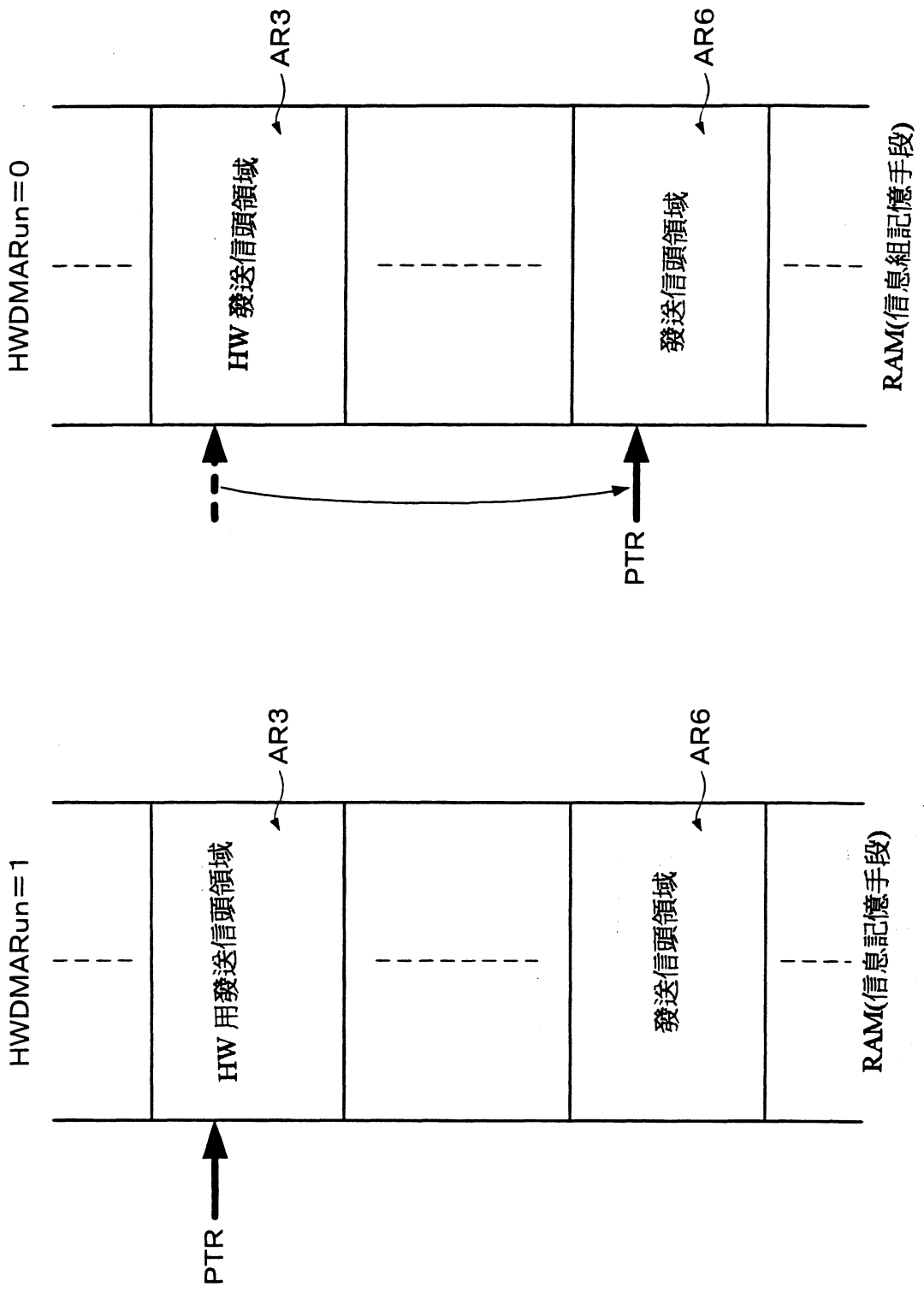
第 22 圖



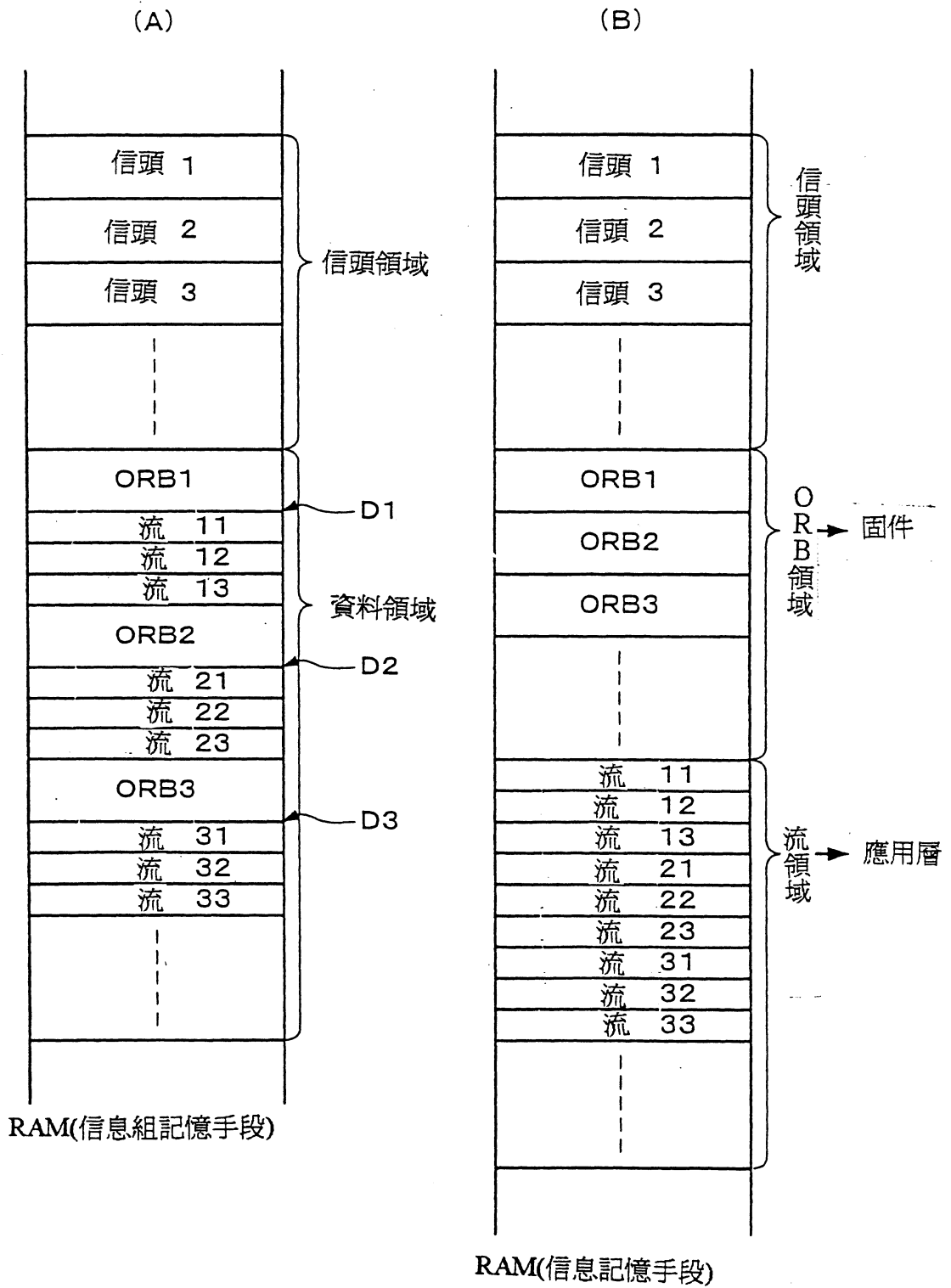
第 23 圖



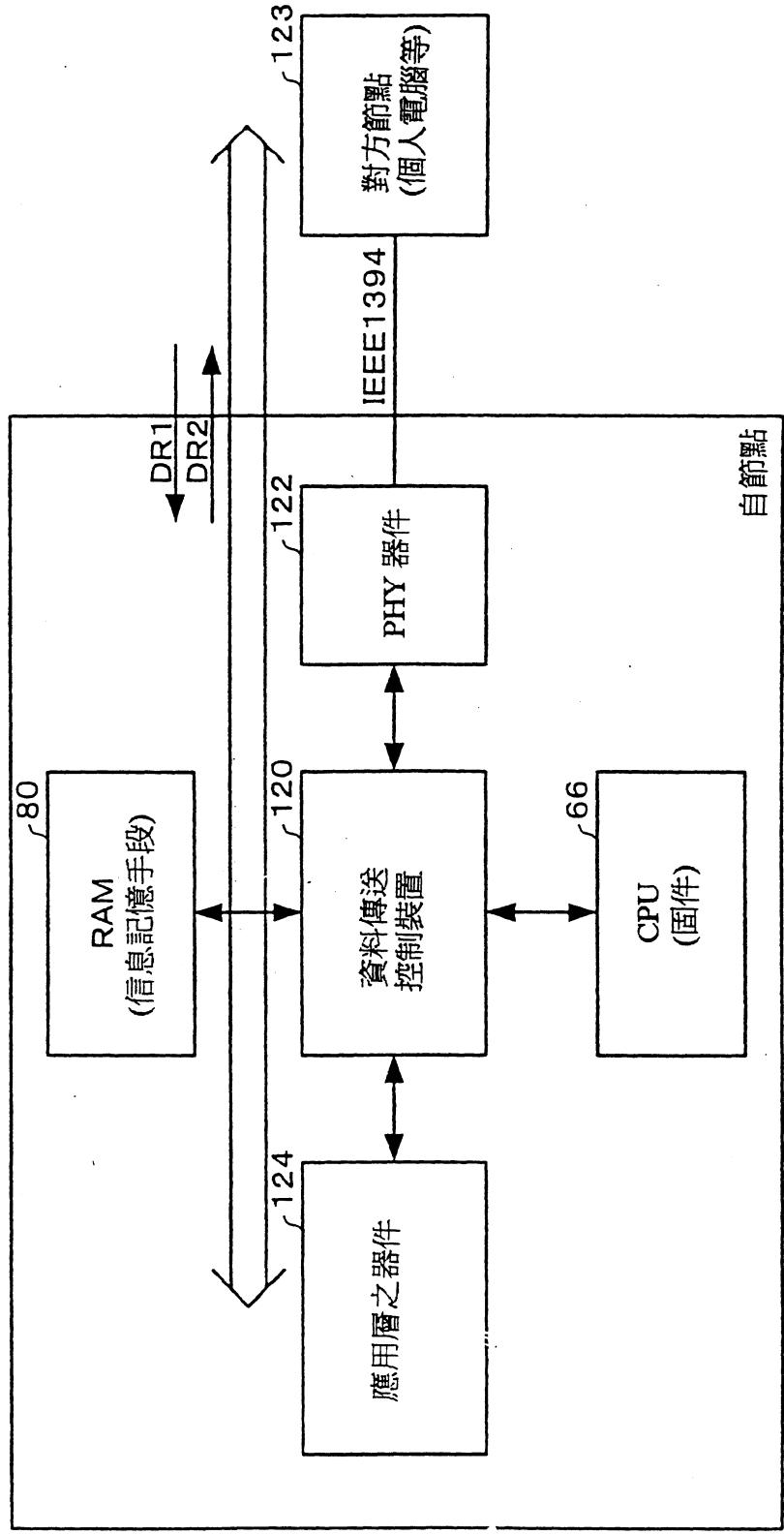
第 24 圖



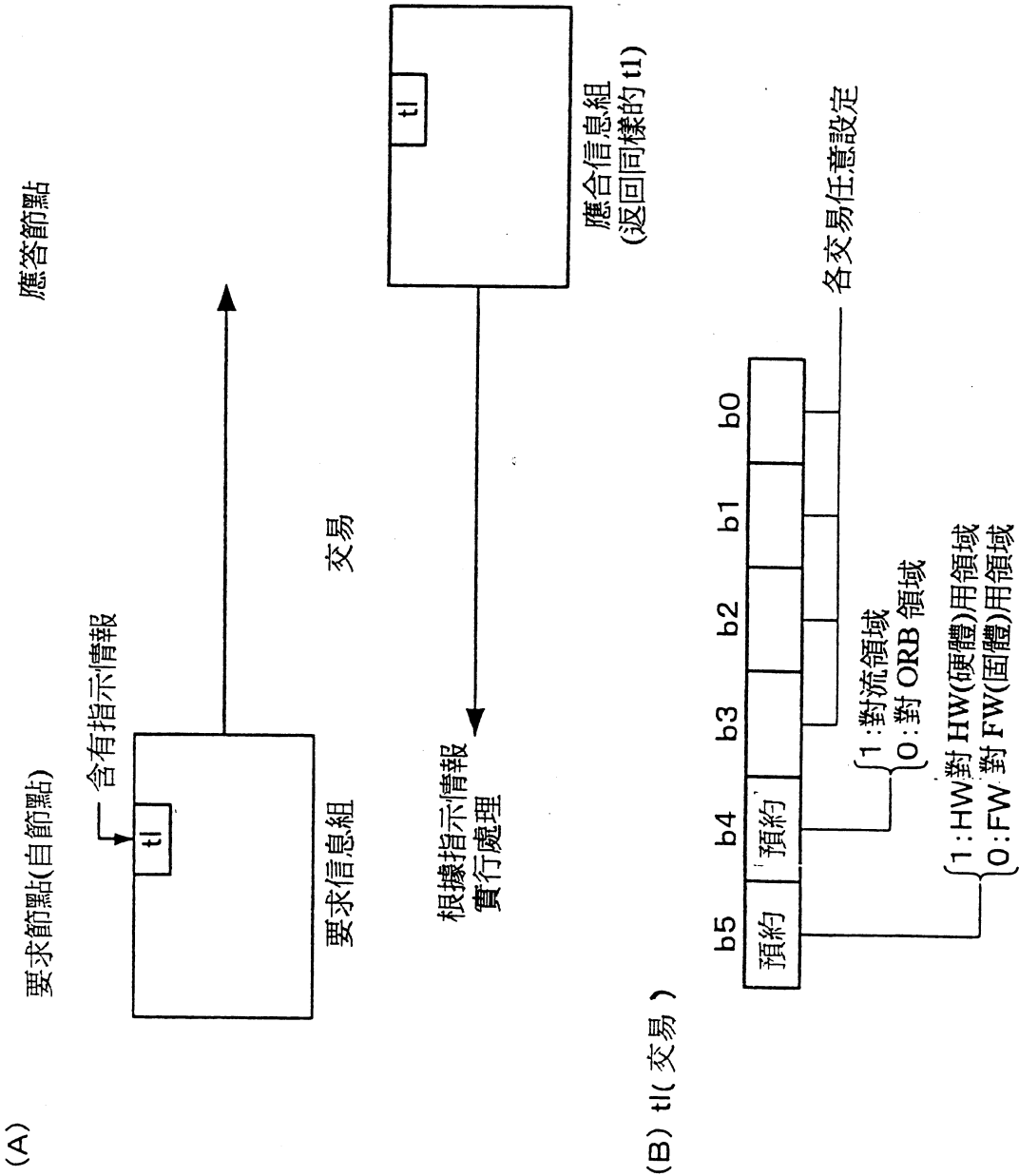
第 25 圖



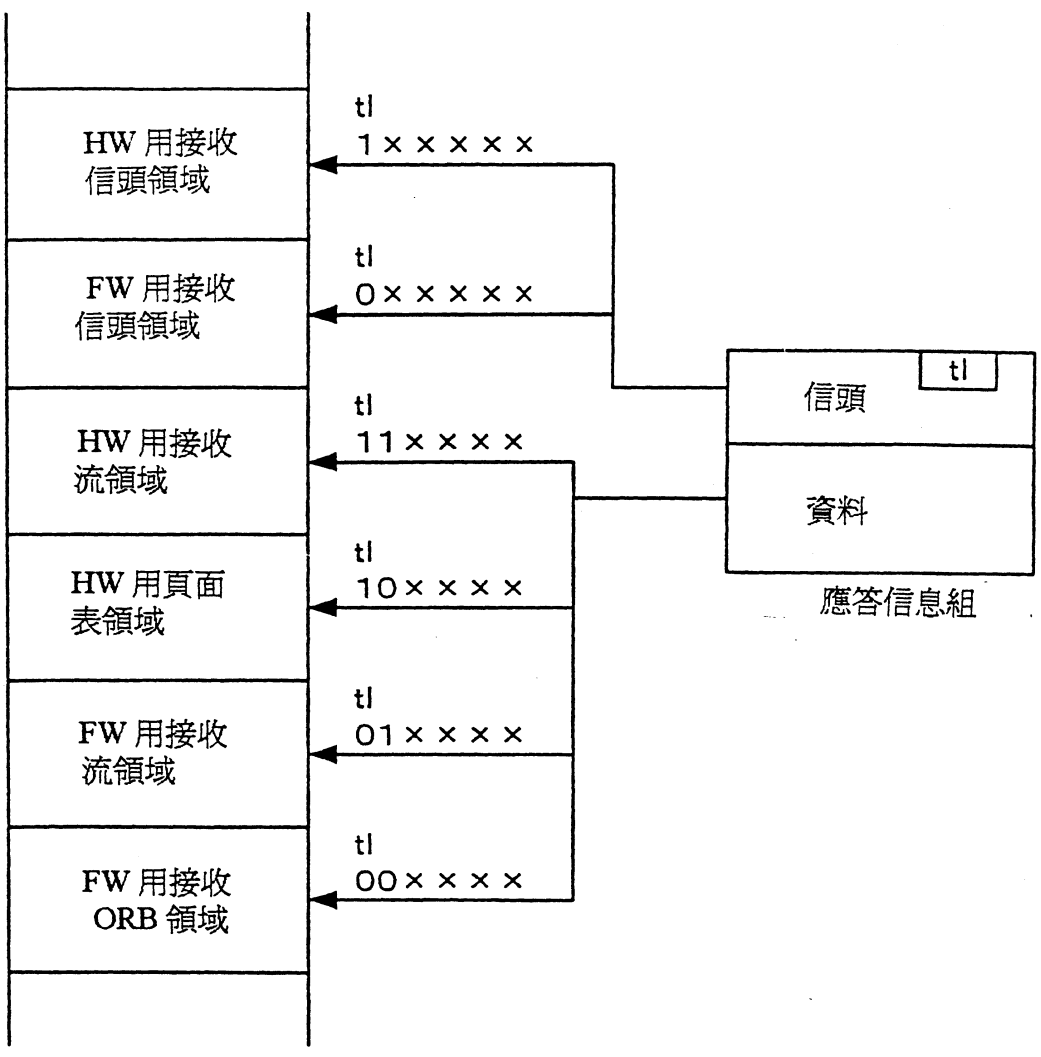
第 26 圖



第 27 圖



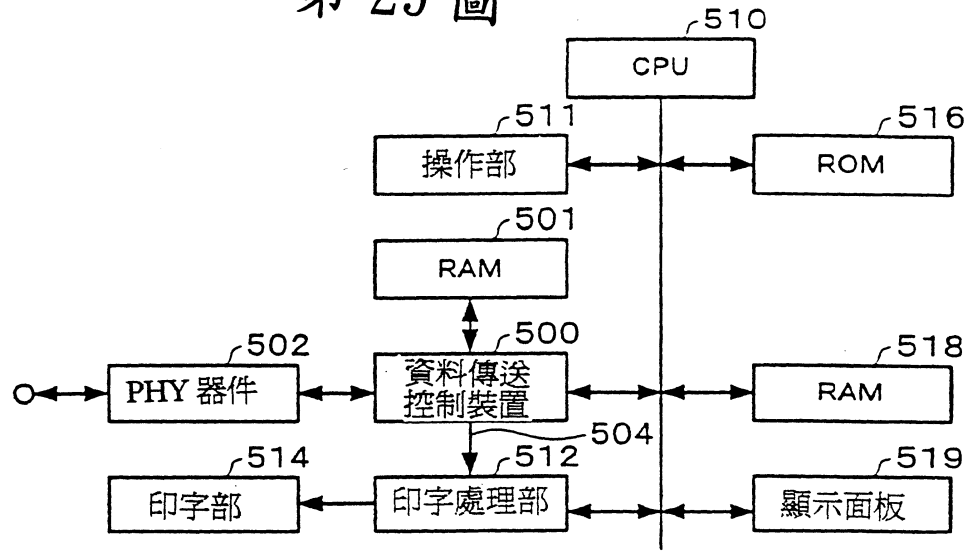
第 28 圖



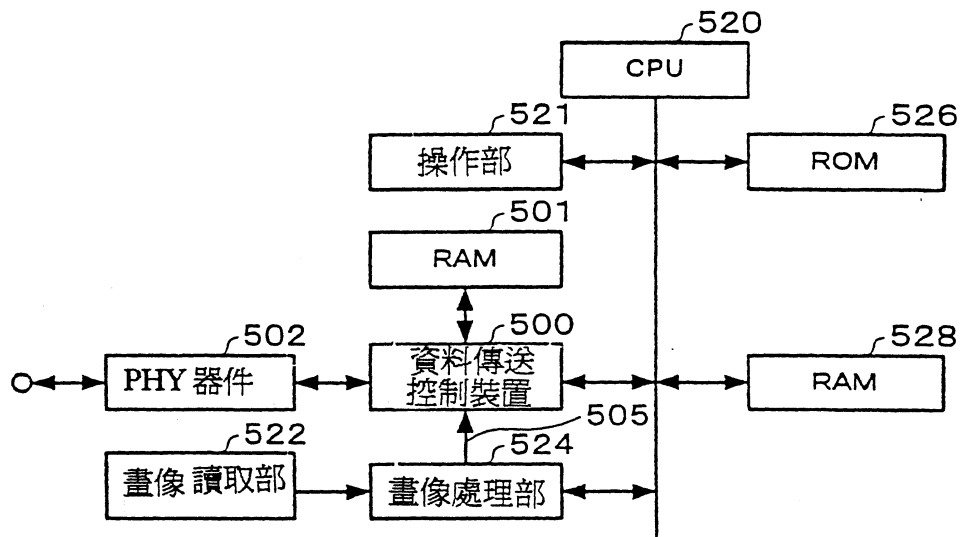
RAM(信息組記憶手段)

第 29 圖

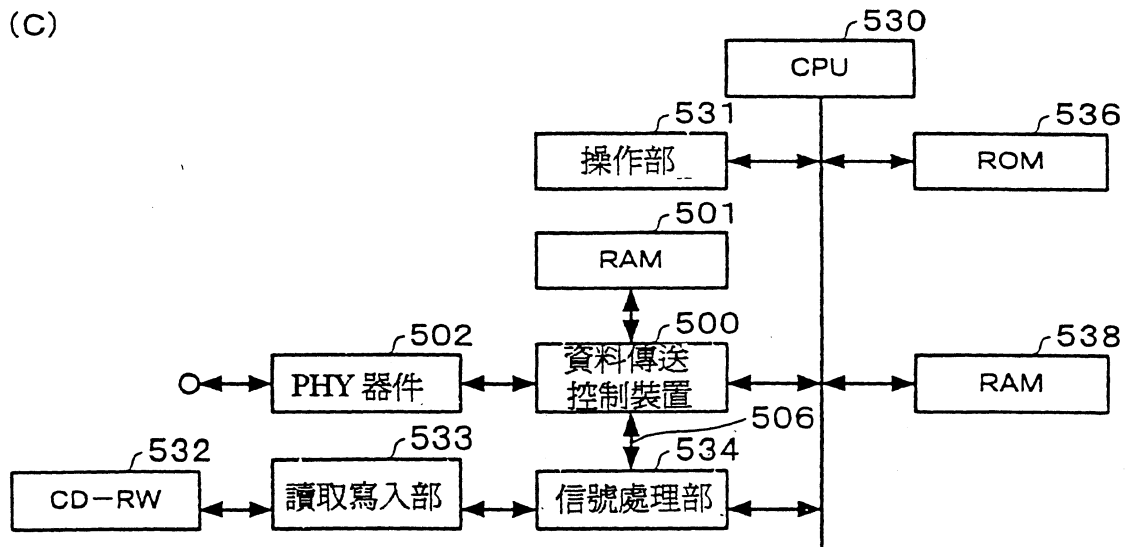
(A)



(B)

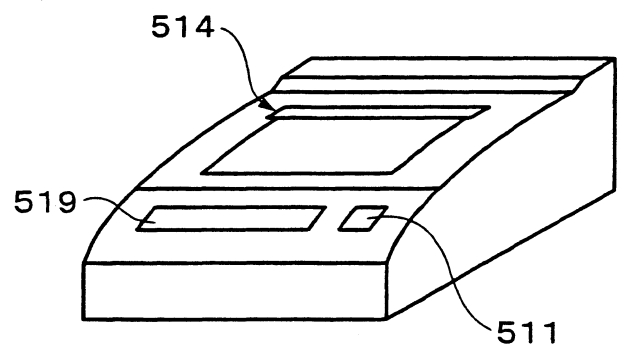


(C)

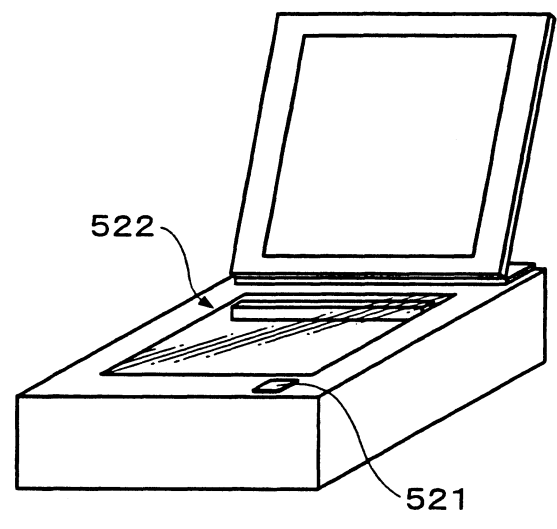


第 30 圖

(A)



(B)



(C)

