(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3567062号
(P3567062)
(45)発行日　平成16年9月15日(2004.9.15)　(24)登録日　平成16年6月18日(2004.6.18)

(51)Int.Cl.[7]　F I
G11C 16/06　G11C 17/00　634D

請求項の数 24　(全 11 頁)

(21)出願番号　特願平9-130884
(22)出願日　平成9年5月21日(1997.5.21)
(65)公開番号　特開平11-3598
(43)公開日　平成11年1月6日(1999.1.6)
審査請求日　平成12年6月21日(2000.6.21)
(31)優先権主張番号　08/651949
(32)優先日　平成8年5月21日(1996.5.21)
(33)優先権主張国　米国(US)

(73)特許権者　594167668
ウィンボンド、エレクトロニクス、コーポレーション
WINBOND ELECTRONICS CORPORATION
台湾シンツー、サイエンス、ベイスド、インダストリアル、パーク、クリエーション、ロード、３、ナンバー、４
(74)代理人　100064621
弁理士　山川　政樹
(72)発明者　ヒュー・ヴァン・トラン
アメリカ合衆国・９５１４８・カリフォルニア州・サン　ホゼ・コルトウッド　ドライブ・２７４１

最終頁に続く

(54)【発明の名称】浮動ゲート記憶セルに記憶された電圧を読み取る方法及び浮動ゲート記憶セルとこれを読み取る回路からなる装置

(57)【特許請求の範囲】
【請求項１】
ソース、ゲート、浮動ゲートおよびドレンを有する浮動ゲート記憶セルに記憶された電圧を読み取る方法において、
（ａ）読取り動作中に浮動ゲート記憶セルのソースに第１の基準電圧を、ドレンに第２の基準電圧を、およびゲートに前記第２の基準電圧と最高セル閾値電圧とを加えた電圧以上の大きさを持つ第３の基準電圧を印加して、前記読み取り動作中において前記浮動ゲート記憶セルを線形モードで動作するステップと、
（ｂ）前記所定の基準電圧が印加されている間に、浮動ゲート記憶セルを通過する電流に比例する出力を供給するステップと
を備えている方法。
【請求項２】
ステップ（ｂ）の出力が出力電圧である、請求項１に記載の方法。
【請求項３】
ステップ（ｂ）が、浮動ゲート記憶セルを通過する電流を抵抗体に流すステップを含む、請求項２に記載の方法。
【請求項４】
前記抵抗体が能動ＭＯＳ抵抗器である、請求項３に記載の方法。
【請求項５】
前記ステップ（ｂ）が、浮動ゲート記憶セルを通過する電流に比例する電流を抵抗体に流

すステップを含む、請求項２に記載の方法。
【請求項６】
抵抗体が能動ＭＯＳ抵抗器である、請求項５に記載の方法。
【請求項７】
前記浮動ゲート記憶セルのドレンに結合するソースと、ゲートおよびドレンを有するＭＯＳトランジスタを設け、
基準電圧を浮動ゲート記憶セルのドレンに印加するステップが、前記ＭＯＳトランジスタのソース上の電圧を前記第２の基準電圧に一致するよう該ＭＯＳトランジスタのゲートを駆動させるステップを含む、請求項１または２に記載の方法。
【請求項８】
前記ＭＯＳトランジスタのソースは、Ｎ列の浮動ゲート記憶セルのいずれか１列の浮動ゲート記憶セルを読み取るために選択するカラム・マルチプレクサを介して該ＭＯＳトランジスタのソースを前記浮動ゲート記憶セルのドレンに結合するステップを含む、請求項７に記載の方法。
【請求項９】
ＭＯＳトランジスタのソース上の電圧を前記第２の基準電圧に一致するよう該ＭＯＳトランジスタのゲートを駆動させるステップが、演算増幅器の出力を前記ＭＯＳトランジスタのゲートに結合するとともに該ＭＯＳトランジスタのソースを前記演算増幅器の負の入力に結合し、かつ前記演算増幅器の正の入力を前記第２の基準電圧に結合するステップを含む、請求項７に記載の方法。
【請求項１０】
浮動ゲート記憶セルのソースに印加される前記第１の基準電圧が回路接地電圧である、請求項１または２に記載の方法。
【請求項１１】
ステップ（ｂ）が抵抗体に電流を流すステップを含み、前記抵抗体の一端が回路接地に結合され、抵抗体に流される電流が浮動ゲート記憶セルを通過する電流に比例する、請求項１０に記載の方法。
【請求項１２】
抵抗体が能動ＭＯＳ抵抗器である、請求項１１に記載の方法。
【請求項１３】
浮動ゲート記憶セルに記憶された電圧がアナログ信号のアナログ・サンプルである、請求項１または２に記載の方法。
【請求項１４】
浮動ゲート記憶セルに記憶された電圧がＭ個の離散電圧レベルの１つであり、Ｍが３以上の整数であり、２ビット以上のデジタル信号を表す、請求項１または２に記載の方法。
【請求項１５】
浮動ゲート記憶セルに記憶された電圧が2^M個の離散電圧レベルの１つであり、Ｍが２以上の整数であり、Ｍビットのデジタル信号を表す、請求項１または２に記載の方法。
【請求項１６】
浮動ゲート記憶セルとこれを読み取る回路からなる装置において、
ソース、ゲート、浮動ゲート、およびドレンを有する浮動ゲート記憶セルであって、前記浮動ゲート記憶セルのソースが所定の第１基準電圧を有し、前記浮動ゲート記憶セルのゲートが所定の第３基準電圧を有している浮動ゲート記憶セルと、
読取り動作中に前記浮動ゲート記憶セルのドレン上の電圧を所定の第２基準電圧へ駆動する第１回路と、
所定の第１、第２、および第３基準電圧が印加されている間、前記浮動ゲート記憶セル内を通過する電流に比例する出力を供給する第２回路と
を備え、
前記浮動ゲート記憶セルのゲートが有する第３基準電圧は、読み取りモード中前記第２基準電圧と最高セル閾値電圧とを加えた電圧以上の大きさを持つ電圧にされており、これに

より、読み取り動作中前記浮動ゲート記憶セルが線形モードで動作するよう構成されている浮動ゲート記憶セルとこれを読み取る回路からなる装置。
【請求項１７】
前記第２回路が、浮動ゲート記憶セル内を通過する電流に比例して変動する出力電圧を供給する回路である、請求項１６に記載の装置。
【請求項１８】
前記第２回路が抵抗体を備えている、請求項１７に記載の装置。
【請求項１９】
前記抵抗体が能動ＭＯＳ抵抗器である、請求項１８に記載の装置。
【請求項２０】
前記第２回路が電流ミラーおよび抵抗体を備えており、前記電流ミラーが前記浮動ゲート記憶セルおよび前記抵抗体に結合され、前記浮動ゲート記憶セル内を通過する電流に比例する電流を前記抵抗体に反映させる、請求項１６に記載の装置。
【請求項２１】
前記抵抗体が能動ＭＯＳ抵抗器である、請求項２０に記載の装置。
【請求項２２】
前記第１回路が、正および負の入力を有する演算増幅器と、ソース、ゲートおよびドレンを有するＭＯＳトランジスタとを備えており、前記ＭＯＳトランジスタのソースが浮動ゲート記憶セルのドレンおよび演算増幅器の負の入力に結合され、前記ＭＯＳトランジスタのゲートが演算増幅器の出力に結合され、演算増幅器の正の入力が第２基準電圧に結合される、請求項１６に記載の装置。
【請求項２３】
前記ＭＯＳトランジスタのソースが、Ｎ列の浮動ゲート記憶セルのうち１列の浮動ゲート記憶セルを読み取るために選択するカラム・マルチプレクサを介して、浮動ゲート記憶セルのドレンに結合される、請求項２２に記載の装置。
【請求項２４】
前記浮動ゲート記憶セルのソースに印加される第１基準電圧が回路接地電圧である、請求項１６または１７に記載の装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は集積回路設計の分野に関し、詳細にいえば、不揮発性メモリ集積回路を利用した集積回路のアナログ信号記録再生に関する。
【０００２】
【従来の技術】
Ｔｒｅｖｏｒ　ＢｌｙｔｈおよびＲｉｃｈａｒｄ　Ｓｉｍｋｏの米国特許第５２２０５３１号においては、アナログ信号の記録再生にＥＥＰＲＯＭ（電気的に消去可能なプログラマブル読み取り専用メモリ）が使用されている。これらのセルは、ソース、ドレン、ゲートおよびフローティング・ゲートを有するフローティング・ゲート・デバイスで構成されている。デバイスのゲートとソースの間で測定されるデバイスの閾値は、フローティング・ゲートの電荷によって決定（制御）される。これらのセルはゲートに高電圧、たとえば２１Ｖを、ソースに０Ｖを、そしてドレンに０Ｖを印加することにより、ファウラー－ノルドハイム・トンネリングを使用して消去される。ゲートの高電圧は、容量的にフローティング・ゲートに結合しており、フローティング・ゲートとドレンの間にトンネル酸化物を介して高い電界を発生する。この電界により、電子がフローティング・ゲートへトンネル移動し、V_t　（閾値電圧）を約６Ｖまで効果的に高める。次に、ドレンに高電圧、たとえば9ないし１９Ｖを、ゲートに０Ｖを、そしてソースに６Ｖを印加することにより、同じファウラー－ノルドハイム・トンネリング機構を使用して、セルをプログラムする。ドレンの高電圧はフローティング・ゲートとドレンの間にトンネル酸化物を介して逆向きの高い電界を生じさせる。これによって、電子がフローティング・ゲートからドレンへト

ンネル移動し、ドレンの電圧レベルおよびパルス幅に応じて、閾値電圧をたとえば－１Ｖないし＋３Ｖへ引き下げる（減損させる）。

【０００３】

米国特許第５２２０５３１号においては、プログラム「パルス」を一連の疎パルスと、一連の密パルスに分割して、アナログ信号を不揮発性メモリ・セルに記憶している。各プログラミング・パルスの後、読取りサイクルを使用してセルの内容を読み取り、記憶すべきアナログ信号と比較する。希望するプログラム化レベルに近づいたときに、疎パルスが終了し、希望するプログラム化レベルに達したときに、密パルスが終了する。疎書込み／読取り／比較シリーズに後続する密書込み／読取り／比較シリーズは、記憶された信号に優れたアナログ信号分解能をもたらす。

【０００４】

上記の特許において、セルのダイナミック・レンジは約３Ｖであり、アナログ分解能は約１２ｍＶであって、約８ビットのディジタル記憶に等しい有効分解能を与える（各セルは１２／３０００、すなわち約２５０対１の分解能を有している）。各高電圧の疎パルスおよび密パルスは均等傾斜時間部分、平坦時間部分、サンプル時間部分および比較時間部分に分割される。比較時間部分を使用して、各疎または密プログラミング・パルスの増分後にメモリ・セルに記憶されている電圧を読み返して、これが希望する値に達しているかどうかを判定する。サンプル時間部分を使用して、入力信号の次のサンプルを取り入れ、これを保持する。サンプルおよび比較時間部分は静止時間である。すなわち雑音を最小限とするため、この時間中に、電荷ポンプなどの高電圧源が使用不能とされる。連続した疎レベルの間のステップ電圧は約２２０ｍＶであり、連続した密レベル間のステップ電圧は約２２ｍＶであり、これはメモリ・セル内に記憶されている電圧における１２ｍＶの分解能に等しい。セル・プログラミング閾値ウィンドウの全範囲、ならびにほぼメモリ・セルのダイナミック・レンジである約０－３Ｖのメモリ・セル閾値電圧に対応している、メモリ・セルのドレン上で約９ないし１９Ｖの範囲にある付加電圧マージンをカバーするには、疎レベルに対する大きいステップ電圧が必要である。利用可能な疎パルス数は４５になるように選択され、これは４５×２２０ｍＶ＝１０Ｖフル・レンジに変換される。書込み時間を短縮するには、大きな粗いステップが使用される。密傾斜フル・レンジは約２Ｖになるように選択される。９０の密パルスが利用可能であり、約２２ｍＶの書込み分解能が得られる。

【０００５】

読取りモードにおいて、記憶セルはドレンから接地への負荷電流が一定であるソース・フォロアとして構成される。メモリ・セルのゲートとソースはまとめて接続され、メモリのドレンは定バイアス電流に接続され、選択トランジスタのゲートは小型の選択ゲートによるゲート電圧降下効果と抵抗効果を排除するために、中間電圧、たとえば１０Ｖに接続される。調整電源、たとえば３．５Ｖがセル読出し電圧におけるゲート／ソース電圧の変動を回避するためにメモリ・セルのゲート／ソースに接続されている。ドレンにおける電圧がメモリ・セル読出し電圧となる。それ故、セルはソース・フォロアとして接続されており、ドレンとソースは機能的に交換可能である。これにより、セルの閾値とセル読出し電圧の間に線形関係がもたらされる。したがって、ゲートとソースが互いに効果的に接続されるため、記憶セルは飽和領域で動作する。

【０００６】

ソース・フォロア記憶セルのソースがアレイ内のすべてのメモリ・セルによって共用されているため、このソースはすべての拡散接合部からの大きい付随キャパシタンスを有している。さらに、読取りモードにおいて、選択した行のすべてのセルが低い閾値電圧を有している（すなわち、セルが導通している）と想定した場合、ソース・フォロア・セルのソースとゲートが調整電圧、たとえば３．５Ｖに充電されているため、アレイ内のすべてのビットラインも、すべての導通メモリ・セルによってほぼ等しい電圧に充電される。これは、読取りモードにおいて、調整回路の容量性負荷がすべてのメモリ・セル・ソース接合部キャパシタンスと、すべてのビットライン・キャパシタンスを含んでいることを意味す

る。このことは調整回路に厳しい要件を課すものである。これは特にメモリが低電圧電源によって動作する場合に、メモリ・セルのダイナミック・レンジを広げることも困難とするが、これは高い容量性負荷が調整電圧を必要な電圧まで上げることを困難とするからである。

【０００７】

【発明が解決しようとする課題】

本発明の目的は、読取りモードにおいて、セルをネガティブ・フィードバック・モードにおける線形領域で使用し、セルの閾値によってセル電流が線形に変わる線形化記憶セルを提供することである。

【０００８】

【課題を解決するための手段】

等価能動ＭＯＳ抵抗の両端にセル電流を流すことによって、セルの閾値電圧に線形に依存するセル読出し電圧が達成される。

本発明の好ましい実施の態様の反復書込みシーケンスは、ゲートとソース／ドレン／チャネルの間のファウラー－ノルドハイム・トンネリングを使用した消去から始まる。従来技術と同様に、セルを消去して高い閾値レベル、たとえばV_t　＝６Ｖにする。後続のプログラミング・パルスもドレンとゲートの間のファウラー－ノルドハイム・トンネリングを使用して、電荷をフローティング・ゲートから増分的に減少させる。従来技術と同様、プログラミングを一連の疎パルスと一連の密パルスに分割して、短いプログラミング時間で精密化された分解能を達成する。

【０００９】

読返しの場合、線形化記憶セルはネガティブ・フィードバック・モードで接続される。セルのドレンはオペ・アンプ（演算増幅器）のマイナス端子に論理的に接続される。第１の基準電圧がオペ・アンプのプラス端子に接続される。第１の基準電圧は、セル・ゲート電圧をセル・ドレン電圧と最高のセル閾値の合計よりも高くするのに十分低いものである。第２の基準電圧がセル・ゲートに論理的に接続される。この第２の基準電圧はセル・ゲート電圧をセル・ドレン電圧と最高のセル閾値の合計よりも高くして、閾値に関わりなく、セルを常に線形領域で動作させるようにするのに十分高いものである。オペ・アンプの出力はセルのドレンと論理的に直列に接続されているｎ－ＭＯＳデバイスのゲートに接続されている。

【００１０】

オペ・アンプのネガティブ・フィードバックはメモリ・セルのドレンを第１の基準電圧と同じ電圧にする。周知の線形ＭＯＳの等式により、

$I = \beta [(V_{gs} - V_t) * V_{ds} - (V_{ds})^2 / 2]$

ただし、

$\beta = \mu n C_{ox} W / L$

μn＝ＭＯＳＦＥＴデバイスのチャネル領域の移動度

C_{ox}＝単位面積あたりのゲート酸化物キャパシタンス

Ｗ／Ｌ＝ＭＯＳＦＥＴデバイスのチャネル領域の幅対長さの比

V_{gs}＝ＭＯＳＦＥＴデバイスのゲート－ソース電圧

V_t＝ＭＯＳＦＥＴデバイスの閾値電圧

V_{ds}＝ＭＯＳＦＥＴデバイスのドレン－ソース電圧

【００１１】

一定のV_{gs}および一定のV_{ds}の場合、

$\partial I / \partial V_t = -\beta V_{ds}$

【００１２】

それ故、閾値電圧V_t　の変化はセルを通る電流Ｉの比例変化を引き起こし、セル閾値とセル電流の間に線形関係を達成する。セル電流を抵抗に流すことによって、セル閾値と線形関係を有しているセル読出し関係が実現される。移動度の変動の影響を排除するために、抵抗を能動ＭＯＳデバイスとして実現し、その有効抵抗値が１／βに比例するようにす

る。これは上記の等式におけるメモリ・セルのβ依存度を取り消す。
【００１３】
記憶セルがドレン接合部から読み取られるため、共用ソース接合部キャパシタンスは何の影響も及ぼさない。また、ソース上に調整電圧が存在しないため、選択されないビットラインは充電されない。
【００１４】
【発明の実施の形態】
まず、図１を参照すると、本発明に適用できる記憶アレイ・アーキテクチャが示されている。従来技術の項で検討したデバイスに適用可能なこの特定のアーキテクチャにおいて、１００個のカラムのドライバ（ＣＯＬＤＲＶ）が１００個の３２：１ＭＵＸを介して結合されて、一時に１００のグループ内のメモリ・セルの３２００の列に制御可能に結合できるようになっている。各列ラインは複数のトランジスタ２個のＥＥＰＲＯＭセルに接続されており、セルはほぼ共通に接続されたアレイの接地線を中心として対称的な対として配列されている。各２トランジスタＥＥＰＲＯＭセルは直列に接続されたｎチャネル・デバイスＭ１とフローティング・ゲートｎチャネル・デバイスＦＭ１からなっている。アレイの各行のすべてのｎチャネル・デバイスのゲートは共通して、ライン、行１、行２などによってＸデコーダに接続されて、アレイの行選択デバイスを形成している。また、アレイの各行のすべてのフローティング・ゲートｎチャネル・デバイスのゲートも共通して、Ｘデコーダに接続されて、アレイの行制御ゲート行１ＣＧ、行２ＣＧなど形成している。
【００１５】
図２は本発明による読返しのために接続された第１の実施の形態の線形化記憶セルを示している。基本記憶セルは上述した典型的な２トランジスタＥＥＰＲＯＭメモリ・セルであり、ｎチャネル・トランジスタＭ１とフローティング・ゲート・トランジスタＦＭ１とによって構成されている。ｎチャネル・トランジスタ・セルとｎチャネル・フローティング・ゲート・トランジスタ・セルのアレイを示している図１も参照。図１のセルの個々のトランジスタには図の縮尺のためラベルは付けられていない。選択ゲート、すなわちトランジスタＭ１のゲートＳＧは中間レベル、たとえば１０Ｖに接続されて、選択デバイスが小型によるゲートの電圧降下および抵抗効果を排除している。フローティング・ゲート・トランジスタのゲートは論理的に基準電圧ＶＲＥＦ２に接続されている（たとえば、図１の行デコーダＸデコーダにより）。ＶＲＥＦ２は、V_{tmax}（最高セル閾値）＋セル・ドレン電圧（ＶＲＥＦ１）に等しくし、メモリ・セルが線形領域で動作するようにしなければならない。ＶＲＥＦ２はメモリ・セルのゲートを駆動するだけのものであるから、電荷ポンプによって調整して、線形領域を広げることができる。
【００１６】
デバイスＹ０ないしＹＮはデバイスＺ０とともに図１の３２：１のＭＵＸの１つに対応した３２：１列マルチプレクサを形成している。セルの消去およびプログラミングのためには、アレイを図１に示すように構成し、一方、セルの読取りのためには、列・ドライバをディスエーブルし、読取り対象のセルを代わりに図２に示すように接続するか、あるいは図３に示すように接続する。
【００１７】
演算増幅器ＯＰ　ＡＭＰは周知の電荷ポンプが発生するＶＣＣ以上の電圧ＶＰＵＭＰによって動作する典型的なＭＯＳ差動演算増幅器である。演算増幅器のプラス入力は第１の基準電圧ＶＲＥＦ１に接続される。演算増幅器のマイナス入力は付加的なｎ－ＭＯＳ列デコーダ（Ｙ０－ＹＮ、Ｚ０）を介して選択トランジスタＭ１のドレンに接続されている。列デコーダｎ－ＭＯＳトランジスタのゲート電圧は、選択解除された場合には接地に等しくなり、プログラミングで選択された場合には高電圧（たとえば、２１Ｖ）に等しくなり、またｎ－ＭＯＳトランジスタが小型であることによって生じるゲート電圧降下効果および抵抗効果を排除するために、読取りモードで選択された場合には中間レベル（たとえば、１０Ｖ）に等しくなる。
【００１８】

演算増幅器の出力はｎ－ＭＯＳデバイスＭ２のゲートに接続されており、このデバイスはｎ－ＭＯＳ列デコーダ・トランジスタを介して選択トランジスタＭ１のドレンと接続されたソースを有している。

【００１９】

ｎチャネル・デプレーション・デバイスＭ３およびＭ４で形成された能動ＭＯＳ抵抗が、ＶＣＣ（または、範囲を広げるための電荷ポンプの出力）によって調整された第３の基準電圧源ＶＲＥＦ３とトランジスタＭ２のドレンの間に接続されている。ＶＲＥＦ３は最高セル読出し電圧であり、セル電流がゼロの場合に発生する。デプレーションｎ－ＭＯＳトランジスタを使用して、能動ＭＯＳ抵抗を形成し、Ｒａｎｄａｌｌ Ｌ. Ｇｅｉｇｅｒ他の「ＶＬＳＩ Ｄｅｓｉｇｎ Ｔｅｃｈｎｉｑｕｅｓ ｆｏｒ Ａｎａｌｏｇ ａｎｄ Ｄｉｇｉｔａｌ Ｃｉｒｃｕｉｔｓ」、ＭｃＧｒａｗ Ｈｉｌｌ、１９９０、ｐｐ．３０８－３１８に記載されているように、V_{DS}効果を排除する。上記の文献に記載されているように、他の能動ＭＯＳ抵抗構造も可能である。さらに、ＥＥＰＲＯＭセルを能動ＭＯＳ抵抗として使用して、抵抗とメモリ・セルの間により良好なマッチングを達成することもできる。

【００２０】

演算増幅器、抵抗（デバイスＭ３およびＭ４）、デバイスＭ２を含んでいる直列のｎ－ＭＯＳデバイスおよび列・デコード・デバイスは、プログラミングにおいて高電圧を列に駆動し、また読返し中にメモリ・セルから電圧を読み取る働きをする列・ドライバの一部である。ネガティブ・フィードバック作用により、演算増幅器はセル・ドレン電圧を第１の基準電圧ＶＲＥＦ１と等しくさせる。これによって、ＶＲＥＦ２がセル閾値電圧（V_t）とセル・ドレン電圧（ＶＲＥＦ１）の合計値よりも高いため、メモリ・セルが線形モードで動作する。それ故、

$I=\beta[(V_{gs}-V_t)*V_{ds}-(V_{ds})^2/2]$

ただし、

$V_{gs}>V_{ds}+V_t$

$\beta=$メモリ・セルの$\mu nC_{ox}W_e/L_e$（添え字ｅは機能拡張デバイスを示す）

【００２１】

したがって、

$I=\beta[VREF2-V_t)*VREF1-VREF1*VREF1*0.5]$

これを再構成して、次式を得ることができる。

$I=A-B*V_t$

ただし、

$A=\beta*K$、ただし、$K=[VREF2*-VREF1-VREF1*VREF1*0.5]=$定数

$B=\beta*VREF1$

これはセル閾値とセル電流の間の線形関係である。

【００２２】

デプレーション能動抵抗ＭＯＳトランジスタの等価抵抗値は次のようになる。

$R_{eq}=1/(2*\beta_d*V_{td})$

ただし、

$\beta_d=\mu_d C_{oxd} W_d/L_d$（添え字ｄはデプレーション・デバイスを示す）

$V_{td}=$デプレーション・デバイスの閾値

【００２３】

それ故、抵抗両端の電圧降下は次のようになる。

$V_R=I*R_{eq}=A'-B'*V_t$

ただし、

$A'=\beta/(2*\beta_d*V_{td})=K*C*(W_e/L_e)/(W_d/L_d)*1/(2*V_{td})$

$C=(\mu n\ C_{ox})/(\mu d\ C_{oxd})$＝定数
または、
$A'=D*(W_e/L_e)/(W_d/L_d)*1/V_{td}$
$B'=\beta/(2*\beta_d*V_{td})*VREF1=E*(W_e/L_e)/(W_d/L_d)*1/V_{td}$
ただし、
$D=K*C*0.5$
$E=C*VREF1*0.5$
最終的に、
$V_R=(W_e/L_e)/(W_d/L_d)*1/V_{td}*[D-E*V_t]$
$VOUT=VREF3-V_R$
【００２４】
それ故、セル閾値とセル読出し電圧の間には線形関係が存在する。また、一定のW_e/L_eのセル・メモリを与えた場合、W_d/L_dを変化させて、出力電圧範囲ＶＯＵＴを調節することができる（これは能動デプレーションＭＯＳの有効抵抗を変動させることと等価である）。米国特許第５１２６９６７号においてＲｉｃｈａｒｄ　Ｔ．Ｓｉｍｋｏが記載しているもののような参照手法によって、閾値電圧に対する温度効果を最小限とすることができる。
【００２５】
ここで図３を参照すると、本発明の線形化メモリ・セルの他の実施形態が示されている。基本記憶セルと演算増幅器の構成は図２と同じものである。ただし、セル電流はｐ－ＭＯＳトランジスタＭ５およびＭ６によって、高電源電圧ではなく、接地を基準とした能動ＭＯＳ抵抗（デバイスＭ３およびＭ４）にミラーされる。能動ＭＯＳ抵抗が接地を基準としているため、ＭＯＳデバイスのバルク・ソース効果は排除され、線形化が高い抵抗がもたらされる。ＶＯＵＴも接地を基準としている。
【００２６】
図３を再度参照すると、他のＭＯＳ構造が示されている。ここで、抵抗は２つの機能拡張ｎ－ＭＯＳトランジスタＭ３およびＭ４として実現されており、デバイスＭ３のゲートとドレンは浮動電圧源ＶＣに接続されており、デバイスＭ４のゲートとソースはもう１つの浮動電圧源ＶＣに接続されている。ＶＣを$VC=VOUT_{max}+V_{tn}$になるように選択して、能動抵抗ＭＯＳトランジスタＭ３およびＭ４に対する線形条件を満たす必要がある（V_{tn}は抵抗を形成するｎ－ＭＯＳトランジスタＭ３およびＭ４の閾値電圧である）。電圧ＶＣがトランジスタＭ３およびＭ４のゲートを駆動するだけのものであるから、これらの電圧の各々を電荷ポンプから供給することができる。この抵抗構造も上述のＲａｎｄａｌｌ　Ｌ．　Ｇｅｉｇｅｒ他の文献のｐｐ．３０８－３１８に記載されている。能動ＭＯＳ抵抗および浮動電圧源の実現に関する付加的な説明はＲｏｕｂｉｋ　ＧｒｅｇｏｒｉａｎおよびＧａｒｂｏｒ　Ｃ．　Ｔｅｍｅｓの「Ａｎａｌｏｇ　ＭＯＳ　Ｉ．Ｃ．　ｆｏｒ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｉｎｇ」、Ｊｏｈｎ　Ｗｉｌｅｙ　＆　Ｓｏｎｓ、１９８６年、ｐｐ．３８７－４００という文献に記載されている。
【００２７】
機能拡張能動ＭＯＳトランジスタの等価抵抗値は次の通りである。
$R_{eq}=1/(2*\beta_n(VC-V_{tn}))$
ただし、
β_n＝トランジスタＭ３およびＭ４の$\mu nC_{ox}W_n/L_n$（添え字ｎはｎチャネル・デバイスを示す）
V_{tn}＝トランジスタＭ３およびＭ４の閾値電圧
それ故、ＶＯＵＴ式は上記から次のように変更される。
$VOUT=(W_e/L_e)/(W_n/2_n)*1(VC-V_{tn})*[D-E_*V_t]$
【００２８】
これもセル閾値とセル読出し電圧の間の線形関係である。また、一定のW_e/L_eの

メモリ・セルを与えた場合、W_n／L_nおよびＶＣを変化させて、出力電圧範囲ＶＯＵＴを調節することができる（これは能動機能強化ＭＯＳの有効抵抗を変化させることと等価である）。

【００２９】

上記と同様、米国特許第５１２６９６７号においてＲｉｃｈａｒｄ　Ｔ．Ｓｉｍｋｏが記載しているもののような参照手法によって、閾値電圧に対する温度効果を最小限とすることができる。

【００３０】

線形化記憶セルに対する等価ＭＯＳ式を使用した上記の分析は、メモリ・セルのドレンから浮動ゲートへ結合する電圧の効果を無視していることに留意されたい。ドレン結合効果を考慮した同様な分析もメモリ・セル閾値電圧とメモリ・セル読出し電圧の間の線形関係をもたらす。また、本明細書記載の回路が必要とする各種の基準電圧を、標準的なＣＭＯＳバンドギャップ基準などの周知の基準回路から供給することができる。

【００３１】

本発明を好ましい実施の形態、特にアナログ信号のアナログ・サンプルの記憶再生のために構成されたものに関して説明してきた。しかしながら、本発明は通常の記憶セルあたり１ビット（２つの状態）、さらに重要な、記憶セルあたり２つ以上のディジタル・ビットを表す複数レベル記憶フォーマットのいずれかでのディジタル信号の記憶に合わせて構成されたシステムにも適用可能である。このような複数レベル・ディジタル記憶システムはディジタル・アナログ変換器を使用して、入力ディジタル信号を複数のアナログ・レベルのそれぞれに変換する。この場合、レベルは電圧の点で互いに十分分離されて、長期間の記憶の間、作動温度範囲および同一の集積回路上の他のセルの反復した再プログラミングに渡り、またアナログ・ディジタル変換器による反復した読返しおよびディジタル形態への再変換後、などに明確で、曖昧さのないものであることを維持するようにする。たとえば、セル当たり2^M　の異なる記憶レベルを使用することによって、記憶セル当たりＭビットのディジタル情報を記憶できる（ただし、Ｍは、たとえば３または４という整数である）。あるいは、８つの異なるレベルのいずれかを３つのセルの内の２つに記憶し、かつ４つの異なるレベルのいずれかを第３のセルに記憶することによって、８ビットの等価物を記憶するために３つのセルを使用することができる。

【００３２】

それ故、本発明をいくつかの好ましい実施の形態に関して開示し、説明してきたが、当分野の技術者には本発明をその精神および範囲から逸脱することなく変更できることが理解されよう。

【図面の簡単な説明】

【図１】本発明に適用される記憶アレイ・アーキテクチャの図である。

【図２】本発明による読返しのために接続された第１の実施の形態の線形化記憶セルの図である。

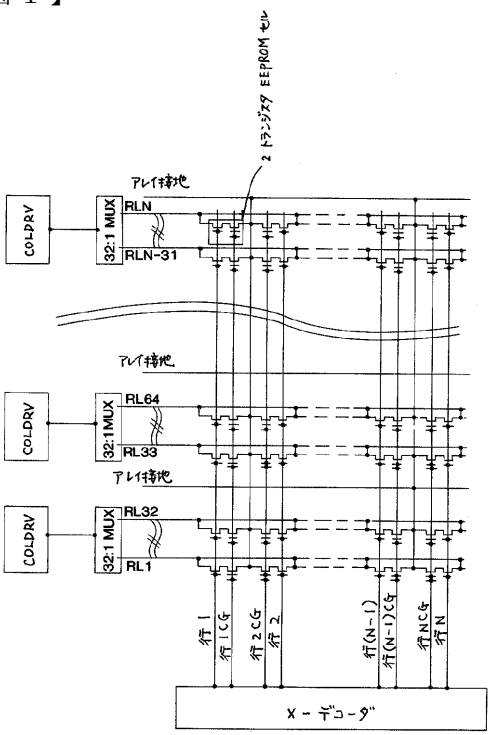
【図３】本発明による読返しのために接続された他の実施の形態の線形化記憶セルの図である。

【符号の説明】

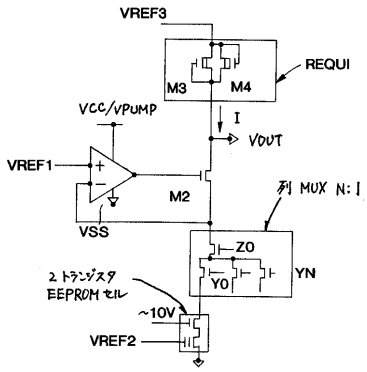
ＣＯＬＤＲＶ　列ドライバ
ＦＭ１　フローティング・ゲートｎチャネル・デバイス
Ｍ１　ｎチャネル・デバイス
Ｍ２　ｎ－ＭＯＳデバイス
Ｍ３、Ｍ４　ｎチャネル・デプレーション・デバイス
ＯＰ　ＡＭＰ　演算増幅器
ＳＧ　トランジスタＭ１の選択ゲート
ＶＲＥＦ１　セル・ドレン電圧
ＶＲＥＦ２　基準電圧
ＶＲＥＦ３　基準電圧

Ｙ０．．．ＹＮ　ｎ－ＭＯＳデバイス
Ｚ０　ｎ－ＭＯＳデバイス

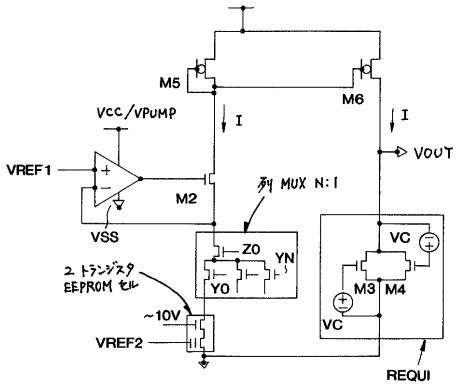
【図１】



【図２】



【図３】



フロントページの続き

審査官　長島　孝志

(56)参考文献　国際公開第９６／０１４６３８（WO，Ａ１）
特表平１０－５１３２９５（ＪＰ，Ａ）
特開昭５８－２１５７９３（ＪＰ，Ａ）
特開平０７－２２０４９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 16/00-16/34