



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0146064

(43) 공개일자 2015년12월31일

(51) 국제특허분류(Int. Cl.)

H03L 7/08 (2006.01) H03B 19/00 (2014.01)

(21) 출원번호 10-2014-0075916

(22) 출원일자 2014년06월20일

심사청구일자 2014년06월20일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울특별시 성북구 길음로16, 605-1301 (길음동, 삼성래미안3차아파트)

김자영

서울특별시 성북구 개운사2길 13-29, 201호 (안암동5가)

(74) 대리인

홍성욱, 심경식

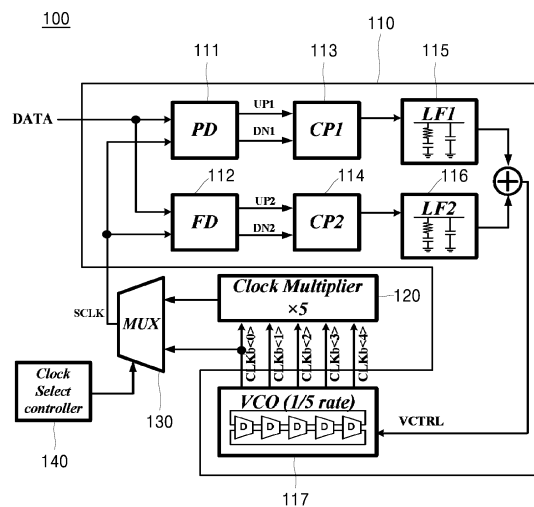
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 클록 주파수 체배기 및 이를 포함하는 클록/데이터 복원 회로

(57) 요약

본 발명의 일 실시예에 따른 클록 주파수 체배기는 각각이 서로 다른 위상을 갖는 적어도 하나의 클록 신호를 입력받아 체배된 클록 신호를 출력하는 적어도 하나의 캐패시터를 포함하고, 상기 적어도 하나의 캐패시터는 상기 적어도 하나의 클록 신호를 입력받는 제1 노드; 및 상기 제1 노드를 통해 입력된 클록 신호에 대응하여 체배된 클록 신호를 출력하는 제2 노드를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

각각이 서로 다른 위상을 갖는 적어도 하나의 클록 신호를 입력받아 체배된 클록 신호를 출력하는 적어도 하나의 캐패시터를 포함하고,

상기 적어도 하나의 캐패시터는

상기 적어도 하나의 클록 신호를 입력받는 제1 노드; 및

상기 제1 노드를 통해 입력된 클록 신호에 대응하여 체배된 클록 신호를 출력하는 제2 노드

를 포함하는 것을 특징으로 하는 클록 주파수 체배기.

청구항 2

제1항에 있어서,

상기 적어도 하나의 캐패시터는

상기 제2 노드 각각이 하나의 공통 라인으로 서로 연결되고, 상기 공통 라인을 통해 상기 체배된 클록 신호를 출력하는 것을 특징으로 하는 클록 주파수 체배기.

청구항 3

제1항에 있어서,

상기 적어도 하나의 캐패시터는

상기 제1 노드에서 상기 적어도 하나의 클록 신호의 위상이 각각 트랜지션(transition)이 일어날 때마다 상기 제2 노드에서 트랜지션이 일어나는 특성에 기초하여 상기 체배된 클록 신호를 생성하는 것을 특징으로 하는 클록 주파수 체배기.

청구항 4

제1항에 있어서,

상기 제2 노드에 접속되어 상기 체배된 클록 신호의 전압 레벨을 조절하는 스위치부

를 더 포함하는 것을 특징으로 하는 클록 주파수 체배기.

청구항 5

제4항에 있어서,

상기 스위치부는

바이어스 전압에 원하는 클록의 공통 레벨(common level) 전압을 인가하여 상기 체배된 클록 신호의 전압 레벨을 공통 레벨로 조절하는 것을 특징으로 하는 클록 주파수 체배기.

청구항 6

제4항에 있어서,

상기 스위치부는

MOSFET(Metal Oxide Semiconductor Field Effect Transistor)을 포함하는 것을 특징으로 하는 클록 주파수 체배기.

청구항 7

제1항에 있어서,

상기 제1 노드에 입력되는 클록 신호는

다중 위상을 가지는 전압 제어 발진기(VCO)의 출력 신호인 것을 특징으로 하는 클록 주파수 체배기.

청구항 8

입력 데이터와 샘플링 데이터의 위상 차이 및 주파수 차이에 기초하여, 각각이 서로 다른 위상을 갖는 적어도 하나의 클록 신호를 생성하는 클록 신호 발생부; 및

상기 적어도 하나의 클록 신호를 입력받아 체배된 클록 신호를 출력하는 적어도 하나의 캐패시터를 구비하는 클록 주파수 체배기

를 포함하고,

상기 캐패시터는

상기 적어도 하나의 클록 신호를 입력받는 제1 노드; 및

상기 제1 노드를 통해 입력된 클록 신호에 대응하여 체배된 클록 신호를 출력하는 제2 노드

를 포함하는 것을 특징으로 하는 클록/데이터 복원 회로.

청구항 9

제8항에 있어서,

상기 적어도 하나의 캐패시터는

상기 제2 노드 각각이 하나의 공통 라인으로 서로 연결되고, 상기 공통 라인을 통해 상기 체배된 클록 신호를 출력하는 것을 특징으로 하는 클록/데이터 복원 회로.

청구항 10

제8항에 있어서,

상기 적어도 하나의 캐패시터는

상기 제1 노드에서 상기 적어도 하나의 클록 신호의 위상이 각각 트랜지션(transition)이 일어날 때마다 상기 제2 노드에서 트랜지션이 일어나는 특성에 기초하여 상기 체배된 클록 신호를 생성하는 것을 특징으로 하는 클록/데이터 복원 회로.

청구항 11

제8항에 있어서,

상기 클록 주파수 체배기는

상기 제2 노드에 접속되어 상기 체배된 클록 신호의 전압 레벨을 조절하는 스위치부

를 더 구비하는 것을 특징으로 하는 클록/데이터 복원 회로.

청구항 12

제11항에 있어서,

상기 스위치부는

바이어스 전압에 원하는 클록의 공통 레벨(common level) 전압을 인가하여 상기 체배된 클록 신호의 전압 레벨을 공통 레벨로 조절하는 것을 특징으로 하는 클록/데이터 복원 회로.

청구항 13

제11항에 있어서,

상기 스위치부는

MOSFET을 포함하는 것을 특징으로 하는 클록/데이터 복원 회로.

청구항 14

제8항에 있어서,

상기 클록 신호 발생부는

상기 입력 데이터와 상기 샘플링 데이터의 위상 차이를 검출하는 위상 검출기;

상기 입력 데이터와 상기 샘플링 데이터의 주파수 차이를 검출하는 주파수 검출기;

상기 위상 차이 및 주파수 차이에 기초하여 전압 제어 발진기(VCO)의 제어 전압을 생성하는 전하 펌프;

상기 제어 전압에 기초하여 상기 적어도 하나의 클록 신호를 출력하는 전압 제어 발진기

를 포함하는 것을 특징으로 하는 클록/데이터 복원 회로.

청구항 15

제8항에 있어서,

상기 적어도 하나의 클록 신호 및 상기 체배된 클록 신호를 다중화 처리하는 멀티플렉서; 및

상기 멀티플렉서에 클록 선택 신호를 인가하여, 상기 멀티플렉서의 출력 신호를 선택적으로 상기 위상 검출기 및 상기 주파수 검출기에 출력하도록 하는 클록 선택 제어기

를 더 포함하는 것을 특징으로 하는 클록/데이터 복원 회로.

발명의 설명

기술 분야

본 발명의 실시예들은 클록 주파수 체배기 및 상기 클록 주파수 체배기를 포함하는 클록/데이터 복원 회로에 관한 것이다.

[0001]

배경 기술

- [0002] 클럭/데이터 복원 회로(CDR)은 SONET/SDH, 기가비트 이더넷, Fiber Channel, MIPI(Mobile Industry Processor Interface) M-PHY 등의 유선 통신 시스템에서 중요한 역할을 하며 널리 사용되어 왔다. 이렇게 다양한 표준(standard)에서 사용되는 CDR을 모든 이동통신에서 사용하기 위해서는 넓은 주파수 대역대에서 동작하도록 설계할 필요가 있다.
- [0003] 이를 실현하기 위해서 CDR은 넓은 주파수 대역대를 가지는 전압 제어 발진기(VCO)를 필요로 한다. 하지만, 넓은 주파수 대역대를 가지는 VCO를 위해서는 K_{VCO} 값을 크게 설계해야 되고, CDR 대역폭을 유지하기 위하여 루프 필터(Loop filter) 캐패시터의 크기도 크게 설계해야 된다. 또한, K_{VCO} 값이 크면 VCO는 파워 서플라이 노이즈(power supply noise)의 영향을 받기 쉽고 스퍼 노이즈(spur noise)도 더 커지게 된다.
- [0004] 이를 해결하기 위한 방안으로 클럭 주파수 체배기를 VCO 뒷단에 추가하여 K_{VCO} 값을 줄이고 VCO를 낮은 주파수에서 동작하게 한 뒤 VCO의 출력 클럭을 체배하여 사용 하는 방법이 있다. 하지만 기존의 CMOS 구조를 가지는 클럭 주파수 체배기는 보통 지터 특성을 나쁘게 하고 고속에서 동작하지 못한다.
- [0005] 기존의 클럭 주파수 체배기는 CMOS 구조를 가지며 이는 CMOS의 구조상 입력에 transition이 발생하여 출력을 변화시킬 때, VSS로 전류를 흘려주는 NMOS와 VDD에서 전류를 흘려주는 PMOS가 동시에 동작하는 구간이 존재하게 된다. 이 구간에서 NMOS와 PMOS가 출력 전압에 주는 영향은 반대이기 때문에 이 전압은 빠르게 변화할 수 없다. 이런 이유로 CMOS 구조를 가지는 기존의 클럭 주파수 체배기는 고속에서 동작하기 어려울 뿐만 아니라 지터 특성도 좋지 않다.
- [0006] 클럭 주파수 체배기가 N배로 주파수를 체배시킬 경우, 입력 신호의 지터는 $1/N$ 의 주기, 즉 N배의 주파수로 체배된 신호에 그대로 나타나기 때문에 입력 신호의 지터는 출력 신호에서 더 큰 UI(Units Interval)를 차지하게 된다. 그러므로, 클럭 주파수 체배기는 최대한 지터를 추가하지 않는 것이 중요하다. 따라서, 이런 단점들을 해결할 수 있는 새로운 구조의 클럭 주파수 체배기 및 이를 포함하는 클럭/데이터 복원 회로가 필요하다.

발명의 내용

해결하려는 과제

- [0007] 본 발명의 일 실시예는 스위치드 캐피시터를 이용하여 고속에서 동작하는 저 지터 특성을 갖는 단순한 구조의 클럭 주파수 체배기 및 이를 포함하는 클럭/데이터 복원 회로를 제공한다.
- [0008] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제(들)로 제한되지 않으며, 언급되지 않은 또 다른 과제(들)는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0009] 본 발명의 일 실시예에 따른 클럭 주파수 체배기는 각각이 서로 다른 위상을 갖는 적어도 하나의 클럭 신호를 입력받아 체배된 클럭 신호를 출력하는 적어도 하나의 캐패시터를 포함하고, 상기 적어도 하나의 캐패시터는 상기 적어도 하나의 클럭 신호를 입력받는 제1 노드; 및 상기 제1 노드를 통해 입력된 클럭 신호에 대응하여 체배된 클럭 신호를 출력하는 제2 노드를 포함한다.
- [0010] 상기 적어도 하나의 캐패시터는 상기 제2 노드 각각이 하나의 공통 라인으로 서로 연결되고, 상기 공통 라인을 통해 상기 체배된 클럭 신호를 출력할 수 있다.
- [0011] 상기 적어도 하나의 캐패시터는 상기 제1 노드에서 상기 적어도 하나의 클럭 신호의 위상이 각각 트랜지션(transition)이 일어날 때마다 상기 제2 노드에서 트랜지션이 일어나는 특성에 기초하여 상기 체배된 클럭 신호를 생성할 수 있다.

- [0012] 본 발명의 일 실시예에 따른 클록 주파수 체배기는 상기 제2 노드에 접속되어 상기 체배된 클록 신호의 전압 레벨을 조절하는 스위치부를 더 포함할 수 있다.
- [0013] 상기 스위치부는 바이어스 전압에 원하는 클록의 공통 레벨(common level) 전압을 인가하여 상기 체배된 클록 신호의 전압 레벨을 공통 레벨로 조절할 수 있다.
- [0014] 상기 스위치부는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)을 포함할 수 있다.
- [0015] 상기 제1 노드에 입력되는 클록 신호는 다중 위상을 가지는 전압 제어 발진기(VCO)의 출력 신호일 수 있다.
- [0016] 본 발명의 일 실시예에 따른 클록/데이터 복원 회로는 입력 데이터와 샘플링 데이터의 위상 차이 및 주파수 차이에 기초하여, 각각이 서로 다른 위상을 갖는 적어도 하나의 클록 신호를 생성하는 클록 신호 발생부; 및 상기 적어도 하나의 클록 신호를 입력받아 체배된 클록 신호를 출력하는 적어도 하나의 캐패시터를 구비하는 클록 주파수 체배기를 포함하고, 상기 캐패시터는 상기 적어도 하나의 클록 신호를 입력받는 제1 노드; 및 상기 제1 노드를 통해 입력된 클록 신호에 대응하여 체배된 클록 신호를 출력하는 제2 노드를 포함한다.
- [0017] 상기 적어도 하나의 캐패시터는 상기 제2 노드 각각이 하나의 공통 라인으로 서로 연결되고, 상기 공통 라인을 통해 상기 체배된 클록 신호를 출력할 수 있다.
- [0018] 상기 적어도 하나의 캐패시터는 상기 제1 노드에서 상기 적어도 하나의 클록 신호의 위상이 각각 트랜지션(transition)이 일어날 때마다 상기 제2 노드에서 트랜지션이 일어나는 특성에 기초하여 상기 체배된 클록 신호를 생성할 수 있다.
- [0019] 상기 클록 주파수 체배기는 상기 제2 노드에 접속되어 상기 체배된 클록 신호의 전압 레벨을 조절하는 스위치부를 더 구비할 수 있다.
- [0020] 상기 스위치부는 바이어스 전압에 원하는 클록의 공통 레벨(common level) 전압을 인가하여 상기 체배된 클록 신호의 전압 레벨을 공통 레벨로 조절할 수 있다.
- [0021] 상기 스위치부는 MOSFET을 포함할 수 있다.
- [0022] 상기 클록 신호 발생부는 상기 입력 데이터와 상기 샘플링 데이터의 위상 차이를 검출하는 위상 검출기; 상기 입력 데이터와 상기 샘플링 데이터의 주파수 차이를 검출하는 주파수 검출기; 상기 위상 차이 및 주파수 차이에 기초하여 전압 제어 발진기(VCO)의 제어 전압을 생성하는 전하 펌프; 및 상기 제어 전압에 기초하여 상기 적어도 하나의 클록 신호를 출력하는 전압 제어 발진기를 포함할 수 있다.
- [0023] 본 발명의 일 실시예에 따른 클록/데이터 복원 회로는 상기 적어도 하나의 클록 신호 및 상기 체배된 클록 신호를 다중화 처리하는 멀티플렉서; 및 상기 멀티플렉서에 클록 선택 신호를 인가하여, 상기 멀티플렉서의 출력 신호를 선택적으로 상기 위상 검출기 및 상기 주파수 검출기에 출력하도록 하는 클록 선택 제어기를 더 포함할 수 있다.
- [0024] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 첨부 도면들에 포함되어 있다.

발명의 효과

- [0025] 본 발명의 일 실시예에 따르면, 스위치드 캐패시터를 이용하여 고속에서 동작하는 저 지터 특성을 갖는 단순한 구조의 클록 주파수 체배기를 구현함으로써 고속의 클록에서도 동작이 가능하며 저 지터 특성을 가질 수 있다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시예에 따른 클록/데이터 복원 회로를 설명하기 위해 도시한 블록도이다.
- 도 2는 본 발명의 일 실시예에 따라 다중 위상을 가지는 VCO의 출력을 이용하여 클록을 체배하는 클록 주파수 체배기의 구조를 도시한 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 클록 주파수 체배기의 동작 원리를 보여주는 등가 회로이다.

도 4는 본 발명의 일 실시예에 따라 5개의 위상을 가지는 VCO의 출력을 이용하여 5배로 클록 주파수가 체배되는 것을 시간축에서 보여주기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명의 이점 및/또는 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.
- [0028] 본 발명의 일 실시예에서는 스위치드 캐패시터(switched capacitor) 기법을 적용한 클록 주파수 체배기 및 이를 포함하는 클록/데이터 복원 회로에 대해 개시한다.
- [0029] 본 발명의 일 실시예에 따른 switched capacitor 기법을 적용한 클록 주파수 체배기는 상기 클록/데이터 복원 회로의 구성 블록으로, 상기 클록/데이터 복원 회로가 넓은 주파수 대역에서 고속으로 동작이 가능하도록 하며, 저 지터(low jitter) 등의 장점을 가진다.
- [0030] 또한, 본 발명의 일 실시예에서는 상기 클록/데이터 복원 회로(CDR)를 제외하고도 지연 고정 루프(DLL), 고정 위상 루프(PLL) 등의 다른 구조에서도 고속으로 클록을 체배하기 위하여 사용될 수 있다.
- [0031] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 클록/데이터 복원 회로를 설명하기 위해 도시한 블록도이다.
- [0033] 도 1을 참조하면, 본 발명의 일 실시예에 따른 클록/데이터 복원 회로(100)는 클록 신호 발생부(110), 클록 주파수 체배기(Clock Multiplier)(120), 멀티플렉서(MUX)(130), 및 클록 선택 제어기(140)를 포함할 수 있다.
- [0034] 상기 클록 신호 발생부(110)는 입력 데이터(DATA)와 샘플링 데이터의 위상 차이 및 주파수 차이에 기초하여, 각각이 서로 다른 위상을 갖는 적어도 하나의 클록 신호를 생성한다.
- [0035] 여기서, 상기 입력 데이터는 무작위의 데이터를 포함할 수 있으며, 상기 샘플링 데이터는 데이터 클록 신호에 기초하여 입력 데이터를 샘플링하는 데이터 샘플러(data sampler)(미도시)에 의해 생성되는 데이터를 포함할 수 있다.
- [0036] 상기 클록 신호 발생부(110)는 위상 검출기(111), 주파수 검출기(112), 제1 및 제2 전하 펌프(113, 114), 제1 및 제2 필터(115, 116), 및 전압 제어 발진기(117)를 포함할 수 있다.
- [0037] 상기 위상 검출기(111)는 상기 입력 데이터와 상기 샘플링 데이터의 위상 차이를 검출한다.
- [0038] 상기 주파수 검출기(112)는 상기 입력 데이터와 상기 샘플링 데이터의 주파수 차이를 검출한다.
- [0039] 상기 제1 전하 펌프(113)는 상기 위상 차이에 기초하여 상기 전압 제어 발진기(VCO)(117)의 제어 전압을 생성한다.
- [0040] 상기 제2 전하 펌프(114)는 상기 주파수 차이에 기초하여 상기 전압 제어 발진기(VCO)(117)의 제어 전압을 생성한다.
- [0041] 상기 제1 필터(115)는 상기 제1 전하 펌프(113)의 출력 신호를 로우 패스(low pass) 필터링하여 출력한다.
- [0042] 상기 제2 필터(116)는 상기 제2 전하 펌프(113)의 출력 신호를 로우 패스 필터링하여 출력한다.
- [0043] 상기 전압 제어 발진기(117)는 상기 제1 및 제2 필터(115, 116)의 출력 신호가 결합되어 생성된 제어 전압(VCTRL)을 입력받고, 그 입력된 제어 전압에 기초하여 상기 적어도 하나의 클록 신호를 출력한다. 도면에서는 5개의 클록 신호(CLK<0>, CLK<1>, CLK<2>, CLK<3>, CLK<4>)가 출력된 것으로 도시되어 있다.
- [0044] 한편, 상기 클록 주파수 체배기(120)는 도 2에 도시된 바와 같이, 상기 클록 신호 발생부(110)에 의해 생성된,

적어도 하나의 클록 신호를 입력받아 체배된 클록 신호(SCLK)를 출력하는 적어도 하나의 캐패시터(210), 및 상기 캐패시터(210)의 제2 노드(N2)에 접속되어 상기 체배된 클록 신호(SCLK)의 전압 레벨을 조절하는 스위치부(220)를 구비할 수 있다.

[0045] 상기 적어도 하나의 캐패시터(210)는 상기 적어도 하나의 클록 신호를 입력받는 제1 노드(N1), 및 상기 제1 노드(N1)를 통해 입력된 클록 신호에 대응하여 체배된 클록 신호(SCLK)를 출력하는 제2 노드(N2)를 포함할 수 있다.

[0046] 여기서, 상기 제1 노드(N1)에 입력되는 클록 신호는 다중 위상을 가지는 전압 제어 발진기(VCO)의 출력 신호, 예컨대 도면에서와 같이 CLK<0>, CLK<1>, CLK<2>, CLK<3>, CLK<4>를 포함할 수 있다.

[0047] 상기 적어도 하나의 캐패시터(210)는 상기 제2 노드(N2) 각각이 하나의 공통 라인(N3)으로 서로 연결되고, 상기 공통 라인(N3)을 통해 상기 체배된 클록 신호(SCLK)를 출력할 수 있다.

[0048] 상기 적어도 하나의 캐패시터(210)는 상기와 같은 구조로 이루어짐으로써, 상기 제1 노드(N1)에서 상기 적어도 하나의 클록 신호의 위상이 각각 트랜지션(transition)이 일어날 때마다 상기 제2 노드(N2)에서 트랜지션이 일어나는 특성에 기초하여 상기 체배된 클록 신호(SCLK)를 생성할 수 있다.

[0049] 상기 스위치부(220)는 바이어스(BIAS) 전압에 원하는 클록의 공통 레벨(common level) 전압을 인가하여 상기 체배된 클록 신호(SCLK)의 전압 레벨을 공통 레벨로 조절할 수 있다. 상기 스위치부(220)는 본 실시예에서는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)을 통해 구현될 수 있다.

[0050] 상기 멀티플렉서(130)는 상기 적어도 하나의 클록 신호 및 상기 체배된 클록 신호를 다중화 처리할 수 있다.

[0051] 상기 클록 선택 제어기(140)는 상기 멀티플렉서(130)에 클록 선택 신호를 인가하여, 상기 멀티플렉서(130)의 출력 신호를 선택적으로 상기 위상 검출기(111) 및 상기 주파수 검출기(112)에 출력하도록 할 수 있다.

[0052] 이와 같은 구성을 가지는 상기 클록/데이터 복원 회로(100)에 대해 요약하면 다음과 같다.

[0053] 도 1에서와 같이, 무작위의 데이터(DATA)와 복원된 클록(SCLK)은 상기 위상 검출기(111)와 주파수 검출기(112)에 인가 되어 업(UP), 다운(DN) 신호를 생성해 낸다. 상기 위상 검출기(111)와 주파수 검출기(112)의 출력은 상기 전하 펌프(113, 114)에 인가되어 상기 전압 제어 발진기(117)의 제어 전압(VCTRL)을 생성한다.

[0054] 여기서, 상기 위상 검출기(111)는 상기 입력 데이터와 복원된 클록으로 샘플링한 데이터(샘플링 데이터)의 위상 차이를 검출하는 역할을 하고, 상기 주파수 검출기(112)는 상기 입력 데이터와 상기 샘플링 데이터의 주파수 차이를 검출하는 역할을 한다. 상기 전하 펌프(113, 114)는 상기 위상 차이와 주파수 차이를 전류로 바꿔주는 역할을 한다.

[0055] 상기 클록 선택 제어기(140)는 상기 클록/데이터 복원 회로(100)가 광범위의 주파수 대역에서 동작할 수 있도록, 상기 전압 제어 발진기(117)의 출력과 상기 클록 주파수 체배기(120)의 출력 중에서 어떤 것을 상기 위상 검출기(111)와 상기 주파수 검출기(112)의 입력으로 인가해줄지를 결정해준다.

[0056] 본 실시예에서는 5개의 위상의 클록을 상기 클록 주파수 체배기(120)의 입력으로 인가하여 5배만큼 체배된 클록을 생성함으로써 높은 데이터 속도에서도 동작하도록 하였다.

[0057] 도 2는 본 발명의 일 실시예에 따라 다중 위상을 가지는 VCO의 출력을 이용하여 클록을 체배하는 클록 주파수 체배기의 구조를 도시한 도면이다. 참고로, 본 실시예에서는 5개의 위상을 가지는 VCO의 출력이 사용되었다.

[0058] 도 2를 참조하면, 다중의 위상 CLK<i> (i=0~4)는 캐패시터(210)의 제1 노드(N1)로 각각 인가되게 되고, 상기 캐패시터(210)의 제2 노드(N2)는 하나의 공통 라인(N3)으로 서로 연결되어 체배된 클록(SCLK)을 출력하게 된다.

[0059] 5개의 위상이 각각 transition이 일어날 때마다 SCLK 노드(공통 라인, N3)에 transition이 일어나게 한다면 5배로 주파수가 체배된 클록이 생성되게 되는데, 본 발명의 일 실시예에서는 캐패시터(210)의 순간적으로 전압이 변할 때 캐패시터(210)에 걸리는 전압을 유지하려고 하는 성질을 이용하여 클록 주파수 체배기(120)를 구현하였다.

[0060] 이러한 구조로는 VCO(도 1의 "117" 참조)가 홀수 개의 지연셀을 가질 때 출력되는 홀수 개의 위상을 상기 클록 주파수 체배기(120)의 입력으로 인가하였을 때 체배가 가능하다.

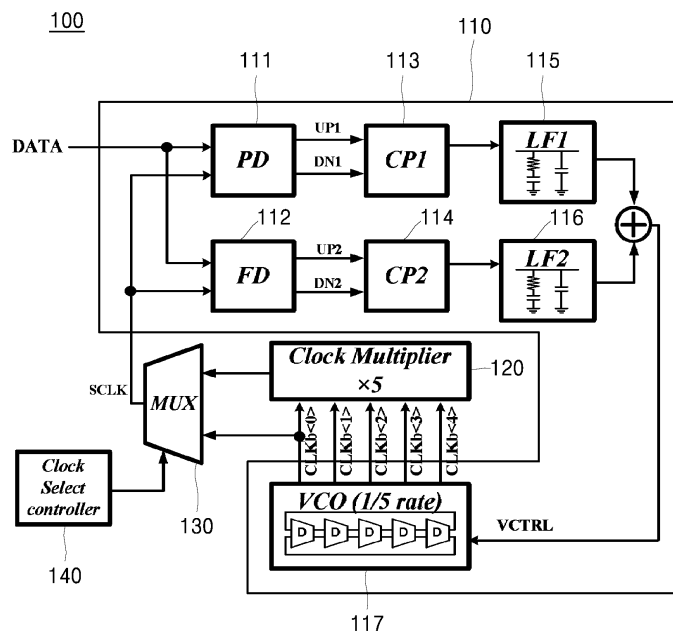
- [0061] SCLK의 노드(N3)에 연결된 스위치부(220)의 일레인 MOSFET은 생성된 클록의 공통 레벨(common level)을 조절해 주기 위하여 사용되었으며, BIAS 전압에 원하는 클록의 common level 전압을 인가하여 common level을 맞출 수 있다.
- [0062] 도 3은 본 발명의 일 실시예에 따른 클록 주파수 체배기의 동작 원리를 보여주는 등가 회로이다.
- [0063] 도 3에 도시된 바와 같이, 5개의 위상을 가진 클록 주파수 체배기의 입력은 임의의 시간에서 2개는 VDD에 연결되어 있고 2개는 VSS에 연결되어 있으며, 나머지 한 개의 입력은 번갈아 가면서 VDD와 VSS에 연결된다.
- [0064] 캐패시터가 순간적으로 전압이 변할 때 캐패시터에 걸리는 전압을 유지하려고 하는 성질로 인하여 SCLK에서는 VDD와 VSS로 번갈아 가면서 스위칭이 일어날 때마다 transition이 발생하게 되며 그 결과 5배로 주파수가 체배된 클록이 생성된다.
- [0065] 도 4는 본 발명의 일 실시예에 따라 5개의 위상을 가지는 VCO의 출력을 이용하여 5배로 클록 주파수가 체배되는 것을 시간축에서 보여주기 위한 도면이다.
- [0066] 도 4에 도시된 바와 같이, $CLK<i>(i=0\sim4)</i>$ 중에서 한 개의 입력이 VSS에서 VDD로 transition이 발생하면 SCLK은 rising edge를 갖게 되고 반대로 VDD에서 VSS로 transition이 발생하면 SLCLK은 falling edge를 갖게 되어 클록이 5배로 체배되는 것을 확인할 수 있다.
- [0067] 지금까지 본 발명에 따른 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능함은 물론이다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허 청구의 범위뿐 아니라 이 특허 청구의 범위와 균등한 것들에 의해 정해져야 한다.
- [0068] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 이는 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명 사상은 아래에 기재된 특허청구범위에 의해서만 파악되어야 하고, 이의 균등 또는 등가적 변형 모두는 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

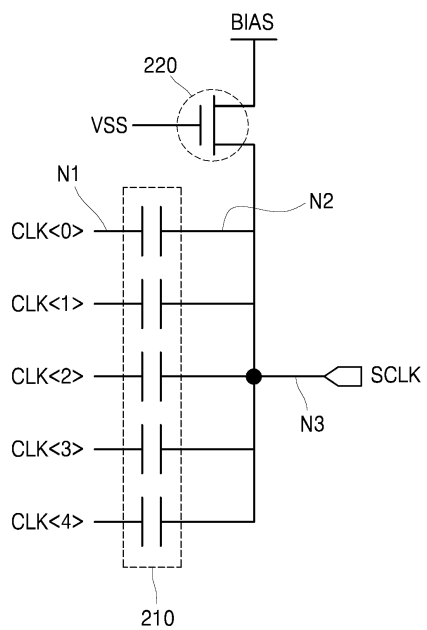
- [0069] 110: 클록 발생부
111: 위상 검출기
112: 주파수 검출기
113, 114: 전하 펌프
115, 116: 필터
117: 전압 제어 발진기(VCO)
120: 클록 주파수 체배기
130: 멀티플렉서
140: 클록 선택 제어기
210: 캐패시터
220: 스위치부

도면

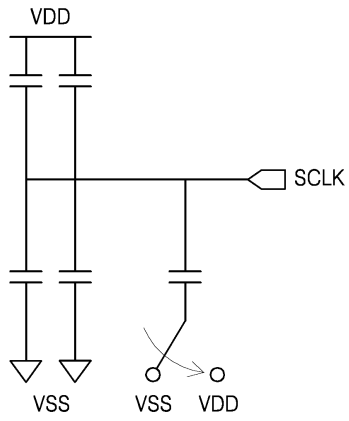
도면1



도면2



도면3



도면4

