

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7140718号  
(P7140718)

(45)発行日 令和4年9月21日(2022.9.21)

(24)登録日 令和4年9月12日(2022.9.12)

(51)国際特許分類	F I			
H 0 1 L 27/146(2006.01)	H 0 1 L 27/146	D		
H 0 1 L 21/02(2006.01)	H 0 1 L 27/146	A		
H 0 1 L 21/3205(2006.01)	H 0 1 L 27/146	F		
H 0 1 L 21/768(2006.01)	H 0 1 L 21/02	B		
H 0 1 L 23/522(2006.01)	H 0 1 L 21/88	J		
請求項の数 27 (全21頁) 最終頁に続く				

(21)出願番号	特願2019-121959(P2019-121959)	(73)特許権者	000001007
(22)出願日	令和1年6月28日(2019.6.28)		キヤノン株式会社
(62)分割の表示	特願2017-127985(P2017-127985)		東京都大田区下丸子3丁目30番2号
	)の分割	(74)代理人	100126240
原出願日	平成23年5月10日(2011.5.10)		弁理士 阿部 琢磨
(65)公開番号	特開2019-195082(P2019-195082)	(74)代理人	100124442
	A)		弁理士 黒岩 創吾
(43)公開日	令和1年11月7日(2019.11.7)	(72)発明者	小林 昌弘
審査請求日	令和1年7月23日(2019.7.23)		東京都大田区下丸子3丁目30番2号キ
審判番号	不服2021-11602(P2021-11602/J)	(72)発明者	ヤノン株式会社内
	1)		下津佐 峰生
審判請求日	令和3年8月31日(2021.8.31)		東京都大田区下丸子3丁目30番2号キ
(31)優先権主張番号	特願2010-149483(P2010-149483)		ヤノン株式会社内
(32)優先日	平成22年6月30日(2010.6.30)	合議体	
(33)優先権主張国・地域又は機関		審判長	河本 充雄
	最終頁に続く		最終頁に続く

(54)【発明の名称】 固体撮像装置および固体撮像装置の製造方法

(57)【特許請求の範囲】

【請求項1】

光電変換素子および第1半導体素子が配された第1半導体基板と、第2半導体素子および第3半導体素子が配された第2半導体基板と、前記第1半導体基板と前記第2半導体基板との間に配された第1配線構造と、前記第1配線構造と前記第2半導体基板との間に配された第2配線構造と、前記第1半導体基板と前記第2半導体基板との間に配されるとともに、前記第1半導体基板に設けられた半導体素子には接続されず、前記第3半導体素子に接続されたパッドと、を備え、前記第1半導体素子と前記第2半導体素子とが電氣的に接続された部材を用意し、

前記第1半導体基板を貫通して前記パッドに達する開口を形成することを特徴とする固体撮像装置の製造方法。

10

【請求項2】

前記第2半導体基板の第1半導体領域と、前記第2半導体基板の第2半導体領域と、前記第1半導体領域と前記第2半導体領域との間に位置する絶縁体と、が前記開口に重なるように設けられている、請求項1に記載の製造方法。

【請求項3】

前記第1半導体素子および前記第2半導体素子はトランジスタであり、前記第3半導体素子はダイオードである、請求項1または2に記載の製造方法。

【請求項4】

前記パッドはポリシリコン層からなる抵抗を介して前記第3半導体素子に接続されてい

20

る、請求項 1 乃至 3 のいずれか 1 項に記載の製造方法。

【請求項 5】

前記第 3 半導体素子は前記パッドに重なる、請求項 1 乃至 4 のいずれか 1 項に記載の製造方法。

【請求項 6】

前記第 1 配線構造は第 1 配線層を有し、前記第 2 配線構造は第 2 配線層を有し、前記第 1 配線層の主成分および前記第 2 配線層の主成分は銅である、請求項 1 乃至 5 のいずれか 1 項に記載の製造方法。

【請求項 7】

前記パッドは、前記第 2 配線層と前記第 2 半導体基板との間に位置する第 3 配線層に含まれる配線を介して前記第 3 半導体素子へ接続される、請求項 6 に記載の製造方法。

10

【請求項 8】

前記第 1 配線層の第 1 配線と前記第 2 配線層の第 2 配線とが金属接合している、請求項 6 または 7 に記載の製造方法。

【請求項 9】

光電変換素子および第 1 半導体素子が配された第 1 半導体基板と、第 2 半導体素子および第 3 半導体素子が配された第 2 半導体基板と、前記第 1 半導体基板と前記第 2 半導体基板との間に配された第 1 配線構造と、前記第 1 配線構造と前記第 2 半導体基板との間に配された第 2 配線構造と、前記第 1 半導体基板と前記第 2 半導体基板との間に配され前記第 3 半導体素子に接続されたパッドと、を備え、前記第 1 半導体素子と前記第 2 半導体素子とが電氣的に接続され、前記第 1 配線構造の第 1 配線と前記第 2 配線構造の第 2 配線とが金属接合した部材を用意し、前記第 1 半導体基板を貫通して前記パッドに達する開口を形成することを特徴とする固体撮像装置の製造方法。

20

【請求項 10】

前記第 1 配線構造と前記第 2 配線構造とが接合面において接合され、前記接合面において、前記第 1 配線構造に含まれる絶縁膜と前記第 2 配線構造に含まれる絶縁膜との接合と、前記金属接合とがそれぞれ形成されていることを特徴とする請求項 9 に記載の製造方法。

【請求項 11】

前記第 1 配線の主成分および前記第 2 配線の主成分は銅であることを特徴とする請求項 9 または 10 に記載の固体撮像装置の製造方法。

30

【請求項 12】

前記パッドが前記第 1 半導体基板に設けられた半導体素子には接続されず、前記第 3 半導体素子に接続されていることを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の固体撮像装置の製造方法。

【請求項 13】

前記第 1 配線は前記第 1 半導体素子に接続されており、かつ、前記第 2 配線は前記第 2 半導体素子に接続されている、請求項 8 乃至 12 のいずれか 1 項に記載の製造方法。

【請求項 14】

前記パッドの主成分はアルミニウムである、請求項 1 乃至 13 のいずれか 1 項に記載の製造方法。

40

【請求項 15】

前記パッドは前記第 1 配線構造に含まれる配線層と同じ層に配されている、請求項 1 乃至 14 のいずれか 1 項に記載の製造方法。

【請求項 16】

前記パッドは前記第 2 配線構造に含まれる配線層と同じ層に配されている、請求項 1 乃至 14 のいずれか 1 項に記載の製造方法。

【請求項 17】

前記パッドは複数の箇所前記第 2 配線構造と接続されている、請求項 1 乃至 16 のいずれか 1 項に記載の製造方法。

50

## 【請求項 1 8】

前記パッドに対して前記複数の箇所は平面的に重なっていることを特徴とする請求項 1 7 に記載の製造方法。

## 【請求項 1 9】

前記第 3 半導体素子は保護回路に含まれる、請求項 1 乃至 1 8 のいずれか 1 項に記載の製造方法。

## 【請求項 2 0】

前記開口は、前記第 1 半導体基板の厚さが前記第 2 半導体基板の厚さよりも小さい状態で形成される、請求項 1 乃至 1 9 のいずれか 1 項に記載の製造方法。

## 【請求項 2 1】

前記部材の用意の後に前記第 2 半導体基板の厚さを小さくする、請求項 1 乃至 2 0 のいずれか 1 項に記載の製造方法。

10

## 【請求項 2 2】

前記部材の用意の後に前記第 1 半導体基板の厚さを小さくする、請求項 1 乃至 2 1 のいずれか 1 項に記載の製造方法。

## 【請求項 2 3】

前記開口の形成の後に前記第 1 半導体基板の上に複数のマイクロレンズを含むマイクロレンズ層を形成する、請求項 1 乃至 2 2 のいずれか 1 項に記載の製造方法。

## 【請求項 2 4】

前記開口の形成の前に前記第 1 半導体基板の上に複数のマイクロレンズを含むマイクロレンズ層を形成する、請求項 1 乃至 2 2 のいずれか 1 項に記載の製造方法。

20

## 【請求項 2 5】

用意された前記部材の前記パッドが前記第 1 配線構造には接続されず、前記第 2 配線構造に接続される、請求項 1 乃至 2 4 のいずれか 1 項に記載の製造方法。

## 【請求項 2 6】

前記パッドが、前記光電変換素子で生じた電荷に基づく信号を前記固体撮像装置の外部に出力するパッドである、請求項 1 乃至 2 5 のいずれか 1 項に記載の製造方法。

## 【請求項 2 7】

前記第 2 半導体基板が前記光電変換素子で生じた電荷に基づく信号を生成する読み出し回路を備え、前記パッドが、前記読み出し回路が出力する信号を前記固体撮像装置の外部に出力するパッドである、請求項 2 6 に記載の製造方法。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本発明は、固体撮像装置に関する発明であり、特にパッド部に関する発明である。

## 【背景技術】

## 【0 0 0 2】

デジタルスチルカメラやカムコーダなどに用いられる CCD 型や増幅型の固体撮像装置においては、高精細の画像を得るためにその画素の微細化が求められている。しかし、画素を微細にすればするほど、画素に含まれる光を検出するための光電変換素子の受光面積が小さくなり、感度が低下してしまう。

40

特許文献 1 には、増幅型である CMOS 型の固体撮像装置において、光電変換素子の受光面積を確保するため、光電変換素子と転送トランジスタを配した第 1 基板と、他の回路を配した第 2 基板とを接合して固体撮像装置を形成する構成が開示されている。特許文献 1 の固体撮像装置においては、第 2 基板を貫通した接続部がパッド（入出力パッド）と接続し、第 2 基板の裏面側からパッドの接続を行っている。このパッドは、第 2 基板を研磨して第 2 接続部を露出した後、第 2 基板の裏面に形成されている。

また、特許文献 2 には、画像センサと第 1 の導電エリアを備える第 1 基板と、集積回路と第 2 の導電エリアを備える第 2 基板とを接合する電子部品の製造方法が開示されている。第 1 基板と第 2 基板とを接合した後に、第 1 の導電エリアと第 2 の導電エリアを露出さ

50

せ、さらに導電層を堆積して第1の導電エリアと第2の導電エリアの電氣的接続を形成すること開示されている。第1の導電エリアあるいは導電層が、パッド（外部接続パッド）として用いられている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2006-191081号公報

特表2010-514177号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1のような構成では、パッドと第1基板とを結ぶ電気経路が長くなってしまふ。その結果、接続抵抗の増大によって性能が低下したり、パッドと第1基板との接続の信頼性が低下したりする可能性がある。特許文献2のような構成では、パッドと第2の導電エリアとの接続の信頼性が低くなってしまふ。

また、特許文献1の製造方法においては、接続部と第2基板とを分離するためのライナを設ける工程、第2基板を研磨する工程、及び入出力パッドを形成する工程が必要となり、工程が複雑となってしまふ。特許文献2の製造方法においては、第1の導電エリアと第2の導電エリアのそれぞれに対して深さの異なる開口を設ける工程が必要になり、工程が複雑となってしまふ。

そこで本発明においては、パッドと回路との接続の信頼性が高い固体撮像装置を提供することを目的とする。また、パッドと回路との接続を容易に形成可能な固体撮像装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明は、光電変換素子および第1半導体素子が配された第1半導体基板と、第2半導体素子および第3半導体素子が配された第2半導体基板と、前記第1半導体基板と前記第2半導体基板との間に配された第1配線構造と、前記第1配線構造と前記第2半導体基板との間に配された第2配線構造と、前記第1半導体基板と前記第2半導体基板との間に配されるとともに、前記第1半導体基板に設けられた半導体素子には接続されず、前記第3半導体素子に接続されたパッドと、を備え、前記第1半導体素子と前記第2半導体素子とが電氣的に接続された部材を用意し、前記第1半導体基板を貫通して前記パッドに達する開口を形成することを特徴とする固体撮像装置の製造方法である。

【発明の効果】

【0006】

本発明によって、パッドと半導体素子との接続の信頼性を向上可能である。また、本発明によって、パッドと半導体素子との接続を容易に形成可能となる。

【図面の簡単な説明】

【0007】

【図1】実施例1における固体撮像装置の断面模式図である。

【図2】実施例1における固体撮像装置の平面模式図である。

【図3】実施例1における固体撮像装置の回路図である。

【図4】実施例1における固体撮像装置の製造方法を説明する断面模式図である。

【図5】実施例1における固体撮像装置の製造方法を説明する断面模式図である。

【図6】実施例1における固体撮像装置の製造方法を説明する断面模式図である。

【図7】実施例2における固体撮像装置の断面模式図である。

【図8】実施例3における固体撮像装置の断面模式図、及びその製造方法を説明する断面模式図である。

【図9】実施例4における固体撮像装置の断面模式図である。

【発明を実施するための形態】

10

20

30

40

50

## 【0008】

本発明の固体撮像装置は、光電変換素子が表面に配された第1半導体基板と、光電変換素子の電荷に基づく信号を生成するための回路の少なくとも一部が表面に配された第2半導体基板と、を有している。そして、第1半導体基板の表面と第2半導体基板の表面とが対向するように配置されている。第1半導体基板と第2半導体基板との間には配線構造が配されている。固体撮像装置は、外部端子が接続されるパッドを有しており、パッドの第1面に外部端子が接続される。

第1の固体撮像装置では、パッドの第1面は第1半導体基板の表面を含み当該表面に平行な仮想平面と第2半導体基板の表面との間に位置し、第1面とは反対側の面である第2面は第1面と第2半導体基板の表面との間に位置している。パッドが、第2半導体基板に配された周辺回路に配線構造を介して接続するように、パッドの第2面が配線構造に接続されている。

10

第2の固体撮像装置では、周辺回路の一部が第1半導体基板に配されている。そして、パッドの第1面は、第1半導体基板の表面と、第2半導体基板の表面を含み当該表面に平行な仮想平面との間に位置し、第1面とは反対側の面である第2面は第1面と第1半導体基板の表面との間に位置している。パッドが、第1半導体基板に配された周辺回路の一部に配線構造を介して接続するように、パッドの第2面が配線構造に接続され、第1半導体基板に配された周辺回路の一部は、第2半導体基板に配された周辺回路の一部に配線構造を介して接続されている。

このような構成によれば、パッドと周辺回路との接続の信頼性が高い固体撮像装置が提供可能である。

20

## 【0009】

また、本発明の固体撮像装置の製造方法は、第1部材と第2部材とを張り合わせる工程を有する。第1部材は、光電変換素子が表面に配された第1半導体基板、及び第1半導体基板の表面の上に配された第1配線構造を有する。第2部材は、光電変換素子の電荷に基づく信号を生成するための周辺回路の少なくとも一部が表面に配された第2基板及び第2半導体基板の表面の上に配された第2配線構造を有する。張り合わせる工程は、第1配線構造と第2配線構造とを接続するように行われる。張り合わせる工程の後に、第1半導体基板を第1半導体基板の裏面側から薄くする工程を有する。張り合わせる工程の前に、第1配線構造又は第2配線構造には、外部端子と接続されるパッドが接続されており、薄くする工程の後に、第1半導体基板側にパッドを露出させる工程を有する。

30

このような製造方法によって、パッドと周辺回路との接続の形成を容易にすることが可能となる。

## 【0010】

以下、本発明について図面を用いて詳細に説明を行う。上述した第1の固体撮像装置に関しては、実施例1～3を用いて説明し、第2の固体撮像装置に関しては実施例4を用いて説明する。なお、実施例の説明において、第1基板の主面及び第2基板の主面とは基板の表面である。各基板に対して、該主面（表面）の反対側の面が、第1基板の裏面及び第2基板の裏面である。また、各基板において上方向は裏面から主面（表面）に向かう方向とし、下方向及び深さ方向は基板の主面（表面）から裏面に向かう方向とする。固体撮像装置としては、図面の表示方向に合わせて第1基板が第2基板の上に配置されているものとし、第2基板から第1基板に向かう方向を上、第1基板から第2基板に向かう方向を下とする場合もある。

40

## 【0011】

（実施例1）

本発明の実施例1について、図1から図6を用いて説明する。

## 【0012】

まず、図3を用いて実施例1の固体撮像装置の回路を説明する。本実施例では、信号電荷が、例えば電子の場合について説明を行う。図3の固体撮像装置は、複数の光電変換素子が配列した画素部301を有する。また、画素部301からの信号を読み出す読み出し

50

回路や、画素部 301 及び読み出し回路の駆動のための制御回路や、読み出した信号を処理する信号処理回路を含む周辺回路を有する周辺回路部 302 を有する。

画素部 301 は、光電変換素子 303 と、転送トランジスタ 304 と、増幅トランジスタ 306 と、リセットトランジスタ 307 が複数配置されている。少なくとも 1 つの光電変換素子 303 を含む構成を画素とする。本実施例の 1 つの画素は、光電変換素子 303 と、転送トランジスタ 304 と、増幅トランジスタ 306 と、リセットトランジスタ 307 を含む。光電変換素子 303 のアノードは接地している。転送トランジスタ 304 のソースは光電変換素子 303 のカソードと接続しており、転送トランジスタ 304 のドレイン領域は増幅トランジスタ 306 のゲート電極と接続している。この増幅トランジスタ 306 のゲート電極と同一のノードをノード 305 とする。リセットトランジスタはノード 305 に接続し、ノード 305 の電位を任意の電位（例えば、リセット電位）に設定する。ここで、増幅トランジスタ 306 はソースフォロア回路の一部であり、ノード 305 の電位に応じた信号を信号線 RL に出力する。ノード 305 はフローティングディフュージョンとも称される場合がある。転送トランジスタ 304 と、増幅トランジスタ 306 と、リセットトランジスタ 307 を含む回路が画素回路である。

10

周辺回路部 302 は、画素部 301 以外の領域を示している。周辺回路部 302 は、読み出し回路や制御回路を含む周辺回路が配置されている。周辺回路は、画素部 301 のトランジスタのゲート電極へ制御信号を供給するための制御回路である垂直走査回路 VSR を有する。また、周辺回路は、画素部 301 から出力された信号を保持し、増幅や加算や AD 変換などの信号処理を行う読み出し回路 RC を有する。また、周辺回路は、読み出し回路 RC から信号を順次出力するタイミングを制御する制御回路である水平走査回路 HSR を有する。

20

#### 【0013】

ここで、実施例 1 の固体撮像装置は 2 つの部材が張り合わされることによって構成されている。2 つの部材とは、第 1 の基板 101 を有する第 1 部材 308 と第 2 の基板 121 を有する第 2 部材 309 である。第 1 基板 101 には画素部 301 の光電変換素子 303 と、転送トランジスタ 304 とが配されており、第 2 基板 121 には画素部 301 の増幅トランジスタ 306 と、リセットトランジスタ 307 と、周辺回路部 302 とが配されている。第 2 部材 309 の周辺回路部 302 から第 1 部材 308 の転送トランジスタ 304 のゲート電極への制御信号は、接続部 310 を介して供給される。接続部 310 の構成については後述する。第 1 部材 308 の光電変換素子 303 にて生じた信号は、転送トランジスタ 304 のドレイン領域、即ちノード 305 に読み出される。ノード 305 は、第 1 部材 308 に配された構成と第 2 部材 309 に配された構成とを含む。

30

このような構成によって、従来の 1 つの部材（即ち 1 つの基板）に画素部を全て配置する場合に比べて、光電変換素子 303 の面積を大きくすることが可能となり感度の向上させることが可能となる。また、従来の 1 つの部材（即ち 1 つの基板）に画素部を全て配置する場合に比べて、光電変換素子の面積を同一とするならば、光電変換素子 303 を多く設けることが可能となり、多画素化が可能となる。なお、第 1 基板には少なくとも光電変換素子が配置されていればよく、第 1 基板に増幅トランジスタ 306 が配置されていてもよい。また、転送トランジスタを設けず、光電変換素子と増幅トランジスタのゲート電極とが接続する構成であってもよい。本発明は、第 1 基板に配置される素子は任意に選定可能であり、画素回路の構成も任意に選択可能である。

40

#### 【0014】

このような固体撮像装置の具体的な平面レイアウトを、図 2 の固体撮像装置の平面模式図を用いて説明する。図 2 (A) は第 1 部材 308、即ち第 1 基板 (101) における平面レイアウトを示し、図 2 (B) は第 2 部材 309、即ち第 2 基板 (121) の平面レイアウトを示している。

#### 【0015】

図 2 (A) において、第 1 部材 308 には、複数の光電変換素子が配列した画素部 301 A と、パッド 313 が配されたパッド部 312 A、とが配されている。画素部 301 A

50

には、図 3 における光電変換素子 303 と転送トランジスタ 304 と接続部 310、311 とが複数配されている。また、パッド部 312A には、パッド 313 と平面的に同一位置に第 2 部材 309 との接続のための接続部 314A が配されている。パッド 313 には外部端子が接続される。外部端子の一例としては、ワイヤボンディング法によってパッド 313 に接続されるボンディングワイヤが挙げられる。パッド 313 は固体撮像装置に複数配置されており、光電変換素子で生じた電荷に基づく信号（画像信号）を出力するパッド（出力パッド）や、外部から供給される周辺回路を駆動するための電圧などが入力されるパッド（入力パッド）が含まれる。

#### 【0016】

次に、図 2（B）において、第 2 部材 309 には、画素部 301B と周辺回路部 302 とパッド部 312B とが配されている。画素部 301B には画素回路の一部が配されており、図 3 における増幅トランジスタ 306 とリセットトランジスタ 307 と接続部 310 と接続部 311 とが複数配置されている。周辺回路部 302 には周辺回路の一部が配されており、水平走査回路 HSR、垂直走査回路 VSR、読み出し回路 RC とが配されている。パッド部 312B は、保護ダイオード回路 315 を有している。パッド部 312B には、保護ダイオード回路 315 と平面的に同一位置に第 1 部材 308 との接続のための接続部 314B が配されている。保護ダイオード回路 315 と接続部 314B とは平面的に同一位置に配置されていなくてもよい。保護ダイオード回路 315 は周辺回路と接続されている。具体的には、保護ダイオード回路 315 は、図 2（B）に示す様に複数個設けられており、各パッド 313 に接続された保護ダイオード回路 315 は、それぞれ垂直走査回路 VSR、水平走査回路 HSE、あるいは読み出し回路 RC に接続されている。以上のように、第 2 基板 121 には、画素部 301 に配された画素回路と、周辺回路部 302 に配された周辺回路と、パッド部 312B に配された保護ダイオード回路とが設けられている。これらの回路は半導体集積回路であり、トランジスタやダイオード、抵抗素子や容量素子等を含む多数の半導体素子で構成されている。半導体素子で構成される集積回路を動作させることにより、光電変換素子 303 の電荷（信号電荷）に基づく信号が生成される。

#### 【0017】

そして、図 2（A）及び図 2（B）に示した平面レイアウトを有する第 1 部材 308 と第 2 部材 309 とが張り合わされて本実施例の固体撮像装置を構成している。具体的には、画素部 301A と画素部 301B とが重なるように配置される。そして、接続部 314A と接続部 314B とが接続し、第 1 部材の接続部 310、接続部 311 と第 2 部材の接続部 310、接続部 311 とが接続する。なお、図 2 では、第 2 部材 309 の周辺回路部 302B に対応する第 1 部材 308 の領域を周辺回路部 302A で示している。周辺回路部 302A には走査回路の一部、即ち周辺回路の一部を配置してもよい。

#### 【0018】

次に、図 2 及び図 3 に示した固体撮像装置の断面模式図を、図 1 を用いて説明する。図 1 では図 2、図 3 と同一の構成には同一の符号を付し、説明を省略する。

#### 【0019】

第 1 部材 308 は、第 1 配線構造 149 と第 1 基板 101 とを有する。第 1 基板 101 は例えばシリコン半導体基板であり、主面 102 と裏面 103 とを有する。第 1 基板の主面 102 にはトランジスタが配置されている。第 1 配線構造 149 は、層間絶縁膜 104 ~ 106 と、ゲート電極や配線を含むゲート電極層 107 と、複数の配線を含む配線層 109、111 と、複数のコンタクトあるいはビアを含むコンタクト層 108、110 とを有する。ここで第 1 配線構造 149 に含まれる層間絶縁膜、配線層及びコンタクト層の層数は任意に設定可能である。本実施例では、配線層の層数は 2 である。なお、第 1 配線構造 149 の配線層 111 は、接続部を含む。

第 1 部材 308 の画素部 301 において、第 1 基板 101 には、光電変換素子を構成する n 型半導体領域 112 と、転送トランジスタのドレインである n 型半導体領域 114 と、素子分離構造 119 とが配されている。転送トランジスタは n 型半導体領域 112 と n 型半導体領域 114 と、ゲート電極層 107 に含まれるゲート電極 113 とで構成される

10

20

30

40

50

ここで、n型半導体領域112で蓄積された電荷は、ゲート電極113によって、n型半導体領域114に転送される。n型半導体領域114に転送された電荷に基づく電位は、コンタクト層108のコンタクト、配線層109の配線、コンタクト層110のビア、配線層111の配線を介して、第2部材309へと伝達される。この配線層111の配線は、接続部311を構成する。なお、光電変換素子は更にp型半導体領域を有する埋込みフォトダイオードであってもよく、フォトゲートであってもよく、適宜変更可能である。

#### 【0020】

画素部301の第1基板101の裏面103側には、平坦化層115、複数のカラーフィルタを含むカラーフィルタ層116、平坦化層117、複数のマイクロレンズを含むマイクロレンズ層118がこの順に配置されている。図1において、複数のカラーフィルタ及び複数のマイクロレンズはそれぞれが1つの光電変換素子に対応して、すなわち画素毎に配置されているが、複数画素に対して1つずつ設けられていてもよい。本実施例の固体撮像装置は、このマイクロレンズ層118側から光が入射し光電変換素子が受光する、所謂、裏面照射型の固体撮像装置である。

10

#### 【0021】

第1部材308のパッド部312には、パッド313と、外部端子と接続させるためのパッド313を露出する開口100とが配されている。本実施例では、入力パッドとしてパッド313を例に挙げ説明する。パッド313は導電膜であり、第1面3131と、第1面の反対側の面である第2面3132を有している。パッド313の第1面3131は第1基板101側に露出しており、この第1面3131に外部端子が接続される。また、パッド313から入力された電圧を第2部材309に伝達する接続部314Aが配置されている。接続部314Aは、パッド313と平面的に同一位置に配されている。なお、第1部材308において、第2部材309の周辺回路部302に対応する領域には、図1に示したように任意の回路素子120を設けている。

20

#### 【0022】

第2部材309は、第2配線構造150と第2基板121とを有する。第2基板121は例えばシリコン半導体基板であり、主面122と裏面123とを有する。第2基板の主面122にはトランジスタが配置される。第2配線構造150は、層間絶縁膜124~127と、ゲート電極や配線を含むゲート電極層128と、複数の配線を含む配線層130、132、134と、複数のコンタクトあるいはビアを含むコンタクト層129、131、133とを有する。ここで第2配線構造150に含まれる層間絶縁膜、配線層及びコンタクト層の層数は任意に設定可能である。本実施例では、第2配線構造150の配線層の層数は3であり、第1配線構造149よりも配線層が多い。なお、配線層134は、接続部を含む。

30

第2部材309の画素部301において、第2基板121には、画素回路の増幅トランジスタを構成するウエル135と、増幅トランジスタのソース・ドレイン領域を構成するn型半導体領域138と、素子分離構造136とが配されている。増幅トランジスタは、ウエル135に配され、ゲート電極層128に含まれるゲート電極137と、ソース・ドレイン領域を構成するn型半導体領域138とで構成される。ここで、第1部材308の接続部311と増幅トランジスタのゲート電極137とは、配線層134の配線、コンタクト層133のビア、配線層132の配線、コンタクト層131のビア、配線層130の配線、コンタクト層129のコンタクトとを介して接続される。ここで、図3のノード305は、図1のn型半導体領域114と、配線層109、111、134、132、130の配線と、コンタクト層108、110、133、131、129のコンタクトあるいはビアと、ゲート電極137と、から構成される。画素部301の他の回路(例えば、リセットトランジスタ)は不図示である。

40

#### 【0023】

次に、第2部材309の周辺回路部302には、水平走査回路や垂直走査回路等の制御回路や読み出し回路を含む周辺回路の少なくとも一部が配置されている。図1では、周辺回路に含まれる任意の回路におけるn型のトランジスタとp型のトランジスタを示してい

50

る。ゲート電極層 128 に含まれるゲート電極 140 と、n 型のソース・ドレイン領域 141 とからなる n 型トランジスタが p 型のウエル 139 に配置されている。そして、ゲート電極層 128 に含まれるゲート電極 143 と、p 型のソース・ドレイン領域を構成する p 型半導体領域 144 と、を有する p 型トランジスタが n 型のウエル 142 に配置されている。

そして、第 2 部材 309 のパッド部 312 には、第 1 部材 308 のパッド 313 からの信号を入力するための保護ダイオード回路 315 と、第 1 部材 308 と接続するための接続部 314 B とが配置されている。接続部 314 B は、保護ダイオード回路 315 と平面的に同一位置に配されている。本実施例の保護ダイオード回路 315 には、半導体領域から構成される 2 つのダイオード 145、146 と、ゲート電極層 128 からなる 2 つの抵抗 147、148 とが含まれている。

10

#### 【0024】

抵抗 147 は保護ダイオード回路 315 の入力であり、抵抗 148 は保護ダイオードの出力である。保護ダイオード回路 315 は以下のような構成をしている。パッド 313 と抵抗 147 の一端が接続しており、抵抗 147 の他端がダイオード 145 のアノード、ダイオード 146 のカソード、及び抵抗 148 の一端と、配線層 130 を介して接続している。そして、抵抗 148 の他端が後段の周辺回路部 302 (例えば垂直走査回路 VSR や水平走査回路 HSR) の回路素子 320 と接続する構成となっている。つまり、配線層 130 に代表されるノードにおいて、抵抗 147 の他端、ダイオード 145 のアノード、ダイオード 146 のカソード、及び抵抗 148 の一端が接続している。ダイオード 145 のカソードは不図示の配線によって所定の電圧 VDD に接続され、ダイオード 146 のアノードは不図示の配線によって所定の電圧と異なる電圧 VSS に接続される。ここで、電圧の関係は  $VDD > \text{入力電圧} > VSS$  である。また、VSS は VDD よりも低い電圧であればよく、基準電圧 GND であってもよい。このような保護ダイオード回路を設けることで、例えばパッド 313 に、VDD とダイオード 145 における順方向の電圧降下の和よりも大きな電圧が入力された場合には、ダイオード 145 に順方向バイアスがかかり、ノードから VDD へ電流が流れる。そのため後段の回路へは、VDD とダイオード 145 における順方向の電圧降下の和よりも大きな電圧が印加されることを防ぐことが可能となる。また、パッドに VSS とダイオード 146 における順方向の電圧の差よりも小さな電圧が入力された場合には、ダイオード 146 に順方向バイアスがかかり、VSS からノードへ電流が流れる。そのため後段の回路へは、VSS と第 2 ダイオード 146 における順方向の電圧の差よりも小さな電圧が印加されることを防ぐことが可能となる。なお、抵抗 147、148 は入力された電圧を電圧降下させ、後段へ印加される電圧の絶対値を小さくさせる効果がある。

20

30

#### 【0025】

本実施例で示した保護ダイオード回路 315 は一例であり、本実施例に限定されることなく、一般に使用される構成の保護ダイオード回路が適用可能である。例えば、上記保護ダイオード回路 315 は入力電圧が  $VDD > \text{入力電圧} > VSS$  である場合に有効であるが、 $VDD < \text{入力電圧}$  や  $\text{入力電圧} < VSS$  に対応した保護ダイオード回路を必要に応じて設けてもよい。この場合、保護ダイオード回路に用いられるダイオードは 1 つのみであってもよい。ここでは、入力パッドを例に挙げたが、出力パッドにも同様に、保護ダイオード回路 315 を接続することができる。その場合には、抵抗 148 を保護ダイオード回路 315 の入力として、抵抗 147 を保護ダイオード回路 315 の出力として用い、抵抗 148 の他端を前段の周辺回路部 302 (例えば読み出し回路 RC) の回路素子 320 と接続する構成とすることができる。また、保護ダイオード回路を画素回路とパッドと間の電気経路に配してもよい。出力パッドに接続した保護ダイオード回路 315 は、固体撮像装置内部で異常信号が生じた場合に、この異常信号が装置外部のへ出力されることも抑制できるであろう。保護ダイオード回路 315 のような保護回路は、パッド 313 からの外来ノイズの混入を低減することが可能となる。また、誤入力やサージ電圧に対して、後段の回路を保護することが可能となる。外来ノイズの原因としては、上述したように、誤入力、

40

50

電圧サージ等が挙げられる。特に静電気放電 (ESD: Electro-Static Discharge) によって生じる電圧サージから周辺回路を保護する上では、保護ダイオード回路 315 を第 2 基板 121 に配することは非常に有意義である。静電気放電による電圧サージは、入力パッドと出力パッドの区別なく混入する可能性が高いことから、保護ダイオード回路は入力パッドと出力パッドの双方にそれぞれ対応して配置されることが望ましい。なお、外来ノイズの混入を低減するために配される保護回路の例として、保護ダイオード回路を例にあげたが、ダイオードを用いた保護回路に限定されることなく、トランジスタを用いた保護回路でも同様の効果を得ることができる。なお、保護ダイオード回路 315 を省略して、入力パッドを周辺回路や画素回路に接続したり、出力パッドを周辺回路に接続したりしてもよい。しかしながら、電氣的信頼性を向上する点では、入力パッド及び/又は出力パッドと周辺回路部 302 との間には保護回路を設けることが望ましい。また、保護回路を画素回路とパッドと間の電気経路の途中に配してもよい。

10

**【0026】**

そして、本実施例の固体撮像装置においては、第 1 基板 101 の主面 102 と第 2 基板 121 の主面 122 とが、第 1 配線構造 149 及び第 2 配線構造 150 を介して向かい合う向きに配置されている (対向配置)。つまり、第 1 基板 101、第 1 配線構造 149、第 2 配線構造 150、第 2 基板 121 の順に配置されている。第 1 配線構造 149 の上面と、第 2 配線構造 150 の上面とが、接合面 X において張り合わされている。つまり、第 1 部材 308 と第 2 部材 309 とが接合面 X にて接合されている。接合面 X は、第 1 配線構造 149 の上面と第 2 配線構造 150 の上面とで構成される。その結果、第 1 配線構造 149 と第 2 配線構造 150 とが一体となって、第 1 基板 101 と第 2 基板 121 の間の配線構造 151 を成している。配線構造 151 は、配線層 109、111、130、132、134 の 5 つの配線層を有することになる。なお、第 1 配線構造 149 と第 2 配線構造 150 の張り合わせには、間にマイクロボンディングなどの接続部材を利用してもよく、また金属接合を利用してもよい。かかる接合は、接続部 311 および接続部 314 で達成される。

20

**【0027】**

そして、外部と信号のやりとりを行うための固体撮像装置のパッド 313 が第 2 部材 309 の主面 122 である第 2 基板 121 の表面の上部に配置され、第 1 部材 308 側に開口 100 が設けられている。

30

**【0028】**

つまりパッド 313 の第 1 面 3131 及び第 2 面 3132 はともに、主面 122 よりも第 1 基板 101 側に位置している。ここで、第 1 基板 101 の主面 102 を拡張して仮想平面 1020 を考える。仮想平面 1020 は、主面 102 を仮想的に延長した面であり、主面 102 に平行で主面 102 を含んでいる。そのため、図 1 において仮想平面 1020 は開口 100 を横切る。パッド 313 は第 2 基板 121 の主面 122 と仮想平面 1020 との間に位置している。詳細には、パッド 313 の第 1 面 3131 は仮想平面 1020 と第 2 面 3132 との間に位置しており、パッド 313 の第 2 面 3132 は第 1 面 3131 と第 2 基板 121 の主面との間に位置している。本実施例では、パッド 313 は 5 つの配線層のうち、仮想平面 1020 側から数えて 1 番目の配線層 109 と同じ層に配されている。

40

**【0029】**

このように、パッド 313 が第 2 基板 121 の主面 122 と仮想平面 1020 との間に位置している構成によって、パッド 313 と第 2 基板 121 との距離を、第 1 基板 101 と第 2 基板 121 との距離未満にすることができる。その結果、パッド 313 と周辺回路との間の電気経路を短くすることができる。その結果、入力及び/又は出力における信号の遅延や損失を低減することができる。第 1 基板 101 と第 2 基板 121 との距離 (間隔) は、現実的には  $1\ \mu\text{m}$  以上  $10\ \mu\text{m}$  以下の範囲である。パッド 313 と第 2 基板 121 との距離が  $5\ \mu\text{m}$  以下であれば、電気経路は十分に短いといえる。第 1 基板 101 と第 2 基板 121 との距離 (間隔) は  $1.5\ \mu\text{m} \sim 3.0\ \mu\text{m}$  が好適であり、その場合には、パッ

50

ド 3 1 3 から保護ダイオード回路 3 1 5 までの電気経路を数  $\mu\text{m}$  以下、さらにはサブミクロンオーダーとすることができる。

【 0 0 3 0 】

また、第 2 部材 3 0 9 には開口を設ける必要がないため、第 2 部材 3 0 9 の周辺回路部への水分の浸入を低減することが可能となる。本実施例では、第 1 部材 3 0 8 のパッド部 3 1 2 A の近傍に配置される素子の数は、第 2 部材 3 0 9 のパッド部 3 1 2 B の近傍に配置される素子の数より少なくすることが容易である。そして、第 1 部材 3 0 8 のパッド部に近接して配置される素子は、第 2 部材 3 0 9 のパッド部に近接して配置される素子よりも距離を離すことが可能となる。よって、パッドのための開口 1 0 0 からの水分が素子へ与える影響をより低減することが可能である。また、外部端子が第 1 部材 3 0 8 の裏面側に配置されることにより、パッド 3 1 3 への接続が容易となり、接続不良が低減される。

10

【 0 0 3 1 】

パッド部 3 1 2 においては、パッド 3 1 3 は、第 1 配線構造 1 4 9 のコンタクト層 1 1 0 と配線層 1 1 1 ( 接続部 3 1 4 A ) を介し、さらに、第 2 配線構造 1 5 0 の配線層 1 3 4 ( 接続部 3 1 4 B ) とコンタクト層 1 3 3、配線層 1 3 2、コンタクト層 1 3 1、配線層 1 3 0、コンタクト層 1 2 9、ゲート電極層 1 2 8 を介して、保護ダイオード回路 3 1 5 に接続される。このようにして、パッド 3 1 3 の第 2 面 3 1 3 2 は配線構造 1 5 1 に接続されている。このような構成によって、パッド 3 1 3 が第 2 基板 1 2 1 の主面 1 2 2 と仮想平面 1 0 2 0 との間に位置し、パッド 3 1 3 の第 2 面 3 1 3 2 から電気経路が形成されることで、パッド 3 1 3 と保護ダイオード回路 3 1 5 との間の電気経路を短くすることができる。その結果、パッド 3 1 3 と周辺回路との間の電気経路も短くすることができる。

20

【 0 0 3 2 】

上述したように、パッド部 3 1 2 B には、保護ダイオード回路 3 1 5 と平面的に同一位置に第 1 部材との接続のための接続部 3 1 4 B が配されている。さらに、パッド部 3 1 2 A には、パッド 3 1 3 と平面的に同一位置に第 2 部材 3 0 9 との接続のための接続部 3 1 4 A が配されている。接続部 3 1 4 A と接続部 3 1 4 B が接続されることにより、保護ダイオード回路 3 1 5 とパッド 3 1 3 も平面的に同一位置に配されることから、保護ダイオード回路 3 1 5 とパッド 3 1 3 は互いに重なる。そのため、保護ダイオード回路 3 1 5 とパッド 3 1 3 を最短の電気経路で接続することが可能になる。

なお、保護ダイオード回路 3 1 5 を省略する場合には、パッド 3 1 3 と重なる位置に周辺回路部 3 0 2 や回路素子 3 2 0 を配置して、パッド 3 1 3 とこれらを配線構造 1 5 1 を介して接続すると良い。

30

【 0 0 3 3 】

また、本実施例では、パッド 3 1 3 はコンタクト層 1 3 3 の複数のビアと接続されている。このように、配線構造 1 5 1 と外力の加わりやすいパッド 3 1 3 との接続が複数の箇所で行われることにより、配線構造 1 5 1 に加わる力が分散されるので、第 2 基板 1 0 や配線構造 1 5 1 への衝撃が緩和される。また、仮にいずれかのビアとの接続が損なわれても、パッド 3 1 3 と配線構造 1 5 1 との接続が維持される可能性が高くなるため信頼性が向上する。

【 0 0 3 4 】

次に、本実施例の固体撮像装置の製造方法を、図 4 ~ 6 を用いて説明する。図 4 は第 1 部材 3 0 8 の製造工程を示す断面模式図であり、図 5 は第 2 部材 3 0 9 の製造工程を示す断面模式図であり、図 6 は第 1 部材 3 0 8 と第 2 部材 3 0 9 とを接合した後の製造工程を示す断面模式図である。

40

図 1 の第 1 部材 3 0 8 の製造工程を、図 4 を用いて説明する。図 4 においては、後に図 1 の第 1 部材 3 0 8 になる構成を 3 0 8 ' とし、図 1 の画素部 3 0 1、周辺回路部 3 0 2、パッド部 3 1 2、周辺回路の一部である回路素子 1 2 0 になる部分を 3 0 4 '、3 0 2 '、3 1 2 '、1 2 0 ' としている。

【 0 0 3 5 】

まず、半導体基板を準備し、半導体基板に素子を形成する。主面 4 0 2 と裏面 4 0 3 を

50

有する厚みD3の半導体基板401を用意する。半導体基板401は例えばシリコン半導体基板である。半導体基板401に、素子分離構造119を形成する。素子分離構造119は、シリコン酸化膜などの絶縁体を含み、例えばLOCOSやSTI構造を有する。そして、半導体基板401に任意の導電型のウエル(不図示)を形成する。その後、光電変換素子やトランジスタを構成するn型半導体領域112、114、及びp型半導体領域(不図示)を形成する。また、転送トランジスタのゲート電極113を含むゲート電極を含むゲート電極層107を形成する。ゲート電極層は例えば、ポリシリコン層の堆積及びパターニングによって形成され、ゲート電極のみではなく配線をも含む。ここで、ゲート電極、素子分離及び半導体領域の形成方法については、一般的な半導体プロセスで形成可能であり、詳細な説明は省略する。以上によって、図4(A)の構成が得られる。

10

#### 【0036】

次に、半導体基板401の主面402上に配線構造を形成する。配線構造は、層間絶縁膜104'、105、106と、コンタクト層108、110と、配線層109、111と、を有する。ここで、層間絶縁膜104'は、後に図1の層間絶縁膜104となる。層間絶縁膜104'はゲート電極層107を覆い、コンタクト層108は層間絶縁膜104'に配され、配線層109及びパッド313は層間絶縁膜104'上に配されている。また、層間絶縁膜105は配線層109を覆い、コンタクト層110は層間絶縁膜105に配され、配線層111は層間絶縁膜105上に配され、層間絶縁膜106は層間絶縁膜105上に配され且つ配線層111の配線が露出するような開口を有する。配線構造の上面は、層間絶縁膜106の上面及び配線層111の上面により形成される。

20

#### 【0037】

ここで、層間絶縁膜はシリコン酸化膜である。しかし、層間絶縁膜は、シリコン窒化膜、あるいは有機樹脂等で形成されてもよい。配線層はアルミニウムを主成分とする配線や銅を主成分とする配線からなる。コンタクトは例えばタングステンで形成され、ビアはタングステン、あるいは銅を主成分とする配線と一体に形成される。ここで、配線層111は接続部314A及び311Aを含み、銅を主成分とする配線から構成される。また、配線層109は、アルミニウムを主成分とする配線から構成される。パッド313は配線層109と同じ層に配されており、アルミニウムを主成分とする。これら配線層、コンタクト層、層間絶縁膜、パッド313の製造方法については、一般的な半導体プロセスで形成可能であり、詳細な説明は省略する。以上によって、図4(B)の構成が得られる。図4(B)において、符号104'、105、106、108~111は後に図1における第1配線構造149となる。また、接続部311Aは後に接続部311を構成する。

30

#### 【0038】

次に、図1の第2部材309の製造工程を、図5を用いて説明する。図5においては、後に図1の第2部材309となる構成を309'とし、図1の画素部301、周辺回路部302、パッド部312、保護ダイオード回路315になる部分を304'、302'、312'、315'としている。

#### 【0039】

まず、半導体基板を準備し、半導体基板に素子を形成する。主面405と裏面406を有する厚みD4の半導体基板404を用意する。そして、半導体基板404にLOCOSやSTI構造を用いて素子分離構造136を形成する。また、半導体基板404にp型のウエル135、139やn型のウエル142を形成する。その後、トランジスタを構成するソース・ドレイン領域となりうるn型半導体領域138、141、及びp型半導体領域144や、ダイオードを構成する半導体領域を形成する。そして、トランジスタのゲート電極137、140、143及び配線(抵抗)を含むゲート電極層128をポリシリコン層の堆積及びパターニングによって形成する。ここで、ゲート電極、素子分離及び半導体領域の形成方法については、一般的な半導体プロセスで形成可能であり、詳細な説明は省略する。以上によって、図5(A)の構成が得られる。

40

#### 【0040】

次に、半導体基板404の主面405上に配線構造を形成する。配線構造は、層間絶縁

50

膜 1 2 4 ~ 1 2 7 と、コンタクト層 1 2 9、1 3 1、1 3 3 と、配線層 1 3 0、1 3 2、1 3 4 とを有する。層間絶縁膜 1 2 4 はゲート電極層 1 2 8 を覆い、コンタクト層 1 2 9 は層間絶縁膜 1 2 4 に配され、配線層 1 3 0 は層間絶縁膜 1 2 4 上に配されている。また、層間絶縁膜 1 2 5 は配線層 1 3 0 を覆い、コンタクト層 1 3 1 は層間絶縁膜 1 2 5 に配され、配線層 1 3 2 は層間絶縁膜 1 2 5 上に配され、層間絶縁膜 1 2 6 は配線層 1 3 2 を覆い層間絶縁膜 1 2 5 上に配される。そして、コンタクト層 1 3 3 は層間絶縁膜 1 2 6 に配され、配線層 1 3 4 は層間絶縁膜 1 2 6 上に配され、層間絶縁膜 1 2 7 は層間絶縁膜 1 2 6 上に配され、且つ配線層 1 3 4 の配線を露出する開口を有する。配線構造の上面は、層間絶縁膜 1 2 7 の上面及び配線層 1 3 4 の上面により形成される。

#### 【 0 0 4 1 】

ここで、層間絶縁膜はシリコン酸化膜である。シリコン窒化膜、あるいは有機樹脂等で形成されていてもよい。配線層はアルミニウムを主成分とする配線や銅を主成分とする配線からなる。ここで、配線層 1 3 4 は接続部 3 1 4 B 及び 3 1 1 B を含み、銅を主成分とする配線から構成される。これら配線層、コンタクト層、層間絶縁膜の製造方法については、一般的な半導体プロセスで形成可能であり、詳細な説明は省略する。以上によって、図 5 ( B ) の構成が得られる。図 5 ( B ) において、符号 1 2 4 ~ 1 2 7、1 2 9 ~ 1 3 4 等は後に図 1 における第 1 配線構造 1 5 0 となる。また、接続部 3 1 1 B は後に接続部 3 1 1 を構成する。

#### 【 0 0 4 2 】

このような図 4 ( B ) 及び図 5 ( B ) に示した第 1 部材 3 0 8 ' と第 2 部材 3 0 9 ' とを、互いの半導体基板の主面 4 0 2 及び主面 4 0 5 とが向かい合うように張り合わせる。つまり、第 1 部材 3 0 8 ' の配線構造の最上面と第 2 部材 3 0 9 ' の配線構造の最上面とが接合される。ここで、接続部 3 1 1 A、3 1 1 B 及び接続部 3 1 4 A 及び 3 1 4 B は銅を主成分とする配線から構成されているため、張り合わせの際は銅の金属接合によって行うことが可能である。

第 1 部材 3 0 8 ' と第 2 部材 3 0 9 ' とが接合された後に、第 1 部材 3 0 8 ' の半導体基板 4 0 1 の裏面 4 0 3 側から半導体基板 4 0 1 を薄くして、半導体基板 4 0 1 を薄膜化する。薄膜化は、CMP ( 化学的機械研磨 ) やエッチングによって行うことが可能である。そして、半導体基板 4 0 1 は半導体基板 4 0 7 となり、厚みが D 3 から D 1 (  $D 1 < D 3$  ) となる ( 図 6 ( A ) )。このように半導体基板 4 0 1 を薄膜化し半導体基板 4 0 7 とすることで、後に入射光が光電変換素子に効率良く入射することを可能にする。また、この時、半導体基板 4 0 7 の厚み  $D 1 <$  半導体基板 4 0 4 の厚み  $D 4$  となる。

#### 【 0 0 4 3 】

次に、半導体基板 4 0 7 の裏面 4 0 8 に、樹脂からなる平坦化層 4 0 9、カラーフィルタ層 4 1 0、樹脂からなる平坦化層 4 1 1、マイクロレンズ層 4 1 2 をこの順に形成する。これら平坦化層、カラーフィルタ層、マイクロレンズ層の製造方法については、一般的な半導体プロセスで形成可能であり、詳細な説明は省略する。ここでマイクロレンズ層はパッド部となる 3 1 2 ' の領域まで形成されていてよい。以上の工程によって、図 6 ( B ) の構成が得られる。

#### 【 0 0 4 4 】

そして、パッド 3 1 3 を露出するための開口 1 0 0 を形成する。ここでは、フォトリソグラフィ技術を用いてマイクロレンズ層 4 1 2 の上に任意の開口を有するフォトレジストマスクを設ける。そして、ドライエッチング技術を用いて、マイクロレンズ層 4 1 2、平坦化層 4 1 1、カラーフィルタ層 4 1 0、平坦化層 4 0 9、半導体基板 4 0 7 及び層間絶縁膜 1 0 4 ' を除去し、開口 1 0 0 を形成して、この開口 1 0 0 からパッド 3 1 3 を露出させる。

#### 【 0 0 4 5 】

そして、マイクロレンズ層 1 1 8、平坦化層 1 1 7、1 1 5、カラーフィルタ層 1 1 6、第 1 基板 1 0 1 及び層間絶縁膜 1 0 4 が形成される。以上のようにして、図 1 の構成となる。なお、図 6 ( B ) の半導体基板 4 0 4、主面 4 0 5、裏面 4 0 6、厚さ  $D 4$  は、図

10

20

30

40

50

1の第2基板121、主面122、裏面123、厚さD2と対応している。

ここで、厚さD4とD2とは変化がないが、半導体基板404の薄膜化を行い厚さD2 < D4となるようにしてもよい。薄膜化によって、工程が増えるが固体撮像装置としての小型化が可能となる。

【0046】

以上のように、パッドを露出させるためのエッチングを薄膜化された半導体基板407の裏面408側から行うことで、パッド形成のエッチングに要する時間を短縮することが可能となる。また、パッド313は配線層109の配線と同一工程で形成可能であり、工数が削減可能である。そして、パッド313は本実施例のように外部端子との接続抵抗を低減するためにアルミニウムを主成分とする金属からなることが好ましい。なお、エッチングの際には、パッド313がエッチングストップとしても機能することが可能である。

10

【0047】

本発明は本実施例の製造方法において説明した工程に限定されるものではなく、工程順が変更されていてもよい。また、第1部材308と第2部材309の製造順番については適宜設定可能である。更には、第1部材308と第2部材309とを購入し、張り合わせて形成することも可能である。なお、半導体基板401、402にはSOI基板を適用することも可能である。

【0048】

(実施例2)

本発明の実施例2について、図7を用いて説明する。図7(A)及び図7(B)は固体撮像装置の断面模式図であり、それぞれ図1に対応する図面である。図7において図1と同様の要素については同一の符号を付し、説明を省略する。

20

【0049】

本実施例において、実施例1と異なる構成は、図7(A)における開口700及びパッド701と、図7(B)における開口702及びパッド701である。本実施例では、実施例1よりも深い開口700及び開口702を有し、実施例1よりも第2部材309の主面122に近接したパッド701を有する。このようにパッドは第2部材309の主面122よりも第1部材308側であって、仮想平面1020と主面122との間に配されていれどどのような位置に配置されていてもよい。しかし、本実施形態のようにこのようにパッドが第2部材309に近接して配置されることで、実施例1に比べてパッド701から保護ダイオード回路315までの接続抵抗を低減することが可能となる。本実施例では、配線構造151の配線層は実施例1と同様に5層であるが、パッド701は5つの配線層のうち、仮想平面1020側から数えて3番目の配線層134と同じ層に配されている。このように、仮想平面1020側の配線層(配線層109、111)よりも仮想平面1020から離れた配線層(配線層134、132、130)にパッド701を配することが好ましい。すなわち、配線層数Nが奇数の場合には、仮想平面1020側から数えて $(N+1)/2 \sim N$ 番目の配線層と同じ層にパッド701を配することが好ましい。配線層数Nが偶数の場合には、仮想平面1020側から数えて $1+(N/2) \sim N$ 番目の配線層と同じ層にパッド313を配することが好ましい。また、図7(B)においては、実施例1の開口100、図7(A)の開口700とは開口702の形状が異なる。図7(B)に示すように第1部材308のパッド部より外側に位置する不要な層間絶縁膜や半導体基板は除去してしまってもよい。また、予め作製する第1部材308を第2部材309よりも小さくしておいたり、第1部材308と第2部材309の端面をずらしておいたりすることで、開口702を設けるために第1部材308エッチングする工程の一部または全部を省略することもできる。開口702は装置端部に向かって開口しているが、パッド部への水分等の侵入を抑制する上では、図7(A)のように、開口700が第1基板101で囲まれた空間となるように、第1基板101に貫通穴を設けることが好ましい。

30

40

【0050】

なお、パッド701は第2部材309の配線層134と同一の層に配されている。ここで、同一の層とは、同一工程で形成される、あるいは主面からの高さが同一である場合で

50

ある。パッド701は配線層134と同じ層に含まれ、同一工程で形成される。そのため、配線層134はアルミニウムを主成分とする配線であることが好ましい。本実施例においては、実施例1と同様に銅を主成分とする配線としたが、パッド701と同じ層であることから配線層134はアルミニウムを主成分とする配線である方がより好ましい。この場合には接続部311はマイクロバンプ等で接合されていてもよい。

#### 【0051】

##### (第3の実施例)

本発明の実施例3について、図8を用いて説明する。図8(C)は本実施例の固体撮像装置の断面模式図であり図1に対応する図面である。また、図8(A)及び図8(B)は本実施例の固体撮像装置の製造方法を説明するための断面模式図であり、図6に対応する図面である。図8において図1及び図6と同様の構成については同一の符号を付し、説明を省略する。

10

#### 【0052】

本実施例において実施例1と異なる構成は、図8(C)における開口811、保護膜806の構成である。本実施例の保護膜806は開口811を有する第1基板101の側壁(側面)を覆っている。さらに保護膜806は側壁から延在して、パッド313の第1面3131の周縁を覆っている。このような保護膜806を有することで、開口811から装置内部への水分の浸入を低減することが可能となる。また、パッド313との接続をとるための外部端子が第1基板101などの導電体に接触するとリークが生じてしまう。保護膜806は外部端子が導電体と接触することを防ぎ、リークの発生を抑制する。更に、本実施例の保護膜806は画素部301の光電変換部の入射面(即ち第1基板101の裏面103)上にも配置されており、反射防止膜としても機能可能である。なお、保護膜806を有することによって、開口の構成が実施例1とは異なる構成になっている。また、平坦化層807、カラーフィルタ層808、平坦化層809、マイクロレンズ層810の構成も実施例1とは異なる構成に変化する。

20

#### 【0053】

本実施例の製造方法について、図8(A)及び図8(B)を用いて説明する。実施例1の図6(A)までは同様の方法であるので、説明を省略する。図6(A)の半導体基板407に開口800をフォトリソグラフィ及びエッチング技術によって形成し、第1基板101を形成する。開口800はパッド313が露出するように形成される。その後、保護膜となりうるシリコン窒化膜801をプラズマCVD法などの手法によって、開口800の側面を覆い、第1基板101の裏面103を覆うように形成し、図8(A)の構成を得る。

30

#### 【0054】

その後、シリコン窒化膜801を覆うように、平坦化層802、カラーフィルタ層803、平坦化層804、マイクロレンズ層805をこの順に形成する。各材料及び製造方法は実施例1と同様である。そして、開口811を形成する。開口811は、シリコン窒化膜801、平坦化層802、カラーフィルタ層803、平坦化層804、マイクロレンズ層805を貫通し、保護膜806がパッド313の第1面3131の周縁のみを覆うようにパッド313の第1面3131の一部を露出させる。ここで、シリコン窒化膜801、平坦化層802、カラーフィルタ層803、平坦化層804、マイクロレンズ層805は、それぞれ保護膜806、平坦化層807、カラーフィルタ層808、平坦化層809、マイクロレンズ層810となる。そして、図8(C)に示す固体撮像装置が製造される。

40

#### 【0055】

##### (第4の実施例)

本発明の実施例3について、図9を用いて説明する。図9は本実施例の固体撮像装置の断面模式図であり図1に対応する図面である。図9において図1及び図6と同様の構成については同一の符号を付し、説明を省略する。

本実施例において実施例1とは、開口900が第1基板101ではなく第2基板121に設けられている点と、保護ダイオード回路315が第2基板121でなく第1基板10

50

1に配されている点が異なる。以下、これらの点について説明する。

【0056】

外部と信号のやりとりを行うための固体撮像装置のパッド313が第1部材308の主面102である第1基板101の表面の下部に配置され、第2部材309側に開口900が設けられている。パッド313は第1面3131と、第1面3131の反対側の面である第2面3132を有している。パッド313の第1面3131は第2基板121側に露出しており、この第1面3131に外部端子が接続される。つまりパッド313の第1面3131及び第2面3132はともに、主面102よりも第2基板121側に位置している。ここで、第2基板121の主面122を拡張して仮想平面1220を考える。仮想平面1220は、主面122を仮想的に延長した面であり、主面122に平行で主面122

10

【0057】

実施例2と同様に、仮想平面1220側の配線層（配線層130、132）よりも仮想平面1220から離れた配線層（配線層134、111、109）にパッド313を配することで、接続抵抗を小さくすることも可能である。しかしながら、本実施例でも、第1基板101の厚みD1<第2基板121の厚みD2となっている。パッド313の第1面3131と第1基板101の裏面103との距離が極端に小さくなるとパッド部312の機械的強度が低下する。そのため、仮想平面1220側の配線層（配線層130、132）と同じ層にパッド313を配して、パッド313の第1面3131と第1基板101の裏面103との距離を十分に確保することが好ましい。

20

【0058】

保護ダイオード回路315は第1部材308のパッド部312に配されている。また、周辺回路部302には周辺回路の或る一部を成す回路素子320が第1基板101に配されており、回路素子320は配線構造151を介して第2基板121に配された、周辺回路の別の一部に接続されている。両基板に配された周辺回路を接続する配線層は接続部を含む配線層111と配線層134を、少なくとも含む。パッド部312においては、パッド313は、第2配線構造150のコンタクト層131と配線層132、コンタクト層133配線層134（接続部314B）を介し、さらに、第1配線構造149の配線層111（接続部314A）とコンタクト層110、配線層109、コンタクト層108、ゲート電極層107を介して、保護ダイオード回路315に接続されている。パッド313の第2面3132は、コンタクト層131と複数の箇所

30

40

【0059】

なお、本実施例においては、保護ダイオード回路315から周辺回路の一部である回路素子320に接続され、回路素子320が、配線構造151と、を介して第2基板121に配された周辺回路の別の一部に接続されている。しかし、保護ダイオード回路315と接続されるのは周辺回路の回路素子320に限らない。例えば、保護ダイオード回路315

50

を第1基板101に配された画素回路（例えば転送トランジスタ）へ接続して、当該画素回路と第2基板121に配された周辺回路とを配線構造151を介して接続してもよい。また、保護ダイオード回路315を、第1基板101に配された周辺回路を經由せずに、第2基板121に配された周辺回路へ直接、配線構造151を介して接続してもよい。また、本実施例の固体撮像装置では外部端子として実施例1と同様にボンディングワイヤを用いることができるが、フリップチップボンディングを用いることもできる。第2基板121の裏面123に外部端子を配することにより、外部端子の劣化や損傷、あるいはパッド周辺からの水分の侵入を抑制することができる。

【0060】

開口900は第2基板121および第2配線構造150の一部をエッチングすることによって形成することができる。なお、本実施例でも、実施例2で説明した図7（B）と同様に、第2基板121の端部を除去してもよいし、実施例3と同様に、保護膜を設けることもできる。

10

【0061】

以上、述べてきたように、本実施例の固体撮像装置によれば、パッドと回路との接続の信頼性が高い固体撮像装置が提供可能である。

【0062】

以下、上記の各実施形態に係る固体撮像装置の応用例として、固体撮像装置が組み込まれた撮像システムについて例示的に説明する。撮像システムには、撮影を主目的とするカメラなどの装置のみならず、撮影機能を補助的に備える装置（例えば、パーソナルコンピュータ、携帯端末）も含まれる。例えば、カメラは、本発明に係る固体撮像装置と、固体撮像装置から出力される信号を処理する処理部とを含む。この処理部とは、例えば、A/D変換器、及びA/D変換器から出力されるデジタルデータを処理するプロセッサを含みうる。処理部へは、固体撮像装置のパッドに接続されたボンディングワイヤ等の外部端子を介して、処理する信号が入力される。

20

【0063】

以上述べてきたように、本発明の固体撮像装置によれば、パッドと回路との接続の信頼性が高い固体撮像装置が提供可能である。また、本発明によって、パッドと回路との接続を容易にすることが可能である。

【0064】

なお、本発明は明細書記載の構成に限定されるものではなく、導電型や回路も逆導電型にするなど変更可能である。また、接続部は配線層の配線からなる構成を説明したが、ビアやマイクロバンプであってもよく、導通が確保可能な構成であればよい。また、各実施例の構成を適宜組み合わせることも可能である。

30

【符号の説明】

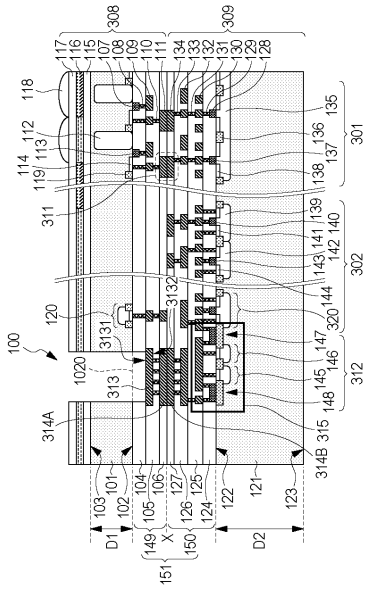
【0065】

- 301 画素部
- 302 周辺回路部
- 308 第1部材
- 309 第2部材
- 149 第1配線構造
- 150 第2配線構造
- 312 パッド部
- 313 パッド
- 101 第1基板
- 121 第2基板
- 100 開口
- X 接続面

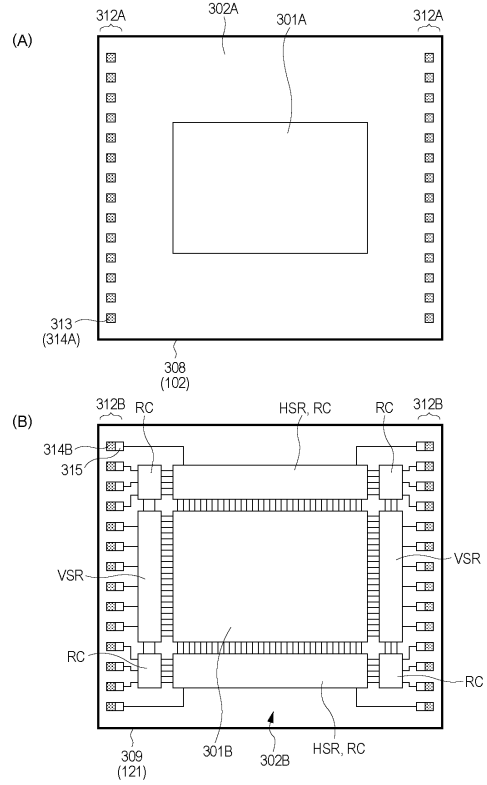
40

【図面】

【図 1】



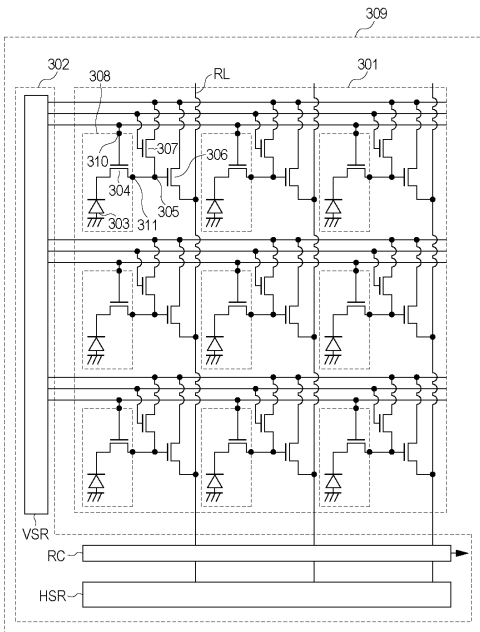
【図 2】



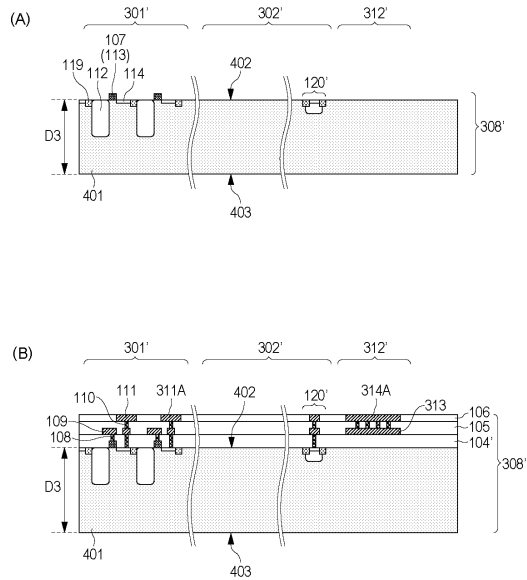
10

20

【図 3】



【図 4】

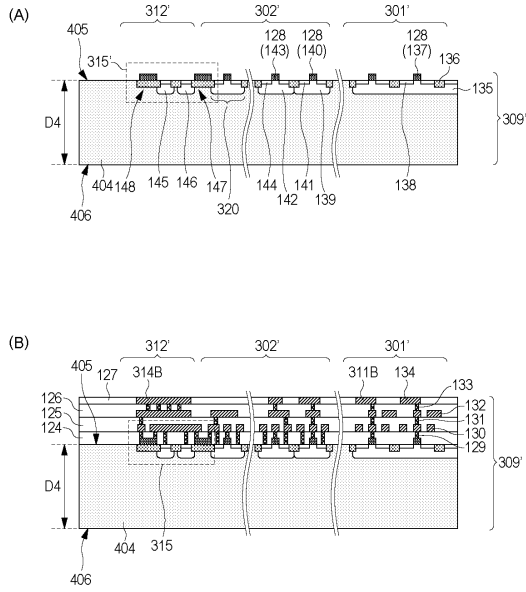


30

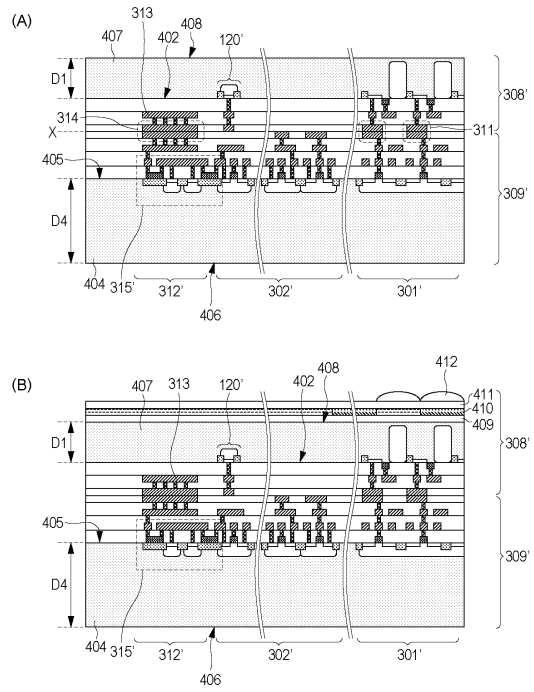
40

50

【 図 5 】



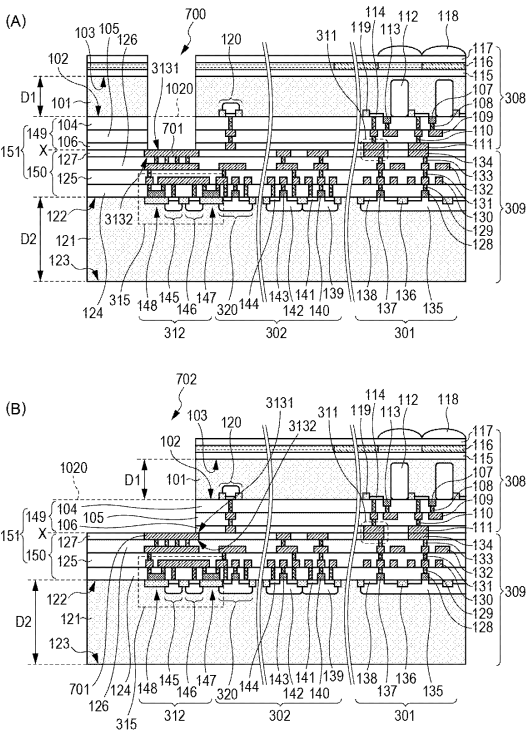
【 図 6 】



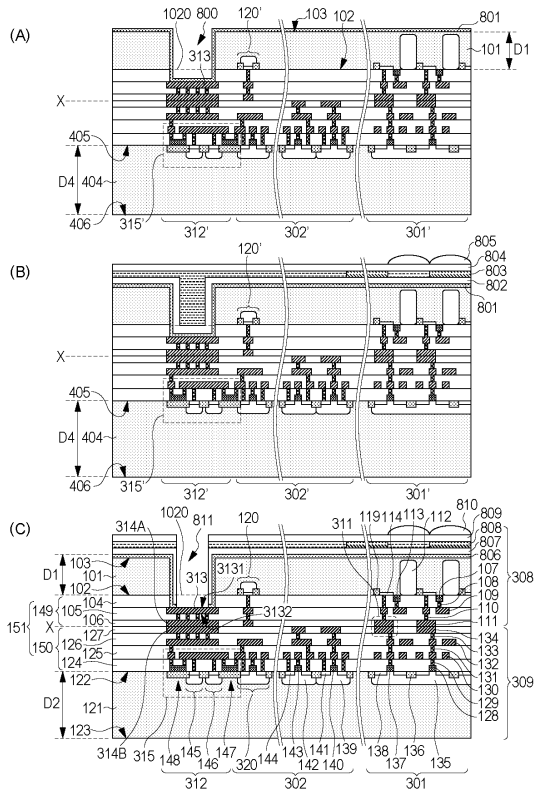
10

20

【 図 7 】



【 図 8 】



30

40

50



## フロントページの続き

(51)国際特許分類		F I		
<i>H 0 1 L</i>	<i>25/065(2006.01)</i>	<i>H 0 1 L</i>	21/88	T
<i>H 0 1 L</i>	<i>25/07 (2006.01)</i>	<i>H 0 1 L</i>	21/90	A
<i>H 0 1 L</i>	<i>25/18 (2006.01)</i>	<i>H 0 1 L</i>	25/08	Z
<i>H 0 4 N</i>	<i>5/369(2011.01)</i>	<i>H 0 4 N</i>	5/369	

日本国(JP)

審判官 鈴木 聡一郎

審判官 松永 稔

- (56)参考文献
- 特開 2 0 1 1 - 2 0 4 9 1 5 ( J P , A )
  - 特開 2 0 0 6 - 1 9 1 0 8 1 ( J P , A )
  - 特開 2 0 0 5 - 2 0 9 6 7 7 ( J P , A )
  - 特開昭 5 3 - 0 7 6 6 7 9 ( J P , A )
  - 特開 2 0 0 9 - 2 7 7 7 3 2 ( J P , A )
  - 特開昭 4 8 - 0 1 5 4 8 3 ( J P , A )
- (58)調査した分野 (Int.Cl. , D B 名)

H01L 21/02

H01L 21/3205

H01L 21/768

H01L 23/522

H01L 25/065

H01L 25/07

H01L 25/18

H01L 27/146

H04N 5/369