

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-114709

(P2006-114709A)

(43) 公開日 平成18年4月27日(2006.4.27)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 3 1 1 C	5 F 0 3 8
HO 3 K 19/003 (2006.01)	HO 1 L 27/06 3 1 1 A	5 F 0 4 8
HO 1 L 21/8238 (2006.01)	HO 1 L 27/06 3 1 1 Z	5 J 0 3 2
HO 1 L 27/092 (2006.01)	HO 3 K 19/003 Z	
HO 1 L 27/04 (2006.01)	HO 1 L 27/08 3 2 1 H	

審査請求 未請求 請求項の数 7 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2004-300819 (P2004-300819)
 (22) 出願日 平成16年10月14日 (2004.10.14)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100084250
 弁理士 丸山 隆夫
 (72) 発明者 松本 健一
 東京都大田区中馬込1丁目3番6号
 株式会社リコー内
 Fターム(参考) 5F038 BH02 BH07 BH13 EZ08 EZ20
 5F048 AA02 AC03 CC01 CC09 CC16
 CC19
 5J032 AA00 AB02 AC18

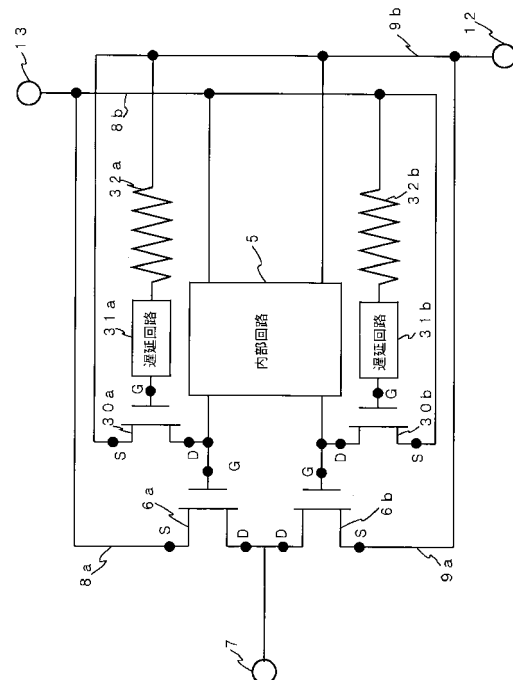
(54) 【発明の名称】 ESD保護回路

(57) 【要約】

【課題】 半導体装置をESD(サージ)からゲート絶縁膜を保護する保護機能を備えた半導体装置のための保護装置を提供する。

【解決手段】 分割されたGNDライン及び電源ラインを有するESD保護回路内における出力トランジスタ(6a、6b)のVCC端子13側又はGND端子12側の電極とゲート電極との間に、保護トランジスタを接続し、さらに、該保護トランジスタ(30a、30b)のゲート電極側に遅延回路(31a、31b)及び抵抗(32a、32b)を設けることにより、負方向の電圧が出力トランジスタ(6a、6b)に印加された場合であっても、出力トランジスタ(6a、6b)のゲート電極に電圧を印加し、ドレイン電流を放電し、ゲート絶縁膜の破壊を防止できる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数の F E T で構成された内部回路と、前記内部回路に電源電圧を供給する内部回路用電源ライン及び内部回路用グラウンドラインと、前記内部回路の出力によってゲート制御され該内部回路の出力に応じた信号を外部出力端子又は外部入出力端子へ出力する出力トランジスタと、前記出力トランジスタに接続され前記出力トランジスタに電源電圧を印加する周辺電源ライン及び周辺グラウンドラインとを備え、前記内部回路用電源ライン及び内部回路用グラウンドラインと前記周辺電源ライン及び周辺グラウンドラインとの両方又はいずれか一方がチップ配線上、分割された E S D 保護回路において、

前記出力トランジスタのゲート電極と、前記周辺電源ライン又は前記周辺グラウンドラインとの間に前記出力トランジスタがブレークダウンする前にその両電極間の電位差を減少させる保護回路と、

10

前記保護回路は、

前記出力トランジスタのゲート電極と前記周辺電源ライン又は前記周辺グラウンドラインとの間に接続された前記保護トランジスタと、

前記保護トランジスタのゲート電極と前記周辺電源ライン又は前記周辺グラウンドラインとの間に遅延回路及び抵抗とを有することを特徴とする E S D 保護回路。

【請求項 2】

前記抵抗が前記遅延回路と前記周辺電源ライン又は前記周辺グラウンドラインとの間に接続されていることを特徴とする請求項 1 記載の E S D 保護回路。

20

【請求項 3】

前記抵抗が前記保護トランジスタのゲート電極と前記遅延回路との間に接続されていることを特徴とする請求項 1 記載の E S D 保護回路。

【請求項 4】

複数の第 1 の抵抗と、前記抵抗に電源電圧を供給する抵抗用電源ライン及び抵抗用グラウンドラインと、前記抵抗の出力によってゲート制御され該抵抗の出力に応じた信号を外部出力端子又は外部入出力端子へ出力する出力トランジスタと、前記出力トランジスタに接続され前記出力トランジスタに電源電圧を印加する周辺電源ライン及び周辺グラウンドラインとを備え、前記抵抗用電源ライン及び抵抗用グラウンドラインと前記周辺電源ライン及び周辺グラウンドラインとの両方又はいずれか一方がチップ配線上、分割された E S D 保護回路において、

30

前記出力トランジスタのゲート電極と、前記周辺電源ライン又は前記周辺グラウンドラインとの間に前記出力トランジスタがブレークダウンする前にその両電極間の電位差を減少させる保護回路と、

前記保護回路は、

前記出力トランジスタのゲート電極と前記周辺電源ライン又は前記周辺グラウンドラインとの間に接続された前記保護トランジスタと、

前記保護トランジスタのゲート電極と前記周辺電源ライン又は前記周辺グラウンドラインとの間に遅延回路及び第 2 の抵抗とを有することを特徴とする E S D 保護回路。

【請求項 5】

前記第 2 の抵抗が前記遅延回路と前記周辺電源ライン又は前記周辺グラウンドラインとの間に接続されていることを特徴とする請求項 4 記載の E S D 保護回路。

40

【請求項 6】

前記第 2 の抵抗が前記保護トランジスタのゲート電極と前記遅延回路との間に接続されていることを特徴とする請求項 4 記載の E S D 保護回路。

【請求項 7】

前記遅延回路が C R 遅延回路であることを特徴とする請求項 1 から 6 のいずれか 1 項記載の E S D 保護回路。

【発明の詳細な説明】**【技術分野】**

50

【0001】

本発明は、半導体装置をサージからゲート絶縁膜を保護する保護機能を備えた半導体装置のための保護装置に関する。

【背景技術】

【0002】

従来の半導体装置は、外部からのESD(サージ)によりゲート絶縁膜が静電気破壊されることがある。静電気破壊を防止するため、半導体装置の外部出力端子または外部入力端子のセル内に保護トランジスタが設けられている。しかし、半導体装置の微細化に伴い、外部入出力端子の静電気破壊耐性が低下し、大きな問題となってきた。

【0003】

一般的に、保護トランジスタには、MOS形トランジスタを用い、MOS形トランジスタに電流集中させることにより、ブレイクダウンを起こし、サージによるゲート絶縁膜の静電気破壊を防止している。

【0004】

図3に従来のESD保護回路の回路図を示す。複数のFETで構成された内部回路5を有し、その出力側には、出力トランジスタ(Pチャンネル型トランジスタ)6a及び出力トランジスタ(Nチャンネル型トランジスタ)6bのゲート電極Gがそれぞれ接続されている。内部回路5は、内部回路用GNDライン9bを介してGND端子12に接続されると共に、内部回路用電源ライン8bを介して電源電圧VDD印可用の電源端子13に接続されている。出力トランジスタ6bのドレイン電極Dは、外部出力端子7に接続され、そのソース電極Sが周辺GNDライン9aに接続され、該周辺GNDライン9aはGND端子12に接続されている。出力トランジスタ6aのドレイン電極Dは、外部出力端子7に接続され、そのソース電極Sが周辺電源ライン8aに接続され、該周辺電源ライン8aは電源端子13に接続されている。

【0005】

GND端子12には、内部回路用GNDライン9bを介して内部回路5が接続され、さらに内部回路5は内部回路用電源ライン8bを介して電源端子13に接続されている。出力トランジスタ6a、6bは、内部回路5の出力によってゲート制御される。

【0006】

特許文献1には、内部回路用電源ライン及び内部回路用GNDラインと周辺電源ライン及び周辺GNDラインとの両方またはいずれか一方がチップ配線パターン上、分割された半導体集積回路において、外部GND端子あるいは外部電源端子に対して外部出力端子あるいは外部入出力端子に静電気サージが流入すると、それらに接続された出力トランジスタのゲート絶縁膜の破壊現象の発生を防止できる半導体集積回路が提案されている。

【特許文献1】特開平5-291511号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、上記の発明は、以下の問題を有している。

【0008】

ブレイクダウンは、負方向電圧が印加されている保護トランジスタの電圧が降伏電圧に達しないと発生しないため、降伏電圧に達するまで印加される電圧によるストレスによりゲート絶縁膜の破壊が発生する。保護トランジスタのゲートの長さを短くすることにより降伏電圧を低下させることができるが、ゲートの長さを変化させるのは、回路設計上、困難である。

【0009】

具体的には、図3において、ESD保護回路には4つの印可パターン、VCC13の電圧を正方向に大きくした場合(以下、VCC+とする)、VCC13の電圧を負方向に大きくした場合(以下、VCC-とする)、GND12の電圧を正方向に大きくした場合(以下、GND+とする)、GND12の電圧を負方向に大きくした場合(以下、GND-と

10

20

30

40

50

する)がある。VCC+とGND-とが印加された場合、各出力トランジスタには正方向の電圧が印加されるため、ドレイン電流が急激に増加するブレイクダウンは生じないため、ゲート絶縁膜の破壊に対する耐性が高い。

【0010】

しかし、VCC-とGND+とが印加された場合、各出力トランジスタには負方向の電圧が印加され、ドレイン電流が流れず、降伏電圧に達したとき、電流が急激に増加し、ゲート絶縁膜の破壊に対する耐性が低い。この負方向の電圧が約±10V(降伏電圧)に達すると、ブレイクダウンが発生する。つまり、ブレイクダウンが起こるまでのドレイン-ソース間の電位、及びドレイン-ゲート間の電位が±10V程度に達すると、ゲート絶縁膜の破壊が発生する。

10

【0011】

また、VCC-が印加された場合、出力トランジスタ6aは、負方向の電圧となり、電流が急激に増加するブレイクダウンが発生し、ゲート絶縁膜の破壊に対する耐性が低くなる。一方、出力トランジスタ6bには、正方向の電圧が印加され、電流が急激に増加するブレイクダウンは生じないため、ゲート絶縁膜の破壊に対する耐性は高い。

【0012】

また、GND+が印加された場合、出力トランジスタ6bは、負方向の電圧となり、電流が急激に増加するブレイクダウンが発生し、ゲート絶縁膜の破壊に対する耐性が低くなる。一方、出力トランジスタ6aには、正方向の電圧が印加され、電流が急激に増加するブレイクダウンは生じないため、ゲート絶縁膜の破壊に対する耐性は高い。

20

【0013】

特許文献1記載の半導体集積回路は、分割されたGNDライン及び電源ラインを有する半導体集積回路内における出力トランジスタの周辺電源ライン側又は周辺GNDライン側の電極とゲート電極との間に、保護回路を接続することにより、外部出力端子または外部入出力端子に静電気サージが流入し、出力トランジスタがブレイクダウンが発生したとき、保護回路を動作させ、該出力トランジスタの周辺電源ライン側または周辺GNDライン側の電極とゲート電極との間の電位差を減少させている。しかし、該出力トランジスタがブレイクダウンするまでサージによりゲート絶縁膜が破壊されることがある。

【0014】

そこで、本発明は、分割されたGNDライン及び電源ラインを有するESD保護回路内における出力トランジスタのVCC端子側又はGND端子側の電極とゲート電極との間に、保護トランジスタを接続し、さらに、該保護トランジスタのゲート電極側に遅延回路及び抵抗を設けることにより、負方向の電圧が出力トランジスタに印加された場合であっても、出力トランジスタのゲート電極に電圧を印加し、ドレイン電流を放電し、ゲート絶縁膜の破壊を防止できるESD保護回路を提供することを目的としている。

30

【課題を解決するための手段】

【0015】

請求項1記載の発明は、複数のFETで構成された内部回路と、前記内部回路に電源電圧を供給する内部回路用電源ライン及び内部回路用グランドラインと、前記内部回路の出力によってゲート制御され該内部回路の出力に応じた信号を外部出力端子又は外部入出力端子へ出力する出力トランジスタと、前記出力トランジスタに接続され前記出力トランジスタに電源電圧を印加する周辺電源ライン及び周辺グランドラインとを備え、前記内部回路用電源ライン及び内部回路用グランドラインと前記周辺電源ライン及び周辺グランドラインとの両方又はいずれか一方がチップ配線上、分割されたESD保護回路において、前記出力トランジスタのゲート電極と、前記周辺電源ライン又は前記周辺グランドラインとの間に前記出力トランジスタがブレイクダウンする前にその両電極間の電位差を減少させる保護回路と、前記保護回路は、前記出力トランジスタのゲート電極と前記周辺電源ライン又は前記周辺グランドラインとの間に接続された前記保護トランジスタと、前記保護トランジスタのゲート電極と前記周辺電源ライン又は前記周辺グランドラインとの間に遅延回路及び抵抗とを有することを特徴とする。

40

50

【0016】

請求項2記載の発明は、請求項1記載のESD保護回路において、前記抵抗が前記遅延回路と前記周辺電源ライン又は前記周辺グラウンドラインとの間に接続されていることを特徴とする。

【0017】

請求項3記載の発明は、請求項1記載のESD保護回路において、前記抵抗が前記保護トランジスタのゲート電極と前記遅延回路との間に接続されていることを特徴とする。

【0018】

請求項4記載の発明は、複数の第1の抵抗と、前記抵抗に電源電圧を供給する抵抗用電源ライン及び抵抗用グラウンドラインと、前記抵抗の出力によってゲート制御され該抵抗の出力に応じた信号を外部出力端子又は外部入出力端子へ出力する出力トランジスタと、前記出力トランジスタに接続され前記出力トランジスタに電源電圧を印加する周辺電源ライン及び周辺グラウンドラインとを備え、前記抵抗用電源ライン及び抵抗用グラウンドラインと前記周辺電源ライン及び周辺グラウンドラインとの両方又はいずれか一方がチップ配線上、分割されたESD保護回路において、前記出力トランジスタのゲート電極と、前記周辺電源ライン又は前記周辺グラウンドラインとの間に前記出力トランジスタがブレイクダウンする前にその両電極間の電位差を減少させる保護回路と、前記保護回路は、前記出力トランジスタのゲート電極と前記周辺電源ライン又は前記周辺グラウンドラインとの間に接続された前記保護トランジスタと、前記保護トランジスタのゲート電極と前記周辺電源ライン又は前記周辺グラウンドラインとの間に遅延回路及び第2の抵抗とを有することを特徴とする。

【0019】

請求項5記載の発明は、請求項4記載のESD保護回路において、前記第2の抵抗が前記遅延回路と前記周辺電源ライン又は前記周辺グラウンドラインとの間に接続されていることを特徴とする。

【0020】

請求項6記載の発明は、請求項4記載のESD保護回路において、前記第2の抵抗が前記保護トランジスタのゲート電極と前記遅延回路との間に接続されていることを特徴とする。

【0021】

請求項7記載の発明は、請求項1から6のいずれか1項記載のESD保護回路において、前記遅延回路がCR遅延回路であることを特徴とする。

【発明の効果】

【0022】

本発明は、分割されたGNDライン及び電源ラインを有するESD保護回路内における出力トランジスタのVCC端子側又はGND端子側の電極とゲート電極との間に、保護トランジスタを接続し、さらに、該保護トランジスタのゲート電極側に遅延回路及び抵抗を設けることにより、負方向の電圧が出力トランジスタに印加された場合であっても、出力トランジスタのゲート電極に電圧を印加し、ドレイン電流を放電し、ゲート絶縁膜の破壊を防止できる。

【発明を実施するための最良の形態】

【0023】

図1は、本発明の実施形態に係るESD保護回路の回路図である。

【0024】

本発明の実施形態に係るESD保護回路では、複数のFETで構成された内部回路5を有し、その出力側には、出力トランジスタ(Pチャンネル型トランジスタ)6a及び出力トランジスタ(Nチャンネル型トランジスタ)6bのゲート電極Gがそれぞれ接続されている。内部回路5は、内部回路用GNDライン9bを介してGND端子12に接続されると共に、内部回路用電源ライン8bを介して電源電圧VDD印可用の電源端子13に接続されている。出力トランジスタ6bのドレイン電極Dは、外部出力端子7に接続され、そ

のソース電極 S が周辺 GND ライン 9 a に接続され、該周辺 GND ライン 9 a は GND 端子 1 2 に接続されている。出力トランジスタ 6 a のドレイン電極 D は、外部出力端子 7 に接続され、そのソース電極 S が周辺電源ライン 8 a に接続され、該周辺電源ライン 8 a は電源端子 1 3 に接続されている。

【0025】

この ESD 保護回路が従来の回路と異なる点は、出力トランジスタ (N チャンネル型トランジスタ) 6 a、出力トランジスタ (P チャンネル型トランジスタ) 6 b の各ゲート電極 G と周辺 GND ライン及び周辺電源ラインとの間に保護トランジスタ 30 a、30 b (P チャンネル型トランジスタ、N チャンネル型トランジスタ)、遅延回路、及び抵抗 (32 a、32 b) が接続されていることである。

10

【0026】

まず、VCC - を印加したときの動作について説明する。VCC - が印加されると、出力トランジスタ 6 a には、負方向の電圧が印加される。したがって、出力トランジスタ 6 a には、ブレークダウンするまで電流が流れない。一方、出力トランジスタ 6 b には、正方向の電圧が印加され、ドレイン電流は、ドレイン電極 D からソース電極 S を経て GND 1 2 へと流れる。

【0027】

保護トランジスタ (N チャンネル型トランジスタ) 30 a は、ソース電極 S が GND 端子 1 2 に、ゲート電極 G が遅延回路 31 a 及び抵抗 32 a を介して GND 端子 1 2 に、ドレイン電極 D が出力トランジスタ 6 a のゲート電極 G に接続している。ここで、出力トランジスタ 6 b から GND 端子 1 2 に流れた電流は、保護トランジスタ 30 a のゲート電極 G 及びソース電極 S に流れる。しかし、GND 端子 1 2 と保護トランジスタ 30 a のゲート電極 G との間には、抵抗 32 a 及び遅延回路 31 a (例えば CR 遅延回路など) が存在している。そのため、ゲート電極 G へは、ソース電極 S よりも遅れて、低い電流が流れる。

20

【0028】

このため保護トランジスタ 30 a は、一時的に電流を流し、出力トランジスタ 6 a のゲート電極 G に VCC - が印加される。これにより出力トランジスタ 6 a は、ブレークダウンする前に電流を流し始める。

【0029】

上述の保護トランジスタ 30 a (N チャンネル型トランジスタ) を追加することにより、出力トランジスタ 6 a のゲート絶縁膜の破壊を防止できる。

30

【0030】

GND + を印加したときの動作について説明する。GND + が印加されると、出力トランジスタ 6 b には、負方向の電圧が印加される。したがって、出力トランジスタ 6 b には、ブレークダウンするまで電流が流れない。一方、出力トランジスタ 6 a には、正方向の電圧が印加され、ドレイン電流は、ドレイン電極 D からソース電極 S を経て VCC 端子 1 3 へと流れる。

【0031】

保護トランジスタ (P チャンネル型トランジスタ) 30 b は、ソース電極 S が VCC 端子 1 3 に、ゲート電極 G が遅延回路 31 b 及び抵抗 32 b を介して VCC 端子 1 3 に、ドレイン電極 D が出力トランジスタ 6 b のゲート電極 G に接続している。ここで、出力トランジスタ 6 a から VCC 端子 1 3 に流れた電流は、保護トランジスタ 30 b のゲート電極 G 及びソース電極 S に流れる。しかし、VCC 端子 1 3 と保護トランジスタ 30 b のゲート電極 G との間には、抵抗 32 b 及び遅延回路 31 b (例えば CR 遅延回路など) が存在している。そのため、ゲート電極 G へは、ソース電極 S よりも遅れて、低い電流が流れる。

40

【0032】

このため保護トランジスタ 30 b は、一時的に電流を流し、出力トランジスタ 6 b のゲート電極 G に GND + が印加される。これにより出力トランジスタ 6 b は、ゲート電極に

50

電圧を印加し、ブレークダウンする前に電流を流し始める。

【0033】

なお、保護トランジスタ30a及び30bは、出力トランジスタ6a及び6bに電流が流れているときは、常に電流は流れていないため、ESD保護回路の機能に悪影響を与えることはない。

【0034】

図2は、出力トランジスタ(6a、6b)のゲート電極Gを制御する内部回路5が存在しない時の回路構成である。内部回路5が存在しない場合、出力トランジスタ(6a、6b)のゲート電極Gは、VCC端末13又はGND端末12に直付せず、図中の抵抗(33a、33b)の様に抵抗を介して接続する。この時、出力トランジスタ6aに接続されている抵抗を保護トランジスタ6bに接続されている抵抗(32a、32b)よりも大きくする。これにより、保護トランジスタ(30a、30b)から出力トランジスタ(6a、6b)のゲート電極Gに印加される電圧に差が生じ、保護トランジスタ(30a、30b)をより効率的に駆動させることができる。

10

【図面の簡単な説明】

【0035】

【図1】本発明の実施形態に係るESD保護回路の回路図である。

【図2】本発明の実施形態に係るESD保護回路の回路図である。

【図3】従来のESD保護回路の回路図である。

【符号の説明】

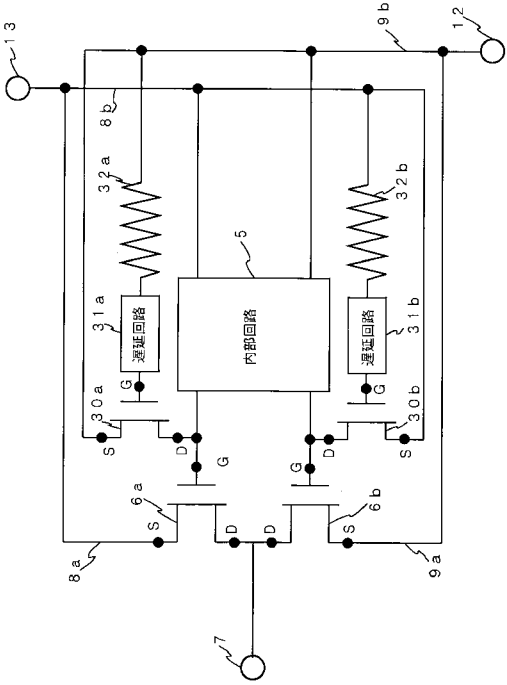
20

【0036】

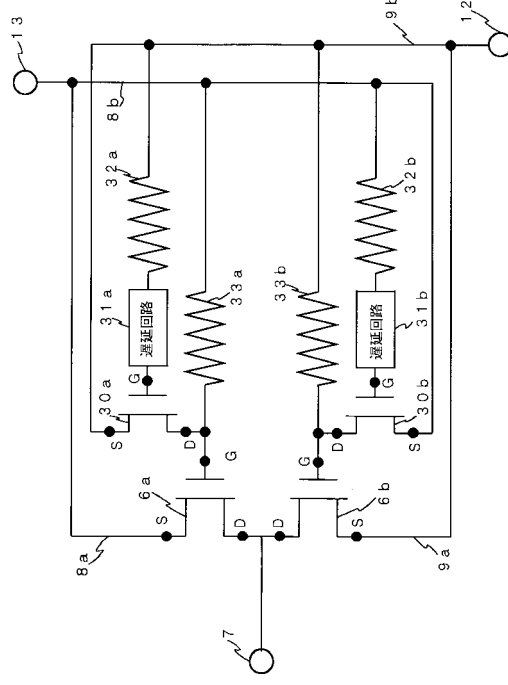
- 5 内部回路
- 6a、6b 出力トランジスタ
- 7 外部出力端子
- 8a、8b 周辺電源ライン
- 9a、9b 周辺GNDライン
- 12 GND端子
- 13 VCC端子
- 30a、30b 保護トランジスタ
- 31a、31b 遅延回路

30

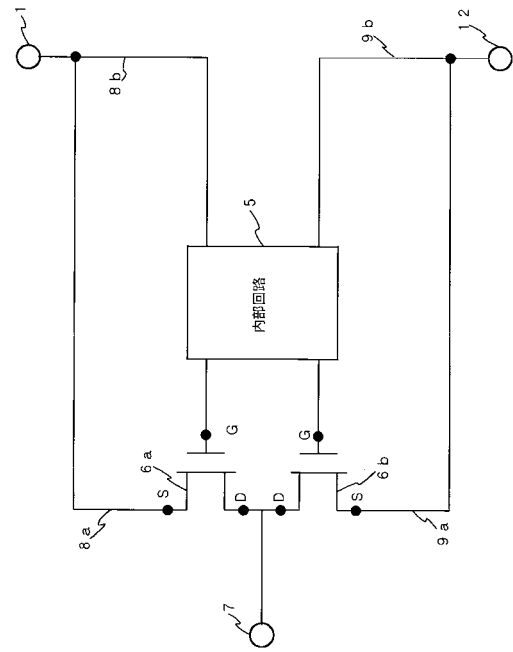
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

(51) Int. Cl.

H 0 1 L 21/822 (2006.01)

F I

H 0 1 L 27/04

H

テーマコード(参考)