Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 813687

(61) Дополнительное к авт. свид-ву –

(22) Заявлено 28.03.78 (21) 2597744/18-09

с присоединением заявки № –

(23) Приоритет –

Опубликовано 15.03.81. Бюллетень № 10

Дата опубликования описания 25.03.81

(51) М. Кл.³ H 03 H 7/12

(53) УДК 621.372.57(088.8)

(72) Авторы изобретения Ф.Б.Халитов, С.Т.Орендаренко, В.П.Сырский и О.Л.Свинтицкий

(71) Заявитель –

БИБЛИОТЕКА

(54) МНОГОКАНАЛЬНЫЙ ПОЛОСОВОЙ ЦИФРОВОЙ ФИЛЬТР

1

Изобретение относится к частотно-селективным устройствам, а именно к многоканальным цифровым фильтрам, и может быть использовано в системах обработки информации частотных датчиков с целью разделения по каналам последовательностей полос частот следования импульсов для выдачи соответствующих исполнительных команд.

Известны цифровые фильтры для выделения полос частот с заданными средними частотами и границами полос пропускания.

Известно устройство, представляющее собой систему цифровых фильтров, каждый из которых настроен на заданную область частот и имеет общий кварцевый генератор импульсов эталонной частоты [1].

Однако данное устройство достаточно сложно и требует тщательной настройки.

Наиболее близким к предлагаемому по технической сущности является устройство, содержащее счетчик, счетный вход которого соединен с выходом генератора эталонной частоты, и n параллельно включенных каналов фильтрации, каждый из которых состоит из дешифратора, элемента памяти и элемента совпадения, выход которого соединен с первым входом накопителя [2].

2

Недостаток устройства заключается в том, что возникающий случайно на выходе устройства ложный сигнал, например, в результате сбоя каких-либо элементов схемы, а также помех по цепи питания или входного сигнала, будет присутствовать в течение всего времени, пока дешифратор несколько раз не примет одно из фиксированных состояний. Кроме того, указанное устройство не позволяет обрабатывать входной сигнал, частота которого изменяется непрерывно.

Цель изобретения – повышение помехоустойчивости.

Для этого в многоканальный полосовой цифровой фильтр, содержащий счетчик, счетный вход которого соединен с выходом генератора эталонной частоты, и n параллельно включенных каналов фильтрации, каждый из которых состоит из дешифратора, элемента памяти и элемента совпадения, выход которого соединен с первым входом накопителя, введены синхронизатор, распределитель частоты, дополнительный счетчик и в каждый канал фильтрации – дополнительный дешифратор, до-

полнительный элемент памяти и дополнительный элемент совпадения, при этом в каждом канале фильтрации первый вход элемента совпадения соединен с прямым выходом элемента памяти своего канала фильтрации. второй вход - с инверсным выходом элемента памяти последующего канала фильтрации, третий вход - с прямым выходом дополнительного элемента памяти своего канала фильтрации, а четвертый - вход - с первым выходом синхронизатора, первый вход дополнительного элемента совпадения подключен к прямому выходу элемента памяти последующего канала фильтрации, второй вход - к инверсному выходу элемента памяти своего канала фильтрации, третий вход - к инверсному выходу дополнительного элемента своего канала фильтрации, четвертый вход - к первому выходу синхронизатора, а выход - ко второму входу накопителя, первый вход элемента памяти соединен с выходом дешифратора, первый вход дополнительного элемента памяти - с выходом дополнительного дешифратора, входы дешифраторов и первые входы дополнительных дешифраторов объединены и подключены к выходу счетчика, а вторые входы дополнительных дешифраторов - к выходу дополнительного счетчика, причем выход генератора эталонной частоты соединен со счетным входом дополнительного счетчика и со входом распределителя частоты, выходы которого подключены к тактовым входам синхронизатора, второй выход которого соединен с установочными входами счетчика, дополнительного счетчика, элементов памяти каждого канала фильтрации.

На чертеже представлена структурная электрическая схема многоканального полосового цифрового фильтра.

Источник импульсов измеряемой частоты подключен к входу синхронизатора 1, тактовые входы которого подсоединены к выходам распределителя частоты 2, подключенного к генератору эталонной частоты 3. На вход счетчика 4 подаются импульсы с выхода генератора 3. Выходы счетчика 4 подключены к дешифраторам 5 заданных состояний, выходы которых соединены с входами элементов 6 памяти, выполненных на триггерах. Прямые выходы элементов 6 памяти соединены с первыми входами соответствующих элементов совпадения 7, второй вход каждого элемента совпадения 7 соединен с инверсным выходом элемента памяти 6 следующего канала. Выход каждого элемента совпадения 7 подключен к входу соответствующего накопителя 8. Установочный вход каждого накопителя 8 подключен к выходу дополнительного элемента совпадения 9. Первый вход каждого дополнительного элемента совпадения 9 подключен к прямому выходу элемента 6 памяти, второй вход - к инверсному выходу соответствующего элемента памяти 6. Третьи входы схем дополнительных элементов совпадения 9, объединенные с третьими входами элементов совпадения 7, подсоединены к выходу "Опрос" синхронизатора 1. Установочные входы элементов 6 памяти и счетчика 4 подключены к другому выходу ("Сброс") синхронизатора 1. Вход дополнительного счетчика 10 объединен с входом счетчика 4, выход его подключен ко вторым входам дополнительных дешифраторов 11, каждому из которых соответствует контрольное состояние счетчика 4, близкое к фиксированному, выделяемому соответствующим дешифратором 5, и кратное состоянию дополнительного счетчика 10. Входы дополнительных элементов памяти 12 подключены к выходам дополнительных дешифраторов 11, а выходы - к четвертым входам элементов совпадения 7 и 9.

При необходимости получения на выходе какого-либо канала полосы частот с заданной величиной перекрытия по отношению к соседним каналам, вторые входы элементов совпадения 7 и 9 n-го канала могут быть подключены соответственно к инверсному и прямому выходам элемента памяти (n + K) канала, где K = 2, 3 и т. д., как, например, это показано пунктиром на чертеже для первого и третьего каналов.

Устройство работает следующим образом.

При поступлении на вход устройства последовательности импульсов синхронизатор 1, управляемый сдвинутыми по фазе тактовыми импульсами с выхода распределителя 2, вырабатывает две последовательности импульсов с периодом входного сигнала, сдвинутые друг относительно друга на период тактовой частоты. При этом импульсы на первом выходе распределителя 2 опережают по времени импульсы на другом его выходе. Импульсы тактовой частоты генератора 3 поступают на счетчик 4. При этом счетчик принимает ряд состояний, фиксируемых соответствующими дешифраторами, сначала дополнительным 11, затем основным 5, выходные сигналы которых фиксируются в элементах 12 и 6 памяти. При этом чем ниже частота поступающих на вход устройства импульсов, тем большее количество элементов 12 и 6 памяти переключится и выдаст разрешающий уровень сначала на четвертый, а затем и на первый вход соответствующих элементов совпадения 7. Однако с приходом сигнала "Опрос" на третьи входы элементов совпадения 7 выходной сигнал будет присутствовать только

на выходе того элемента совпадения 7, который соответствует последнему из дешифраторов 5, выдавшему сигнал на элемент 6 памяти до прихода сигнала "Опрос", поскольку на втором входе этого элемента имеется разрешающий уровень соседнего элемента 6 памяти, соответствующего очередному дешифратору 5, не получившему сигнал со счетчика 4. Таким образом, на выходе каждого элемента совпадения 7 будут присутствовать импульсы, совпадающие по времени с импульсами "Опрос", частоты которых лежат в границах, задаваемых соседними дешифраторами.

На выходе накопителей 8 командный сигнал появляется только после уверенного приема соответствующим элементом совпадения 7 заданной полосы частот (например, в количестве трех импульсов). Сигнал, случайно прошедший на выход элемента совпадения 7, в следующем цикле опроса сбрасывается с накопителя 8 с помощью дополнительного элемента совпадения 9. Сигналом "Сброс" с выхода синхронизатора элементы памяти 6 и 12 и счетчики 4 и 10 устанавливаются в исходное состояние.

Применение в устройстве четкой организации частот "Сброс" и "Опрос" введение дополнительных элементов совпадения, включение определенным образом накопителей импульсов и элементов памяти, а также введение дополнительных дешифраторов с контрольными элементами памяти, позволяет сократить до минимума вероятность появления на выходе ложной информации, что особенно важно, когда выходные сигналы являются командными для приведения в действие исполнительных механизмов как при обработке информации с заданной стабильностью полос частот, так и с непрерывно меняющейся частотой. Кроме того, включение синхронизатора в цепь входного сигнала значительно повышает помехоустойчивость фильтра; фильтр не сложен по конструкции, по настройке и может быть реализован на микросхемах широкого применения.

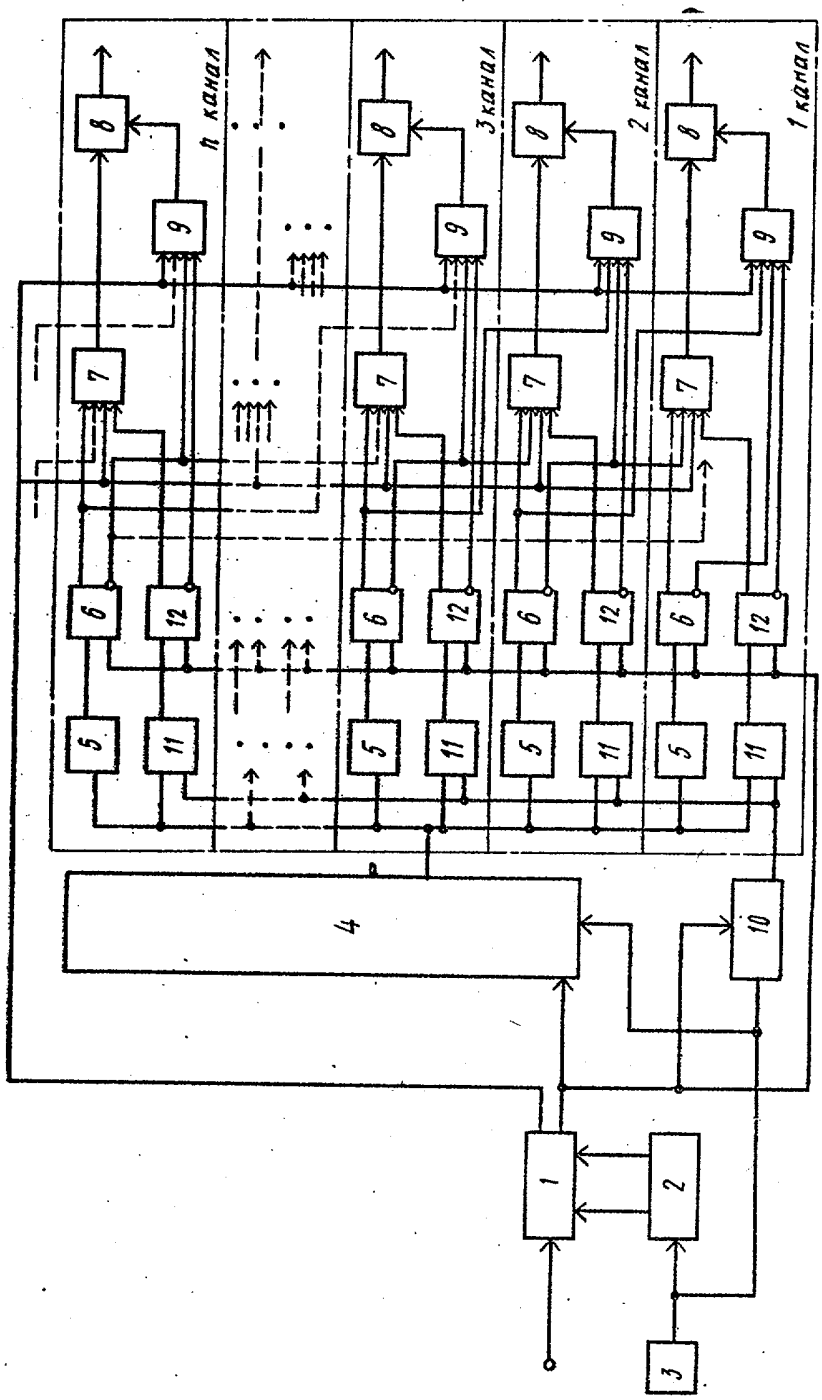
Формула изобретения

Многоканальный полосовой цифровой фильтр, содержащий счетчик, счетный вход которого соединен с выходом генератора эталонной частоты, и n параллельно включенных каналов фильтрации, каждый из которых состоит из дешифратора, элемента памяти и элемента совпадения, выход которого соединен с первым входом накопителя, о т л и ч а ю щ и й с я тем, что, с целью повышения помехоустойчивости в него введены синхронизатор, распределитель частоты, дополнительный счетчик и в каждый канал фильтрации — дополнительный дешифратор, дополнительный элемент памяти и дополнительный элемент совпадения, при этом в каждом канале фильтрации первый вход элемента совпадения соединен с прямым выходом элемента памяти своего канала фильтрации, второй вход - с инверсным выходом элемента памяти последующего канала фильтрации, третий вход - с прямым выходом дополнительного элемента памяти своего канала фильтрации, а четвертый вход - с первым выходом синхронизатора, первый вход дополнительного элемента совпадения подключен к прямому выходу элемента памяти последующего канала фильтрации, второй вход к инверсному выходу элемента памяти своего канала фильтрации, третий вход - к инверсному выходу дополнительного элемента памяти своего канала фильтрации, четвертый вход - к первому выходу синхронизатора, а выход - ко второму входу накопителя, первый вход элемента памяти соединен с выходом дешифратора, первый вход дополнительного элемента памяти - с выходом дополнительного дешифратора, входы дешифраторов и первый входы дополнительных дешифраторов объединены и подключены к выходу счетчика, а вторые входы дополнительных дешифраторов - к выходу дополнительного счетчика, причем выход генератора эталонной частоты соединен со счетным входом дополнительного счетчика и со входом распределителя частоты, выходы которого подключены к тактовым входам синхронизатора, второй выход которого соединен с установочными входами счетчика, дополнительного счетчика, элементов памяти и дополнительных элементов памяти каждого канала фильтрации.

Источники информации, принятые во внимание при экспертизе

1. Машбиц Л.М. Синтез систем частотной селекции с помощью числовых схем. "Радиотехника", т. 24, № 9, 1969, с. 63-70.

2. Авторское свидетельство СССР № 250225, кл. Н 03 У 17/62, 1968 (прототип).



Составитель Т.Афанасьева
Редактор К.Волощук Техред С.Мигунова Корректор Ю.Макаренко
Заказ 807/75 Тираж 988 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4