(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3697052号
(P3697052)
(45)発行日　平成17年9月21日(2005.9.21)　(24)登録日　平成17年7月8日(2005.7.8)

(51)Int.Cl.[7]　F I
H01L 27/12　H01L 27/12　B

請求項の数 5　(全 28 頁)

(21)出願番号　特願平10-72007
(22)出願日　平成10年3月20日(1998.3.20)
(65)公開番号　特開平10-326883
(43)公開日　平成10年12月8日(1998.12.8)
審査請求日　平成13年5月30日(2001.5.30)
(31)優先権主張番号　特願平9-73518
(32)優先日　平成9年3月26日(1997.3.26)
(33)優先権主張国　日本国(JP)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100065385
弁理士　山下　穣平
(72)発明者　坂口　清文
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　佐藤　信彦
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　綿引　隆

最終頁に続く

(54)【発明の名称】基板の製造方法及び半導体膜の製造方法

(57)【特許請求の範囲】
【請求項１】
多孔質シリコン層上に非多孔質層を有する第１の基板を用意する工程、
該第１の基板と第２の基板を前記非多孔質層が内側に位置するように貼り合わせて多層構造体を形成する工程、及び
前記多層構造体を分離し前記第２の基板上に前記非多孔質層を移設する工程を含む半導体基板の作製方法において、
前記多孔質シリコン層と前記非多孔質層との界面において分離が行われることを特徴とする半導体基板の製造方法。
【請求項２】
前記第１の基板は、前記多孔質シリコン層の孔壁を酸化膜で覆った後、該多孔質シリコン層上に前記非多孔質層を形成することにより得られる請求項１記載の半導体基板の製造方法。
【請求項３】
前記第１の基板は、前記多孔質シリコン層の孔壁を酸化膜で覆った後、該多孔質シリコン層の表面を水素を含む雰囲気中で熱処理した後、該多孔質シリコン層上に前記非多孔質層を形成することにより得られる請求項１記載の半導体基板の製造方法。
【請求項４】
水素イオン注入工程、及び水素イオン注入層による分離工程を含むＳＯＩ基板の作製方法において、分離工程後露出するＳＯＩ層表面を研磨することなく水素を含む非酸化雰囲

気で熱処理し、
前記ＳＯＩ層は、エピタキシャルシリコン層であることを特徴とするＳＯＩ基板の作製方法。
【請求項５】
表面にシリコン酸化膜が形成された第１の基板の該シリコン酸化膜側から水素イオンを注入してイオン注入層を形成する工程、
該第１の基板を第２の基板とを該シリコン酸化膜が内側に位置するように貼り合わせて複合部材を形成する工程、
前記複合部材を前記イオン注入層において分離する工程、及び
前記第２の基板上に移設された前記第１の基板の表面を研磨あるいはエッチングすることなく、水素を含む雰囲気中で熱処理して表面を平滑化する工程を有し、
前記第１の基板は、単結晶シリコン基板上にエピタキシャルシリコン層を形成し、該エピタキシャルシリコン層表面を熱酸化することで得られる半導体膜の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体基板の作製方法に関し、更に詳しくは、誘電体あるいは絶縁物上の単結晶半導体又はＳｉ基板上の単結晶化合物半導体の層に電子デバイス、集積回路を形成するのに適した半導体基板の作製方法に関するものである。
【０００２】
また、本発明は、前記作製方法により作製された半導体基板に関する。
【０００３】
【従来の技術】
絶縁物上の単結晶Ｓｉ半導体層の形成は、セミコンダクター・オン・インシュレーター（ＳＯＩ）技術として広く知られ、通常のＳｉ集積回路を作製するバルクＳｉ基板では到達しえない数々の優位点をＳＯＩ技術を利用したデバイスが有することから多くの研究が成されてきた。すなわち、ＳＯＩ技術を利用することで、
１．誘電体分離が容易で高集積化が可能、
２．対放射線耐性に優れている、
３．浮遊容量が低減され高速化が可能、
４．ウエル工程が省略できる、
５．ラッチアップを防止できる、
６．薄膜化による完全空乏型電界効果トランジスタが可能、
等の優位点が得られる。これらは例えば以下の文献に詳しい。Special Issue:"Single-crystal silicon on non-single-crystal insulators"; edited by G.W.Cullen, Journal of Crystal Growth, Vol.63, No.3, pp.429-590 (1983)
さらに、ここ数年においては、ＳＯＩ基板が、ＭＯＳＦＥＴの高速化、低消費電力化を実現する基板として多くの報告がなされている。（ＩＥＥＥ　ＳＯＩ　ｃｏｎｆｅｒｅｎｃｅ　１９９４）　また、ＳＯＩ構造を用いると素子の下部に絶縁層があるので、バルクＳｉウエハ上に素子を形成する場合と比べて、素子分離プロセスが単純化できる結果、デバイスプロセス工程が短縮される。すなわち、高性能化と合わせて、バルクＳｉ上のＭＯＳＦＥＴ、ＩＣに比べて、ウエハコスト、プロセスコストのトータルでの低価格化が期待されている。
【０００４】
なかでも完全空乏型ＭＯＳＦＥＴは駆動力の向上による高速化、低消費電力化が期待されている。ＭＯＳＦＥＴの閾値電圧（Ｖｔｈ）は一般的にはチャネル部の不純物濃度により決定されるが、ＳＯＩを用いた完全空乏型（ＦＤ；Ｆｕｌｌｙ　Ｄｅｐｌｅｔｅｄ）ＭＯＳＦＥＴの場合には空乏層厚がＳＯＩの膜厚の影響も受けることになる。したがって、大規模集積回路を歩留まりよく作るためには、ＳＯＩ膜厚の均一性が強く望まれていた。
【０００５】

また、化合物半導体上のデバイスはＳｉでは得られない高い性能、たとえば、高速、発光などの特徴を持っている。現在は、これらのデバイスはほとんどＧａＡｓ等の化合物半導体基板上にエピタキシャル成長をしてその中に作り込まれている。しかし、化合物半導体基板は、高価で、機械的強度が低く、大面積ウエハは作製が困難などの問題点がある。

【０００６】

このようなことから、安価で、機械的強度も高く、大面積ウエハが作製できるＳｉウエハ上に、化合物半導体をヘテロエピタキシャル成長させる試みがなされている。

【０００７】

ＳＯＩ基板の形成に関する研究は１９７０年代頃から盛んであった。初期には、絶縁物であるサファイア基板の上に単結晶Ｓｉをヘテロエピタキシャル成長する方法（ＳＯＳ：Sapphire on Silicon）や、多孔質Ｓｉの酸化による誘電体分 離によりＳＯＩ構造を形成する方法（ＦＩＰＯＳ：Fully Isolation by Porous Oxidized Silicon）、酸素イオン注入法がよく研究された。

【０００８】

ＦＩＰＯＳ法は、Ｐ型Ｓｉ単結晶基板表面にＮ型Ｓｉ層を、プロトンのイオン打ち込み、（イマイ他，J.Crystal Growth，Vol.63，547(1983)），もしくは、エピタキ シャル成長とパターニングによって島状に形成し、表面よりＳｉ島を囲むようにＨＦ溶液中の陽極化成法によりＰ型Ｓｉ基板のみを多孔質化したのち、増速酸化によりＮ型Ｓｉ島を誘電体分離する方法である。本方法では、分離されているＳｉ領域は、デバイス工程の前に決定されており、デバイス設計の自由度を制限する場合があるという問題点がある。

【０００９】

酸素イオン注入法は、Ｋ．Ｉｚｕｍｉによって始めて報告されたＳＩＭＯＸと呼ばれる方法である。Ｓｉウエハに酸素イオンを10^{17}～10^{18}／cm^2程度注 入したのち、アルゴン・酸素雰囲気中で１３２０℃程度の高温でアニールする。その結果、イオン注入の投影飛程（Ｒｐ）に相当する深さを中心に注入された酸素イオンがＳｉと結合して酸化Ｓｉ層が形成される。その際、酸化Ｓｉ層の上部の酸素イオン注入によりアモルファス化したＳｉ層も再結晶化して、単結晶Ｓｉ層となる。表面のＳｉ層中に含まれる欠陥は従来10^5／cm^2と多かったが、酸素の打ち込み量を4×10^{17}／cm^2付近にすることで、～10^2／cm^2まで低 減することに成功している。しかしながら、酸化Ｓｉ層の膜質、表面Ｓｉ層の結晶性等を維持できるような注入エネルギー、注入量の範囲が狭いために、表面Ｓｉ層、埋め込み酸化Ｓｉ層（ＢＯＸ；Burried Oxide）の膜厚は特定の値に制限 されていた。所望の膜厚の表面Ｓｉ層を得るためには、犠牲酸化、ないしは、エピタキシャル成長することが必要であった。その場合、膜厚の分布には、これらのプロセスによる劣化分が重畳される結果、膜厚均一性が劣化するという問題点がある。

【００１０】

また、ＢＯＸにはパイプと呼ばれる酸化Ｓｉの形成不良領域が存在することが報告されている。この原因のひとつとしては、注入時のダスト等の異物が考えられている。パイプの存在する部分では活性層と支持基板の間のリークによりデバイス特性の劣化が生じてしまう。

【００１１】

ＳＩＭＯＸのイオン注入は前述の通り、通常の半導体プロセスで使用するイオン注入と比べ注入量が多いため、専用の装置が開発されてもなお、注入時間は長い。イオン注入は所定の電流量のイオンビームをラスタースキャンして、あるいは、ビームを拡げて行われるため、ウエハの大面積化に伴い、注入時間の増大が想定される。また、大面積ウエハの高温熱処理では、ウエハ内の温度分布によるスリップの発生などの問題がよりシビアになることが指摘されている。ＳＩＭＯＸでは１３００℃以上というＳｉ半導体プロセスでは通常使用しない高温での熱処理が必須であることから、装置開発、金属汚染、スリップなど克服すべき問題の重要性がさらに大きくなることが懸念されている。

【００１２】

また、上記のような従来のＳＯＩの形成方法とは別に、近年、Ｓｉ単結晶基板を、熱酸化

した別のＳｉ単結晶基板に、熱処理又は接着剤を用いて張り合せ、ＳＯＩ構造を形成する方法が注目を浴びている。この方法は、デバイスのための活性層を均一に薄膜化する必要がある。すなわち、数百μｍもの厚さのＳｉ単結晶基板をμｍオーダーかそれ以下に薄膜化する必要がある。この薄膜化には以下のように３種類の方法がある。

【００１３】

１．研磨による薄膜化

２．局所プラズマエッチングによる薄膜化

３．選択エッチングによる薄膜化

方法１の研磨では均一に薄膜化することが困難である。特にサブμｍの薄膜化は、ばらつきが数十％にもなってしまい、この均一化は大きな問題となっている。さらにウエハの大口径化が進めばその困難度は増すばかりである。

【００１４】

方法２は、あらかじめ１～３μｍ程度まで１の研磨による方法で薄膜化したのち、膜厚分布を全面で多点測定しておいてから、この膜厚分布にもとづいて、直径数ｍｍのＳＦ$_6$などを用いたプラズマをスキャンさせることにより膜厚分布を 補正しながらエッチングして、所望の膜厚まで薄膜化する。この方法では膜厚分布を±１０ｎｍ程度にできることが報告されている。しかし、プラズマエッチングの際に基板上異物（パーティクル）があるとこの異物がエッチングマスクとなるために基板上に突起が形成されてしまう。

【００１５】

エッチング直後には表面が荒れているために、プラズマエッチング終了後にタッチポリッシングが必要であるが、ポリッシング量の制御は時間管理によって行われるので、最終膜厚の制御、および、ポリッシングによる膜厚分布の劣化が指摘されている。さらに研磨ではコロイダルシリカ等の研磨剤が直接に活性層になる表面を擦るので、研磨による破砕層の形成、加工歪みの導入も懸念されている。さらにウエハが大面積化された場合にはウエハ面積の増大に比例して、プラズマエッチング時間が増大するため、スループットの著しい低下も懸念される。

【００１６】

方法３は、あらかじめ薄膜化する基板に選択エッチング可能な膜構成をつくり込んでおく方法である。例えば、Ｐ型基板上にボロンを10^{19}／ｃｍ^{3}以上の濃 度に含んだＰ$^+$Ｓｉの薄層とＰ型Ｓｉの薄層をエピタキシャル成長などの方法で 積層し、第１の基板とする。これを酸化膜等の絶縁層を介して、第２の基板と貼り合わせたのち、第１の基板の裏面を、研削、研磨で予め薄くしておく。その後、Ｐ型層の選択エッチングで、Ｐ$^+$層を露出、さらにＰ$^+$層の選択エッチングでＰ型層を露出させ、ＳＯＩ構造を完成させるものである。、この方法はＭａｓｚａｒａの報告に詳しい（W.P.Maszara, J.Electrochem.Soc., Vol.138, 341(1991)）。

【００１７】

選択エッチングは均一な薄膜化に有効とされているが、次のような問題がある。

・せいぜい10^2程度と選択比が十分でない。

・エッチング後の表面性が悪いため、エッチング後にタッチポリッシュが必要。しかし、その結果、膜厚が減少するとともに、膜厚均一性も劣化しやすい。特にポリッシングは時間によって研磨量を管理するが、研磨速度のばらつきが大きいため、研磨量の制御が困難。したがって、１００ｎｍというような極薄ＳＯＩ層の形成において、特に問題となる。

・イオン注入、高濃度Ｂドープ Ｓｉ層上のエピタキシャル成長あるいはヘテロエピタキシャル成長を用いているためＳＯＩ層の結晶性が悪い。また、被貼り合わせ面の表面性も通常のＳｉウエハより劣る。

【００１８】

以上のことは、C. Harendt, et al., J.Elect. Mater. Vol.20, 267 (1991), H. Baumgart, et al., Proceeding of the 1st International Symposium on Semiconductor Wafer Bonding: Science, Technology and Applications, (The Electrochemical Society) Vol.92-7, p.375, C. E. Hunt et al., Proceeding of the 1st International Symposium o

n Semiconductor Wafer Bonding: Science, Technology and Applications, (The Electrochemical Society) Vol.92-7, p.165に報告されている。

【００１９】

また、選択エッチングの選択性はボロン等の不純物の濃度差とその深さ方向プロファイルの急峻性に大きく依存している。したがって、貼り合わせ強度を高めるための高温のボンディングアニールや結晶性を向上させるために高温のエピタキシャル成長を行ったりすると、不純物濃度の深さ方向分布が拡がり、エッチングの選択性が劣化してしまう。すなわち、エッチングの選択比の向上と結晶性および貼り合わせ強度の向上との両立は困難であった。

【００２０】

最近、米原らはかかる問題点を解決し、膜厚均一性や結晶性に優れ、バッチ処理が可能な貼り合わせＳＯＩを報告した（T. Yonehara et al., Appl. Phys. Letter Vol.64, 2108(1994)）。この方法は、Ｓｉ基板上３１の多孔質層３２を選 択エッチングの材料として用いる。多孔質層の上に非多孔質単結晶Ｓｉ層３３をエピタキシャル成長した後、酸化Ｓｉ層（絶縁膜）３５を介して第２の基板３４と貼り合わせる（図５の（ａ））。第１の基板を裏面より研削等の方法で薄層化し、基板全面において多孔質Ｓｉを露出させる（図５の（ｂ））。露出させた多孔質ＳｉはＫＯＨ、ＨＦ＋H_2O_2などの選択エッチング液によりエッチングして除去する（図５の（ｃ））。このとき、多孔質ＳｉのバルクＳｉ（非多孔質単結晶Ｓｉ）に対するエッチングの選択比を１０万倍と十分に高くできるので、あらかじめ多孔質上に成長した非多孔質単結晶Ｓｉ層を膜厚を殆ど減じることなく、第２の基板の上に残し、ＳＯＩ基板を形成することができる。したがって、ＳＯＩの膜厚均一性はエピタキシャル成長時にほぼ決定づけられる。エピタキシャル成長は通常半導体プロセスで使用されるＣＶＤ装置が使用できるので、佐藤らの報告（ＳＳＤＭ９５）によれば、その均一性は例えば１００ｎｍ±２％以内が実現されている。また、エピタキシャルＳｉ層の結晶性も良好で３．５×10^2／ cm^2が報告された。

【００２１】

多孔質ＳｉはＵｈｌｉｒ等によって１９５６年に半導体の電解研磨の研究過程において発見された（A.Uhlir, Bell Syst. Tech. J., Vol.35 333(1956)）。多孔質ＳｉはＳｉ基板をＨＦ溶液中で陽極化成（Ａｎｏｄｉｚａｔｉｏｎ）することにより形成することができる。多孔質ＳｉとはさながらスポンジのようにバルクＳｉ中に電解エッチングによって微小な孔が形成されたものであって、陽極化成の条件、Ｓｉの比抵抗によって異なるが、直径数ｎｍ程度の孔が例えば10^{11}個／cm^2程度の密度で形成されたものである。

【００２２】

ウナガミ等は陽極化成におけるＳｉの溶解反応を研究し、ＨＦ溶液中のＳｉの陽極反応には正孔が必要であり、その反応は、次のようであると報告している（T.Unagami, J. Electrochem. Soc., Vol.127, 476(1980)）。

【００２３】

$Si+2HF+(2-n)e^+ \rightarrow SiF_2+2H^++ne^-$

$SiF_2+2HF \rightarrow SiF_4+H_2$

$SiF_4+2HF \rightarrow H_2SiF_6$

または、

$Si+4HF+(4-\lambda)e^+ \rightarrow SiF_4+4H^++\lambda e^-$

$SiF_4+2HF \rightarrow H_2SiF_6$

ここで、e^+およびe^-はそれぞれ正孔と電子を表している。また、ｎおよびλはそれぞれ１原子のＳｉが溶解するために必要な正孔の数であり、ｎ＞２またはλ＞４なる条件が満たされた場合に多孔質Ｓｉが形成されるとしている。

【００２４】

以上のことから、正孔の存在するＰ型Ｓｉは多孔質化されるが、Ｎ型Ｓｉは多孔質化されない。この多孔質化における選択性は長野等および今井によって実証されている（長野、中島、安野、大中、梶原、電子通信学会技術研究報告、Vol.79, SSD79-9549(1979)）、（

K. Imai, Solid-State Electronics, Vol.24, 159(1981))。

【００２５】

従来の方法ではエッチングの選択性は不純物濃度の差とその深さ方向のプロファイルによっていたため、濃度分布を拡げてしまう熱処理の温度（貼り合わせ、エピタキシャル成長、酸化等）は概ね８００℃以下と大きく制約されていた。一方、この方法におけるエッチングは多孔質とバルクという構造の差がエッチングの速度を決めているため、熱処理温度の制約は小さく、１１８０℃程度の熱処理が可能であることが報告されている。例えば貼り合わせ後の熱処理は、ウエハ同士の接着強度を高め、貼り合わせ界面に生じる空隙（ｖｏｉｄ）の数、大きさを減少させることが知られている。また、斯様な構造差にもとづくエッチングでは多孔質Ｓｉ上に付着したパーティクルがあっても、これが膜厚均一性に影響を及ぼさない。

【００２６】

また、ガラスに代表される光透過性基板上には、一般には、その結晶構造の無秩序性から、堆積した薄膜Ｓｉ層は、基板の無秩序性を反映して、非晶質か、良くて多結晶層にしかならず、高性能なデバイスは作製できない。それは、基板の結晶構造が非晶質であることによっており、単に、Ｓｉ層を堆積しても、良質な単結晶層は得られない。

【００２７】

しかしながら、貼り合わせを用いた半導体基板は、必ず２枚のウエハを必要とし、そのうち１枚はほとんど大部分が研磨・エッチング等により無駄に除去され捨てられてしまい、コストアップの要因となるばかりか、限りある地球の資源を無駄使いしてしまうことになりかねない。

【００２８】

貼り合わせを用いるＳＯＩの特徴を活かすためには、品質が十分なＳＯＩ基板を再現性よく作製すると同時にウエハの再使用等による省資源、コストダウンを実現する方法が望まれていた。

【００２９】

貼り合わせ法において消費されてしまう、第１の基板を再利用する方法が最近坂口らによって報告された（特開平０７－３０２８８９号公報）。

【００３０】

彼らは、前述した多孔質Ｓｉを用いる貼り合わせ、エッチバックする方法において、第１の基板を裏面より研削、エッチング等の方法で薄層化して多孔質Ｓｉを露出させる工程に代えて以下のような方法を採用した。

【００３１】

第１のＳｉ基板４１の表面層を多孔質化して多孔質層４２にしたのち、その上に単結晶Ｓｉ層４３を形成し、この単結晶Ｓｉ層４３と第１のＳｉ基板４１とは別の第２のＳｉ基板４４の主面とを絶縁層４５を界して貼り合わせる（図６の（ａ））。この後、貼り合わせたウエハを多孔質層で分割し（図６の（ｂ））、第２のＳｉ基体側の表面に露出した多孔質Ｓｉ層を選択的エッチングにより除去することで、ＳＯＩ基板を形成するのである（図６の（ｃ））。貼り合わせたウエハの分割は、貼り合わせたウエハに面内に対して
垂直方向にさらに面内に均一に十分な引っ張り力、ないし、圧力を加える、
超音波等の波動エネルギーを印加する、
ウエハ端面に多孔質層を表出させ、多孔質Ｓｉをある程度エッチングし、そこへ剃刀の刃のようなものを挿入する、
ウエハ端面に多孔質層を表出させ、多孔質Ｓｉに水等の液体をしみ込ませた後、貼り合わせウエハ全体を加熱あるいは冷却し液体の膨張させる、
あるいは、
第１（あるいは第２）の基板に対して第２（あるいは第１）の基板に水平方向に力を加える、
等の方法により、多孔質Ｓｉ層を破壊するという方法を用いている。

【００３２】

これらは、いずれも多孔質Ｓｉの機械的強度が多孔度により異なるが、バルクＳｉよりも十分に弱いと考えられることに基づく。たとえば、多孔度が５０％であれば機械的強度はバルクの半分と考えることができる。すなわち、貼り合わせウエハに圧縮、引っ張りあるいは揃断力をかけると、まず多孔質Ｓｉ層が破壊されることになる。また、多孔度を増加させればより弱い力で多孔質層を破壊できる。

【００３３】

ここで、多孔度とは、多孔質層の体積の中で多孔質層の素材に対して、孔が占める体積の割合として定義される。

【００３４】

しかし、特開平０７－３０２８８９号公報に記載の方法では、多孔質層中の剥がれの厚さ方向における位置は規定出来ず、ウエハに層中の剥がれる場所が異なるので、歩留まりが落ちることがあった。更には、ウエハ面内で剥がした後の多孔質Ｓｉ層の残留部の残厚がばらばらで、高選択エッチングを用いても、高膜厚均一性を目指すＳＯＩの仕様を満たすためには歩留まりが落ちることがあった。

【００３５】

また、特開平８－２１３６４５号公報には多孔質層で分離する方法が記載されているが、多孔質層の層状の構成については記載されていない。これとは別に、１９９６秋季応用物理学会予稿集ｐ．６７３にソニーの田舎中氏らが電流を途中で変化させて多孔質Ｓｉを作製することが記されている。

【００３６】

特開平８－２１３６４５号公報には分離層のどこからでも剥がれる様に書かれており、言い換えれば、剥がれる位置を規定できないということである。この場合、ウエハ面内で残留多孔質Ｓｉ層の厚さがばらばらであり、多孔質Ｓｉをエッチング除去するにしても非多孔質単結晶層である活性層（デバイス層）に対するエッチング速度が０でないならば、活性層を多少なりともエッチングしてしまい層厚の面内ばらつきの原因となり、また残留したまま使用するにしても、剥離位置に依存する表面段差がそのまま残ることになる。また、上記１９９６秋季応用物理学会予稿集ｐ．６７３の方法でも多孔質Ｓｉの中央部で剥がれるとされており、必ず両方の基板側に残留した多孔質Ｓｉ層の残留部を除去する必要がある。

【００３７】

多孔質層のエッチング工程は、良質の貼り合わせＳＯＩ基板を作製するためには、必須の工程と考えられてきた。しかしながら、エッチング工程はエッチング装置内への基板の搬入や搬出、エッチング装置やエッチャントの管理、エッチング後の洗浄等の実工程以外の付随した工程を要する。エッチング工程を省略することができるならば、ＳＯＩ基板の製造時間は大幅に短縮可能である。

【００３８】

本発明の目的は、多孔質層の選択エッチング工程を省略し得る基板の作製方法を提供することにある。

【００３９】

本発明の別の目的は、良質のＳＯＩ基板に代表される基板を安価に作製できる半導体基板の作製方法を提供することにある。

【００４０】

【課題を解決するための手段】

本発明は、多孔質シリコン層上に非多孔質層を有する第１の基板を用意する工程、該第１の基板と第２の基板を前記非多孔質層が内側に位置するように貼り合わせて多層構造体を形成する工程、及び、前記多層構造体を分離し前記第２の基板上に前記非多孔質層を移設する工程を含む半導体基板の作製方法において、前記多孔質シリコン層と前記非多孔質層との界面において分離が行われることを特徴とする。

本発明は、前記第１の基板は、前記多孔質シリコン層の孔壁を酸化膜で覆った後、該多孔質シリコン層上に前記非多孔質層を形成することにより得られる。

本発明は、前記第１の基板は、前記多孔質シリコン層の孔壁を酸化膜で覆った後、該多孔質シリコン層の表面を水素を含む雰囲気中で熱処理した後、該多孔質シリコン層上に前記非多孔質層を形成することにより得られる。

本発明は、水素イオン注入工程、及び水素イオン注入層による分離工程を含むＳＯＩ基板の作製方法において、分離工程後露出するＳＯＩ層表面を研磨することなく水素を含む非酸化雰囲気で熱処理し、前記ＳＯＩ層は、エピタキシャルシリコン層であることを特徴とする。

本発明は、表面にシリコン酸化膜が形成された第１の基板の該シリコン酸化膜側から水素イオンを注入してイオン注入層を形成する工程、該第１の基板を第２の基板とを該シリコン酸化膜が内側に位置するように貼り合わせて複合部材を形成する工程、前記複合部材を前記イオン注入層において分離する工程、及び、前記第２の基板上に移設された前記第１の基板の表面を研磨あるいはエッチングすることなく、水素を含む雰囲気中で熱処理して表面を平滑化する工程を有し、前記第１の基板は、単結晶シリコン基板上にエピタキシャルシリコン層を形成し、該エピタキシャルシリコン層表面を熱酸化することで得られる。

【００４１】

【発明の実施の形態】

図１は、本発明による基板の作製方法の基本的な例を示す。

【００４２】

図１の（ａ）に示すように、第１の層１２と該第１の層上に隣接して設けられた第２の層１３とを有する第１の基体２を用意する。

【００４３】

図１の（ｂ）に示すように、第１の基体２と、第２の基体１５と、を貼り合わせる。１４は絶縁膜である。

【００４４】

図１の（ｃ）に示すように、第１の基体２と第２の基体１５とを分離して、第２の層１３を第２の基体１５の絶縁性表面１４ｆ上に移す。

【００４５】

この時の分離面を第１の層１２と第２の層１３との界面としている為に、第２の基体１５上に移された第２の層１３の露出表面（分離面）１３ｆ上には第１の層の残留層が残らない。

【００４６】

よって、図１の（ｄ）に示すように、第２の層１３の露出表面１３ｆを選択エッチングや選択研磨することなく、平坦な表面を有する基板３が得られる。更に、必要に応じて、基板３の第２の層１３の表面１３ｆを非酸化性雰囲気中の熱処理等で平滑化処理することもできる。

【００４７】

本発明に用いられる第１の基体としては、互いに異なる材料ないしは、互いに異なる機械的強度をもつ第１及び第２の層を少なくとも有するものである。

【００４８】

第２の層としては、非多孔質の層が用いられる。具体的には、Ｓｉ，ＧａＡｓ，ＩｎＰなどの化合物半導体の他、金属、炭素などの材料が挙げられるがこれに限定されるものではない。また、これらの層は全面に形成されていることが必須ではなく、パターニング処理により、部分的にエッチングされていてもよい。

【００４９】

又、それらの非多孔質の層の表面には、酸化膜のような絶縁層が形成されていてもよい。

【００５０】

第２の基体としては、例えばＳｉ基板、Ｓｉ基板の表面に酸化Ｓｉ膜を形成した基板がある。又は、石英、溶融石英、シリカガラス、サファイヤやガラスのような光透過性基板、あるいは、金属基板であってもよく、特に限定されるものではない。

【００５１】
第１及び第２の基体の形状は、板状又は円盤状のものが好ましく用いられる。
【００５２】
貼り合わせの場合には、第１及び第２の基体のうち少なくとも一方の貼り合わせ面に酸化膜のような絶縁層を設けることにより、絶縁層を間に介して両基体を貼り合わせることが好ましいものである。図１では、第２の基体１５の表面に絶縁層１４を設けた例を示している。
【００５３】
そして、分離面を第１の層と第２の層との界面とする為には、多孔質層を用いて機械的強度の弱い分離層を該界面に形成するか、イオン打ち込みにより該界面に機械的強度の弱い分離層を形成すればよい。或いは、該界面に欠陥を導入して機械的強度の弱い分離層を形成する。
【００５４】
分離する方法としては、加圧、引っ張り、剪断、楔、等の外力をかける方法、超音波を印加する方法、熱をかける方法、酸化により多孔質Ｓｉを周辺から膨張させ多孔質Ｓｉ内に内圧をかける方法、パルス状に加熱し、熱応力をかける、あるいは軟化させる方法等があるがこの方法に限定されるものではない。
【００５５】
以下、分離層の形成方法について詳述する。
【００５６】
ヘテロエピタキシの材料の差による格子定数の違いからその界面あるいはエピタキシャル層には欠陥が導入されることが知られている。さらに、２つのヘテロ接合を形成するダブルヘテロエピタキシの場合、２つのエピタキシャル膜層の膜厚との関係により超薄膜側に欠陥を導入しやすい。したがって、超薄膜エピタキシャル層上にさらに異種材料をエピタキシャル成長させると超薄膜エピタキシャル層に欠陥が導入されることになる。このように格子定数の差と欠陥導入により界面が弱くなり、そこから剥がすことができる。
【００５７】
一方、ヘテロエピタキシを用いなくても分離層は形成できる。その一例は多孔質の利用である。
【００５８】
例えば、多孔質は、Ｓｉ基板をＨＦ溶液中で陽極化成することにより形成することができる。多孔質層は10^{-1}～１０ｎｍ程度の直径の孔が10^{-1}～１０ｎｍ程度の間隔で並んだスポンジのような構造をしている。その密度は、単結晶Ｓｉの密度２．３３ｇ／ｃｍ^{3}に比べて、ＨＦ溶液濃度を５０～２０％の範囲で変化させたり、電流密度を変化させることで２．１～０．６ｇ／ｃｍ^{3}の範囲に変化させることができる。すなわち、多孔度を変更すること が可能である。このように多孔質Ｓｉの密度は単結晶Ｓｉに比べると、半分以下にできるにもかかわらず、単結晶性は維持されており、多孔質層の上部へ単結晶Ｓｉ層をエピタキシャル成長させることも可能である。ただし、１０００℃以上では、内部の孔の再配列が起こり、増速エッチングの特性が損なわれる。　このため、Ｓｉ層のエピタキシャル成長には、分子線エピタキシャル成長、プラズマＣＶＤ、減圧ＣＶＤ法、光ＣＶＤ、バイアス・スパッター法、液相成長法等の低温成長が好適とされている。しかし、あらかじめ低温酸化等の方法により多孔質層の孔壁にあらかじめ保護膜を形成しておけば、高温成長も可能である。
【００５９】
また、多孔質層はその内部に大量の空隙が形成されている為に、体積に比べて表面積が飛躍的に増大する。そのため、その化学エッチング速度は、通常の単結晶層のエッチング速度に比べて、著しく増速される。
【００６０】
そして、多孔質Ｓｉの機械的強度は多孔度により異なるが、バルクＳｉよりも弱い。よって、圧縮、引っ張りあるいは剪断力を多孔質層を部分的に有するＳｉ基板にかけると、ま

ず多孔質層が破壊されることになる。また、多孔度を増加させれば、より弱い力で多孔質層を破壊できる。

【００６１】

多孔質Ｓｉ上のエピタキシャル成長工程では、その第１ステップとして多孔質Ｓｉの表面孔を埋めるためのH_2中のベークがエピタキシャル層の高品質化には 必須である（N. Sato et al., J.Electrochem. Soc., Vol.142, No.9, 3116(1995)）。このH_2ベークで多孔質Ｓｉの最表面層は孔を埋めるために消費される。 したがって、多孔質層を２層以上形成し、最表面の低多孔度層を極薄くし、非多孔質化及び／又はエピタキシャル成長により形成したエピタキシャル層直下の多孔質Ｓｉ層を多孔度の大きい層にすれば、これによってエピタキシャル層直下で分離できる。

【００６２】

また、ＨＦで酸化膜を除去した多孔質Ｓｉや酸化膜のない多孔質Ｓｉは、このH_2ベーク等の熱処理工程中で孔の凝集が起こり、孔の側壁の酸化膜もなく機械強度が弱くなり、分離しやすくなる。このような処理によっても第１及び第２の層宇界面で分離できる。

【００６３】

或いは、陽極化成後、多孔質Ｓｉ層を低温酸化せずにエピタキシャル成長、酸化、貼り合わせ熱処理等の高温プロセスを通すと、多孔質Ｓｉは構造変化をおこし、陽極化成時は微小孔であったものが孔が凝集して孔の拡大が起こる。エピタキシャル層直下の孔の拡大と多孔質Ｓｉ層と非多孔質のエピタキシャルＳｉ層との間のひずみにより多孔質Ｓｉ層／エピタキシャルＳｉ層界面で分離が生ずることになる。このような処理によっても、第１及び第２の層の界面で分離できるようになる。

【００６４】

更に、イオンが打ち込まれたイオン注入層には、気泡か生じることはよく知られており、あたかも多孔質を内部に形成したような構造となる。したがって、この層は、機械的にもろく、さらには、陽極化成の多孔質と同様に増速酸化や増速エッチングが可能となる。従って、イオンを第１及び第２の層の界面に注入することによっても、該界面で分離できるようになる。

【００６５】

この時のイオンは限定されるものではなく、界面に注入損傷層、注入元素の高濃度層（ひずみ層）あるいはバブル層が形成されれば良い。

【００６６】

なお、本発明で言う界面とは、実質的に界面近傍をも含む領域をさしている。

【００６７】

イオン注入については、以下の文献を参照されたい。

【００６８】

特開平５－２１１１２８号公報にイオン注入によりバブル 層を作り、熱処理により結晶再配列と気泡（バブル）の凝集とを生じさせ、バブル層を介してはがす方法が提案されている。

【００６９】

バルクＳｉ中にヘリウムや水素をイオン注入し、熱処理を加えると注入された領域に直径数ｎｍ～数十ｎｍの微小な空洞（ｍｉｃｒｏ－ｃａｖｉｔｙ）が～$10^{16\text{-}17}$／cm^3もの密度で形成されることが報告されている。（例えば、A. Van. Veen, C. C. Griffioen, and J. H. Evans, Mat. Res. Soc. Symp. Proc. 107(1988, Material Res. Soc. Pittsburgh, Pennsylvania) p.449）最近はこれら微小空洞群を金属不純物のゲッタリングサイトとして利用することが研究されている。

【００７０】

V. RaineriとS. U. Campisanoは、バルクＳｉ中にヘリウムイオンを注入、熱 処理して空洞群を形成した後、基板に溝を形成して空洞群の側面を露出し酸化処理を施した。その結果、空洞群は選択的に酸化されて埋め込み酸化Ｓｉ層を形成した。すなわち、ＳＯＩ構造を形成できることが報告されている（V. Raineri, and S.U. Canpisano, Appl. Phys. Le

tt. 66 (1995) p.3654）。

【００７１】

さらに本発明の基板の作製方法は、上記方法で分離された第１の基体は分離面に残留する第１の層を除去した後、あるいは除去しなくても良ければそのまま、さらに表面平坦性が不十分であれば表面平坦化処理を行うことにより、再び第１の基板、あるいは第２の基体として、あるいは他の用途の基板として再利用することが可能である。

【００７２】

また、第２の層が移された第２の基体の分離面は、通常半導体プロセスで使用される研磨、エッチングを用いることなく、水素を含む非酸化性雰囲気での熱処理によって平滑化できる。この熱処理は条件を選ぶことにより、局所的には原子ステップが表出するほど平坦にすることができる。

【００７３】

以上のとおり、本発明は、第１層と第２層との界面で基体全面に渡って分離することが出来るため、これまで必要とされていた第２の基体上の分離面の平滑化工程を簡略化することが出来る。エッチングや研磨は、第２の基体に移設された第２の層の膜厚劣化を招くことがあるため、このエッチングや研磨工程がなくなればさらに第２の層の均一性を向上させることが出来る。これにより、超高均一性の要求に対しても歩留まりよくウエハを作製できる。

【００７４】

さらに、第１基体の両面に同時に２つの第２の基板を貼り合わせて、分離及び層の転写を行い、２つの基板を作製することもできる。

【００７５】

第２の層を堆積膜、特にエピタキシャル膜でバルクＳｉに特有の欠陥を排除することができるため、デバイスの歩留まりを向上させることが可能となる。現在でも、ＣＰＵ等の高性能素子には、そのような膜を有するエピタキシャルウエハが使用されている。今後ウエハの大口径化が進み、高品質結晶の引き上げが難しくなると言われており、バルクウエハの品質は落ちる。よって、ますます、エピタキシャルＳｉ膜の必要性は高まり、貼り合わせＳＯＩでもエピタキシャル膜の需要は高まるであろう。

【００７６】

また、ＳＯＩ基板の半導体層の電気伝導型や、不純物濃度は、エピタキシャル膜の電気伝導型や、不純物濃度を制御して任意に設定できる。よって、同じ第１の基板から多種の電気伝導型や、不純物濃度の半導体層を持つＳＯＩ基板が得られるので、エピタキシャル膜を用いると、汎用性が高まる。

【００７７】

さらに、特に高濃度埋め込み層をもつＳＯＩ基板も容易に作成でき、こうした作用は、特開平５－２１１１２８号公報に所載の様なバルクウエハの最表面層をイオン注入で剥がす方法では不可能である。

【００７８】

また、第１の層及び第２の層がともにエピタキシャル層の場合には、第１及び第２の層を形成するために基板が消費されることが無いので、第１の基板は、何度使用しても基板の厚さを減じることなく半永久的に再使用できる。

【００７９】

このように本発明によれば、結晶性の良いＳｉや化合物半導体の非多孔質結晶層を、経済性に優れていて且つ大面積の基板の絶縁性表面上に移し代えることが可能であり、この際の従来の問題点である格子定数、熱膨張係数の差によるクラックを十分に抑制し、良好な結晶性を有する半導体層を基板の絶縁性表面上に形成することもできる。

【００８０】

図２を参照して本発明の基板の作製方法のうち多孔質層を利用して分離を行う方法の一例について説明する。

【００８１】

図２の（ａ）に示すようにＳｉウエハのような第１の単結晶基板１１を用意して、主表面に少なくとも１層の第１の層１２を形成する。図２の（ｂ）に示すように第１の層１２上に少なくとも１層の第２の層１３を形成する。第２の層１３は、単結晶Ｓｉ、多結晶Ｓｉ、非晶質Ｓｉ、多孔質表面層を非多孔質化した層、あるいは、金属膜、化合物半導体薄膜、超伝導薄膜などの中から任意に選ばれる。あるいは、これらの層や膜を用いてＭＯＳＦＥＴ等の素子構造を形成しておいても構わない。多層構造であれば、埋め込み層を持ったＳＯＩにもなる。さらに、第２の層１３の最表面層にSiO_2などの絶縁層１４を形成しておく。そうすると、貼合わせ界面の界面準位を活性層から離すことが出来る。図２の（ｃ）に示すように、第２の基板１５の表面と第１の基板の層１４の表面とを室温で密着させる。

【００８２】

第２の層として単結晶Ｓｉを堆積した場合には、単結晶Ｓｉの表面には熱酸化等の方法で酸化Ｓｉを形成したのち貼り合わせることが好ましい。また、第２の基板は、Ｓｉ、Ｓｉ基板上に酸化Ｓｉ膜を形成したもの、石英等の光透過性基板、サファイアなどから選択することができるが、これに限定されるものではなく、貼り合わせに供される面が十分に平坦であれば構わない。図２の（ｃ）は第２の基板と第１の基板とは第１の基板の表面に形成された絶縁層１４を介して貼り合わせた様子を示してあるが、第２層１３がＳｉでない場合、あるいは第２の基板がＳｉでない場合には絶縁層１４はなくてもよい。

【００８３】

貼り合わせに際しては第１の基板１１及び第２の基板１５の何れとも別体である絶縁性の薄板をそれらの間にはさみ３枚重ねで貼り合わせることも可能である。

【００８４】

この後、貼り合わせ強度を高めるために熱処理を行う。

【００８５】

次に、図２の（ｄ）に示すように第１層１２と第２層１３との界面で２つの基板を分離する。第１層１２と第２層１３との界面あるいはその近傍には、あらかじめ分層となる潜在的要因を形成しておくことになる。分離を規定する要因としては、前述したように陽極化成条件あるいはその後の熱工程によるによる多孔度や孔サイズ（ｐｏｒｅｓｉｚｅ）の変化、２種の材料による熱膨張係数の違い、イオン注入による注入元素や欠陥層や気泡層の導入、が挙げられる。分離する方法としては、前述したように加圧、引っ張り、剪断、楔、等の外力をかける方法、超音波を印加する方法、熱をかける方法、酸化により多孔質Ｓｉを周辺から膨張させ多孔質Ｓｉ内に内圧をかける方法、パルス状に加熱し、熱応力をかける、あるいは軟化させる方法等があるがこの方法に限定されるものではない。

【００８６】

図２の（ｅ）に示すように、第２層１３の分離面には第１層１２が残っていない半導体基板が得られる。第２の基板１５上の第２層１３が、平坦に、しかも均一に薄層化されて、基板全域に形成される。第２の基板１５と第１の基板１１とを絶縁層１４を介して貼り合わせて得られた半導体基板は、絶縁分離された電子素子作製に好適なＳＯＩ基板となる。

【００８７】

分離後の第２基板１５の表面即ち第２の層の分離面に許容できな凸凹が存在している場合には、非酸化性雰囲気中の熱処理などの表面平滑化処理を行う。

【００８８】

第１の基板１１はその上に残留している第１層１２を必要に応じて除去して、更に必要に応じて表面平滑化処理を行う。再度、もう一枚のＳＯＩ基板を作製するための第１の基板１１、あるいは第２の基体１５として使用する（図２の（ｆ）参照）。

【００８９】

図３に示すように、図１や図２に示した工程を第２の基体を２枚用いることにより第１の基体の両面に貼り合わせ、そして分離を行い、半導体基板を同時に２枚作製することもできる。

【００９０】

第１の基板２１は残留第１層２２、２３を必要に応じて除去して、表面が許容できないほど荒れている場合には表面平滑化処理を行った後、再度第１の基板２１、あるいは第２の基体２８（または２９）として使用し、更に別のＳＯＩ基板を作製することができる。

【００９１】

支持用の基板２８、２９は同一材料でなくても良い。非多孔質薄膜２４、２５も同一材料である必要はない。絶縁層２６、２７はなくてもよい。

【００９２】

図４は、本発明による基板の作製方法のうち複数の多孔質層を用いて分離を行う方法を示す。

【００９３】

図４の（ａ）に示すように第１の基板１０１の表面に、第１の多孔質層１０２と第１の多孔質層より高多孔度の第２の多孔質層１０３とからなる多孔質領域１０４を形成する。多孔質領域は非多孔質の基板の表面部分を多孔質に変化させてもよいし、非多孔質の基板の表面上に多孔質領域を形成してもよい。そして、第１の多孔質層１０２より第２の多孔質層１０３を厚くすることが好ましい。

【００９４】

図４の（ｂ）に示すように、第１の多孔質１０２を非多孔質の層１０２′非多孔質化する。非多孔質化の方法としては非酸化性雰囲気中に多孔質層１０２を配して、それを熱処理する方法がある。非酸化性雰囲気としては前述したように水素含有雰囲気が望ましく、熱処理温度は多孔質層構成材料の融点未満であり、具体例は６００℃以上１４００℃以下、より好ましくは９００℃以上１２００℃以下である。熱処理時間は第１の多孔質層が全て非多孔質化するに充分な時間であり、第１の多孔質層の多孔度と厚みに応じて適宜選択される。この時、第２の多孔質層１０３は高多孔度であるので、非多孔質化されない。

【００９５】

図４の（ｃ）に示すように、非多孔質化した層１０２′の表面側を、第２の基板１０６の表面に対向させて、両者を、必要に応じて間に別の層１０５を介して、接合させ、第１及び第２の基板１０１，１０６を貼り合わせる。

【００９６】

別の層１０５は、層１０２′とは異なる材料で構成されるものである。別の層１０５は、両基板の貼り合わせ前に、予め層１０２′の表面或いは第２の基板１０６の表面に形成しておいてもよい。或いは両方１０２′，１０６の表面にそれぞれ形成しておいて、それらを接合させてもよい。

【００９７】

更には、層１０２′と第２の基板１０６との構成材料が異なる場合には、別の層１０５を省略することもできる。

【００９８】

図４の（ｄ）に示すように、貼り合わされた基板１０１，１０６に外力を加えたり内部応力を生じさせたりしてそれを分離すると、両基板は貼り合わせ界面とは異なる第２の多孔質層１０３と非多孔質の層１０２′の界面で分かれる。この時、第２の多孔質層１０３の該界面付近は一部崩壊して失なわれてもよい。

【００９９】

このように多孔質層１０３を層１０２′の分離面上に残さずに分離できるので、層１０２′を有する第２の基板１０６の選択エッチングや選択研磨は不要となる。

【０１００】

そして、層１０２′を有する第２の基板１０６は、必要に応じて熱処理を行い層１０２′の分離面の平滑化を行ってもよい。

【０１０１】

【実施例】

［実施例１］

第１の単結晶Ｓｉ基板の表面にＨＦ溶液中において陽極化成処理を施した。

陽極化成条件は以下の通りであった。
先に作る第１の多孔質層の最表面層の形成条件：
電流密度：　　１（ｍＡ・ｃｍ$^{-2}$）
陽極化成溶液：　　ＨＦ：H_2O：C_2H_5OH＝１：１：１
時間：　　０．１（ｍｉｎ）
多孔質Ｓｉの厚み：　０．０２（μｍ）
次に作る第２の多孔質層の形成条件：
電流密度：　　５０（ｍＡ・ｃｍ$^{-2}$）
陽極化成溶液：　　ＨＦ：H_2O：C_2H_5OH＝１：１：１
時間：　　５（ｓｅｃ）
多孔質Ｓｉの厚み：　０．１（μｍ）
最後に作る第３の多孔質層のを作製条件：
電流密度：　　７（ｍＡ・ｃｍ$^{-2}$）
陽極化成溶液：　　ＨＦ：H_2O：C_2H_5OH＝１：１：１
時間：　　１（ｍｉｎ）
多孔質Ｓｉの厚み：　１（μｍ）
この陽極化成により、５０（ｍＡ・ｃｍ$^{-2}$）による第１の多孔質層より厚い第２の多孔質Ｓｉ層の多孔度は他の多孔質Ｓｉ層の多孔度に比べて大きくなり、構造的に脆弱な層となる。

【０１０２】
この基板を酸素雰囲気中４００℃で１時間酸化した。この酸化により多孔質Ｓｉの孔の内壁表面は熱酸化膜で覆われた。このウエハをエピタキシ装置の水素雰囲気中に配置した後、１０４０℃で５分間ベークした。この熱処理（ベーキング）により多孔質Ｓｉの表面孔は埋められた。そして、最表面層即ち電流密度１ｍＡ・ｃｍ$^{-2}$で形成した第１の多孔質Ｓｉ層はＳｉ原子のマイグレーションにより、非多孔質化した。

【０１０３】
続けて、非多孔質化した表面を有する多孔質Ｓｉ上にＣＶＤ（Chemical Vapor Deposition）法により単結 晶Ｓｉを０．３μｍエピタキシャル成長した。成長条件は以下の通りであった。

【０１０４】
ソースガス：　SiH_2Cl_2／H_2
ガス流量：　０．５／１８０　ｌ／ｍｉｎ
ガス圧力：　８０Ｔｏｒｒ
温度：　９５０℃
成長速度：　０．３μｍ／ｍｉｎ
さらに、このエピタキシャルＳｉ層表面に熱酸化により２００ｎｍのSiO_2 層を形成した。

【０１０５】
該SiO_2層表面と、別に用意したＳｉ基板（第２の基板）の表面と、を重ね合わ せ、接触させた後、１１８０℃５分間熱処理したところ、貼り合わせは強固になった。

【０１０６】
貼り合わせ基板に外力を加えて分離させたところ、多孔度の大きい第２の多孔質層が崩壊し、非多孔質の層と多孔質の層との界面で分割された。

【０１０７】
以上の結果、第２の基板のＳｉ酸化膜上に０．２μｍの厚みを持った単結晶Ｓｉ層を有するＳＯＩ基板が形成できた。単結晶Ｓｉ層の表面（分離面）には多孔質Ｓｉは残留していなかった。形成された単結晶Ｓｉ層の膜厚を面内全面について１００点を測定したところ、膜厚の均一性は２０１ｎｍ±４ｎｍであった。

【０１０８】
ＳＯＩ表面は荒れているが、太陽電池やマイクロメカニクス等表面性を問題にしない応用

の場合には、このまま使用するのが好ましい。しかし、薄膜トランジスタ等の表面性に非常に敏感なものへの応用の場合には、さらに水素中のような非酸化性雰囲気下で１１００℃で熱処理を１時間行い表面を平滑化することが必要である。熱処理後の表面粗さを原子間力顕微鏡で評価したところ、５０μｍ角の領域での平均２乗粗さはおよそ０．２ｎｍで通常市販されているＳｉウエハと同等であった。

【０１０９】

透過電子顕微鏡による断面観察の結果、エピタキシャル成長による単結晶Ｓｉ層には新たな結晶欠陥は発生しておらず、良好な結晶性が維持されていることが確認された。

【０１１０】

第１の基板上に残っている多孔質Ｓｉはは、４９％弗酸と３０％過酸化水素水との混合液で攪拌しながら選択エッチングした。その後、水素アニールを施して再び第１の基板としてあるいは第２の基板として利用した。

【０１１１】

［実施例２］

第１の単結晶Ｓｉ基板の表面にＨＦ溶液中において陽極化成処理を行った。

【０１１２】

陽極化成条件は以下の通りであった。

【０１１３】

電流密度：　　７（ｍＡ・ｃｍ$^{-2}$）

陽極化成溶液：　ＨＦ：H_2O：C_2H_5OH＝１：１：１

時間：　　５（ｍｉｎ）

多孔質Ｓｉの厚み：～５（μｍ）

形成された多孔質Ｓｉ層を酸化することなく多孔質Ｓｉ上にＣＶＤ法により単結晶Ｓｉを０．３μｍエピタキシャル成長した。成長条件は以下の通りである。

【０１１４】

ソースガス：　SiH_2Cl_2／H_2

ガス流量：　０．５／１８０　ｌ／ｍｉｎ

ガス圧力：　８０Ｔｏｒｒ

温度：　　９５０℃

成長速度：　０．３μｍ／ｍｉｎ

さらに、このエピタキシャルＳｉ層表面に熱酸化により２００ｎｍのSiO_2 層を形成した。

【０１１５】

該SiO_2層表面と別に用意したＳｉ基板（第２の基板）の表面とを重ね合わ せ、接触させた後、１１８０℃で５分間アニールしたところ、貼り合わせは強固になった。

【０１１６】

貼り合わせウエハに外力を加えて分離させたところ、エピタキシャル層直下で剥がれた。

【０１１７】

上述したとおり、陽極化成後、多孔質Ｓｉ層を低温酸化せずにエピタキシャル成長、酸化、貼り合わせ等の高温熱処理プロセスを通すと、多孔質Ｓｉは構造変化をおこし、陽極化成時は微小孔であったものが孔が凝集して孔の拡大が起こる。エピタキシャル層直下の孔の拡大と、多孔質Ｓｉ層とエピタキシャルＳｉ層との間のひずみにより、多孔質Ｓｉ層／エピタキシャルＳｉ層界面で分離が生ずることになる。

【０１１８】

以上の結果、第２の基板のＳｉ酸化膜上に０．２μｍの厚みを持った単結晶Ｓｉ層が形成できた。単結晶Ｓｉの分離面上には多孔質Ｓｉの残留はなかった。形成された単結晶Ｓｉ層の膜厚を面内全面について１００点を測定したところ、膜厚の均一性は２０１ｎｍ±４ｎｍであった。

【０１１９】

ＳＯＩ表面は荒れているが、太陽電池やマイクロメカニクス等表面性を問題にしない応用

の場合には、このまま使用するのが好ましい。しかし、ここでは水素中で１１００℃で熱処理を１時間行った。表面粗さを原子間力顕微鏡で評価したところ、５０μｍ角の領域での平均２乗粗さはおよそ０．２ｎｍで通常市販されているＳｉウエハと同等であった。

【０１２０】

透過電子顕微鏡による断面観察の結果、エピタキシャル成長による単結晶Ｓｉ層には新たな結晶欠陥は発生しておらず、良好な結晶性が維持されていることが確認された。

【０１２１】

第１の基板上の多孔質Ｓｉは、４９％弗酸と３０％過酸化水素水との混合液で攪拌しながら選択エッチング除去した。その後、表面研磨を施して再び第１の基板としてあるいは第２の基板として再利用できた。

【０１２２】

［実施例３］

第１の単結晶Ｓｉ基板の表面をＨＦ溶液中に浸して陽極化成処理を行った。

【０１２３】

陽極化成条件は以下の通りであった。

【０１２４】

電流密度：　　７（ｍＡ・ｃｍ$^{-2}$）
陽極化成溶液：　ＨＦ：H_2O：C_2H_5OH＝１：１：１
時間：　　３（ｍｉｎ）
多孔質Ｓｉの厚み：３（μｍ）

この基板を酸素雰囲気中４００℃で１時間酸化した。この酸化により多孔質Ｓｉの孔の内壁表面は熱酸化膜で覆われた。多孔質Ｓｉ上にＣＶＤ法により単結晶Ｓｉを０．１５μｍエピタキシャル成長した。成長 条件は以下の通りである。

【０１２５】

ソースガス：　SiH_2Cl_2／H_2
ガス流量：　０．５／１８０　ｌ／ｍｉｎ
ガス圧力：　８０　Ｔｏｒｒ
温度：　９５０℃
成長速度：　０．３μｍ／ｍｉｎ

さらに、このエピタキシャルＳｉ層表面に熱酸化により１００ｎｍのSiO_2 層を形成した。

【０１２６】

このウエハ表面から投影飛程が多孔質Ｓｉ／エピタキシャルＳｉ界面付近になるように水素イオンを注入した。因みにイオン注入される元素は限定されるものではなく、界面に注入損傷層、注入元素の高濃度層（ひずみ層）あるいはバブル層等の分離層が形成されれば良い。

【０１２７】

第１の基板の該SiO_2層表面と、別に用意したＳｉ基板（第２の基板）の表面と、を重ね合わ せ、接触させた後、アニールしたところ、貼り合わせは強固になった。アニール条件は、上記注入損傷層、注入元素の高濃度層（ひずみ層）あるいはバブル層が拡散しない条件で行う。この層が分離層になる。

【０１２８】

貼り合わせ基板に外力を加えて分離させたところ、多孔質Ｓｉ層／エピタキシャルＳｉ層界面付近で分離した。

【０１２９】

以上の結果、第２の基板のＳｉ酸化膜上に０．１μｍの厚みを持った単結晶Ｓｉ層が形成できた。単結晶Ｓｉ層の表面には多孔質Ｓｉは残っていなかった。形成された単結晶Ｓｉ層の膜厚を面内全面について１００点を測定したところ、膜厚の均一性は１０１ｎｍ±２ｎｍであった。

【０１３０】

さらに水素中で１１００℃で熱処理を１時間行った後、表面粗さを原子間力顕微鏡で評価したところ、５０μｍ角の領域での平均２乗粗さはおよそ０．２ｎｍで通常市販されているＳｉウエハと同等であった。

【０１３１】

透過電子顕微鏡による断面観察の結果、エピタキシャル成長による単結晶Ｓｉ層には新たな結晶欠陥は発生しておらず、良好な結晶性が維持されていることが確認された。

【０１３２】

第１の基板に残っている多孔質Ｓｉは、４９％弗酸と３０％過酸化水素水との混合液で攪拌しながら選択エッチング除去した。その後、水素アニールを施して再び第１の基板としてあるいは第２の基板として再利用できた。

【０１３３】

［実施例４］

第１の単結晶Ｓｉ基板の表面層をＨＦ溶液中に浸して陽極化成処理を行った。

【０１３４】

陽極化成条件は以下の通りであった。

【０１３５】

電流密度：　　７（ｍＡ・ｃｍ$^{-2}$）
陽極化成溶液：　ＨＦ：H_2O：C_2H_5OH＝１：１：１
時間：　　５（ｍｉｎ）
多孔質Ｓｉの厚み：～５（μｍ）

この多孔質Ｓｉ層を有する基板を酸素雰囲気中４００℃で１時間酸化した。この酸化により多孔質Ｓｉの孔の内壁表面は熱酸化膜で覆われた。この多孔質Ｓｉ層の表面側の部分の酸化膜をＨＦ除去した。こうして表面多孔質Ｓｉ層の孔の内壁は酸化膜で覆われておらず、下方側の多孔質Ｓｉの孔の内壁のみ酸化されていた。基板を水素中で１０４０℃で５分間ベークし、多孔質Ｓｉの表面孔を埋めた。表面孔の埋まった多孔質Ｓｉ上にＣＶＤ法により単結晶Ｓｉのｐ$^-$エピタキシャル層を０．５μｍ　、単結晶Ｓｉのｎ$^+$エピタキシャル層を１．０μｍエピタキシャル成長した。成長条件は以下の通りである。

【０１３６】

ソースガス：　SiH_2Cl_2／H_2
ガス流量：　０．５／１８０　ｌ／ｍｉｎ
ガス圧力：　８０Ｔｏｒｒ
温度：　９５０℃
成長速度：　０．３μｍ／ｍｉｎ

さらに、このエピタキシャルＳｉ層表面に熱酸化により２００ｎｍのSiO_2 層を形成した。

【０１３７】

該SiO_2層表面と別に用意したＳｉ基板（第２の基板）の表面とを重ね合わせ、接触させた後、１１８０℃で５分間でアニールしたところ、貼り合わせは強固になった。

【０１３８】

貼り合わせ基板に外力を加えて分離させたところ、ｐ$^-$エピタキシャル層直下で分割された。

【０１３９】

多孔質Ｓｉ層の上方へのエピタキシャル成長工程前で、孔内壁の酸化と酸化膜除去を行い、更に、H_2ベークしたため、孔内壁の酸化膜がＨＦで除去された多孔質Ｓｉの表面層は、孔の凝集が起こり、孔の側壁の酸化膜もなく機械強度が弱くなり、非多孔質層の直下に分離層が形成された。

【０１４０】

以上の結果、第２の基板のＳｉ酸化膜上にｎ$^+$埋込み層を含み１．４μｍの厚みを持った単 結晶Ｓｉ層が形成できた。形成された単結晶Ｓｉ層の表面には多孔質Ｓｉは残っておらず、その膜厚を面内全面について１００点を測定したところ、膜厚の均一性は１．４μ

ｍ±０．０２μｍであった。
【０１４１】
さらに水素中で１１００℃で熱処理を１時間行った後、表面粗さを原子間力顕微鏡で評価したところ、５０μｍ角の領域での平均２乗粗さはおよそ０．２ｎｍで通常市販されているＳｉウエハと同等であった。
【０１４２】
透過電子顕微鏡による断面観察の結果、エピタキシャル成長による単結晶Ｓｉ層には新たな結晶欠陥は発生しておらず、良好な結晶性が維持されていることが確認された。
【０１４３】
第１の基板に残った多孔質Ｓｉに表面研磨を施して再び第１の基板としてあるいは第２の基板として再利用できた。
【０１４４】
［実施例５］
第１の単結晶Ｓｉ基板の表面をＨＦ溶液中に浸し陽極化成を行った。
【０１４５】
陽極化成条件は以下の通りであった。
【０１４６】
電流密度：　　７（ｍＡ・ｃｍ$^{-2}$）
陽極化成溶液：　ＨＦ：H_2O：C_2H_5OH＝１：１：１
時間：　　５（ｍｉｎ）
多孔質Ｓｉの厚み：５（μｍ）
この基板を酸素雰囲気中４００℃で１時間酸化した。この酸化により多孔質Ｓｉの孔の内壁表面は熱酸化膜で覆われた。この多孔質Ｓｉの表面付近の酸化膜をＨＦ除去した。このウエハをエピタキシ装置に入れた後、水素中で１０４０℃で５分間ベークし、多孔質Ｓｉの表面孔を埋めた。表面孔の埋まった多孔質Ｓｉ上にＭＯＣＶＤ（Metal Organic Chemical VaporDeposition）法により単結晶ＧａＡｓを０．５μｍエピタキシャル成長した。成長条件は以下の通りである。
【０１４７】
ソースガス：　ＴＭＧ／AsH_3／H_2
ガス圧力：　８０Ｔｏｒｒ
温度：　　７００℃
該ＧａＡｓ層表面と、別に用意したＳｉ基板（第２の基板）の表面とを重ね合わせ、接触させた後、７００℃で１時間でアニールしたところ、貼り合わせは強固になった。
【０１４８】
貼り合わせ基板に外力を加えて分離させたところ、ＧａＡｓエピタキシャル層直下で分割された。
【０１４９】
エピタキシャル成長前のH_2ベーク工程中で、ＨＦで孔内壁面の酸化膜が除去された多孔質Ｓｉ表面層は、孔の凝集が起こり、孔の側壁の酸化膜もなく機械強度が弱くなり、分離しやすい層が形成された。
【０１５０】
以上の結果、Ｓｉ基板上に０．５μｍの厚みを持った単結晶ＧａＡＳ層が形成できた。形成された単結晶ＧａＡｓ層の膜厚を面内全面について１００点を測定したところ、膜厚の均一性は０．５μｍ±０．０１μｍであった。
【０１５１】
表面は荒れており、さらにＳｉの残渣が残っている可能性があるため、表面タッチポリッシュを行ったところ、表面粗さは通常市販されているＧａＡｓウエハと同等になった。
【０１５２】
透過電子顕微鏡による断面観察の結果、エピタキシャル成長による単結晶ＧａＡｓ層には新たな結晶欠陥は発生しておらず、良好な結晶性が維持されていることが確認された。

【０１５３】
第２の基板としては、Ｓｉ基板の代わりに表面を酸化したＳｉ基板を用いることもできる。また、Ｓｉ基板あるいはＧａＡｓ層表面に堆積SiO_2膜を形成して後、貼り合せてもよい。この場合には、出来た基板は絶縁性基板上のＧａＡｓとして使用される。
【０１５４】
第１の基板側に残った多孔質Ｓｉは、４９％弗酸と３０％過酸化水素水との混合液で攪拌しながら選択エッチング除去した。その後、水素アニールを施して再び第１の基板としてあるいは第２の基板として使用できた。
【０１５５】
［実施例６］
第１の単結晶Ｓｉ基板上にＣＶＤ法で単結晶 Ｇｅを０．０２μｍエピタキシャル成長した。成長条件は以下の通りである。
【０１５６】
ソースガス：　GeH_4/H_2
ガス流量：　０．１／１８０　ｌ／ｍｉｎ
ガス圧力：　８０Ｔｏｒｒ
温度：　７００℃
成長速度：　０．０５μｍ／ｍｉｎ
さらに、エピタキシャルＧｅ層上にＣＶＤ法により単結晶Ｓｉを０．５μｍエピタキシャル成長した。成長条件は以下の通りである。
【０１５７】
ソースガス：　SiH_2Cl_2/H_2
ガス流量：　０．５／１８０　ｌ／ｍｉｎ
ガス圧力：　８０　Ｔｏｒｒ
温度：　９５０　℃
成長速度：　０．３　μｍ／ｍｉｎ
さらに、このエピタキシャルＳｉ層表面に熱酸化により２００ｎｍのSiO_2 層を形成した。
【０１５８】
該SiO_2層表面と別に用意したＳｉ基板（第２の基板）の表面とを重ね合わ せ、接触させた後、１１８０℃で５分間でアニールしたところ、貼り合わせは強固になった。
【０１５９】
貼り合わせ基板に外力を加えて分離させたところ、エピタキシャルＳｉ／Ｇｅ界面で分割された。
【０１６０】
ＳｉとＧｅの格子定数の違いから界面には欠陥が導入されることが知られている。さらに、両者の膜厚との関係により片方が超薄膜の場合、そちら側に欠陥を導入しやすい。したがって、本実施例のような場合には、Ｇｅ層に欠陥が導入されることになる。このように格子定数の差と欠陥導入によりＳｉ／Ｇｅ界面が弱くなり、そこから剥がれることになる。
【０１６１】
以上の結果、Ｓｉ酸化膜上に０．５μｍの厚みを持った単結晶Ｓｉ層が形成できた。形成された単結晶Ｓｉ層の膜厚を面内全面について１００点を測定したところ、膜厚の均一性は５０１ｎｍ±１０ｎｍであった。
【０１６２】
さらに水素中で１１００℃で熱処理を１時間行った。水素中熱処理した表面の粗さを原子間力顕微鏡で評価したところ、５０μｍ角の領域での平均２乗粗さはおよそ０．２ｎｍで通常市販されているＳｉウエハと同等であった。
【０１６３】
透過電子顕微鏡による断面観察の結果、エピタキシャル成長による単結晶Ｓｉ層には新た

な結晶欠陥は発生しておらず、良好な結晶性が維持されていることが確認された。

【０１６４】

第１の基板は表面研磨を施して残留Ｇｅ層を除去して再び第１の基板としてあるいは第２の基板として利用できた。

【０１６５】

［実施例７］

第１の単結晶Ｓｉ基板の表面をＨＦ溶液中に浸して陽極化成を行った。

陽極化成条件は以下の通りであった。

先に１度目に作る第１の多孔質層層は、

電流密度：　　１（ｍＡ・ｃｍ$^{-2}$）

陽極化成溶液：　ＨＦ：H_2O：C_2H_5OH＝１：１：１

時間：　　０．１（ｍｉｎ）

多孔質Ｓｉ層の厚み：０．０２（μｍ）

さらに、第２の多孔質層は、

電流密度：　　５０（ｍＡ・ｃｍ$^{-2}$）

陽極化成溶液：　ＨＦ：H_2O：C_2H_5OH＝１：１：１

時間：　　５（ｓｅｃ）

多孔質Ｓｉの厚み：０．１（μｍ）

さらに、第３の多孔質層を作製した。条件は、

電流密度：　　７（ｍＡ・ｃｍ$^{-2}$）

陽極化成溶液：　ＨＦ：H_2O：C_2H_5OH＝１：１：１

時間：　　１（ｍｉｎ）

多孔質Ｓｉの厚み：１（μｍ）

この陽極化成により、５０（ｍＡ・ｃｍ$^{-2}$）による第２の多孔質Ｓｉ層の多孔度が最も大きくなり、この部分が構造的に脆弱な層になる。第２の多孔質層の厚さは第１の多孔質より厚い。

【０１６６】

この基板を酸素雰囲気中４００℃で１時間酸化した。この酸化により多孔質Ｓｉの孔の内壁表面は熱酸化膜で覆われた。この基板をエピタキシ装置に入れた後、水素中で１０４０℃で５分間ベークし、多孔質Ｓｉの表面孔を埋めた。結果として、１ｍＡ・ｃｍ$^{-2}$で形成した最表面層である第１の多孔質層は非多孔質化した。続けて、非多孔質化した層の上にＣＶＤ法により単結晶Ｓｉを０．３μｍエピタキシャル成長した。成長条件は 以下の通りである。

【０１６７】

ソースガス：　SiH_2Cl_2／H_2

ガス流量：　０．５／１８０　ｌ／ｍｉｎ

ガス圧力：　８０Ｔｏｒｒ

温度：　　９５０℃

成長速度：　０．３　μｍ／ｍｉｎ

さらに、このエピタキシャルＳｉ層表面に熱酸化により２００ｎｍのSiO_2 層を形成した。

【０１６８】

別に用意した石英基板（第２の基板）の表面をN_2プラズマで処理をし、水洗した後に第１の基板のSiO_2層表面と石英基板のプラズマ処理された表面とを重ね合わせ、接触させた後、４００℃で６０分間アニールしたところ、貼り合わせは強固になった。

【０１６９】

この貼り合わせ基板に外力を加えて分離させたところ、非多孔質のＳｉ層直下の多孔度の大きい層が崩壊した。こうして、２つの基板に分かれた。

【０１７０】

多孔質Ｓｉ上のエピタキシャル成長前のH_2ベークで第１の多孔質Ｓｉは非多孔質化した

ため非多孔質Ｓｉ層直下の多孔質Ｓｉ層は５０ｍＡ・ｃｍ$^{-2}$で作製した最も多孔度の大きい層になった。

【０１７１】

以上の結果、第２の基板のＳｉ酸化膜上に０．２μｍの厚みを持った非多孔質の単結晶Ｓｉ層が形成できた。この単結晶Ｓｉ層の表面には多結晶Ｓｉは残留していなかった。形成された単結晶Ｓｉ層の膜厚を面内全面について１００点を測定したところ、膜厚の均一性は２０１ｎｍ±４ｎｍであった。

【０１７２】

さらに水素中で１０００℃以下で熱処理を３時間行った。表面粗さを原子間力顕微鏡で評価したところ、５０μｍ角の領域での平均２乗粗さはおよそ０．２ｎｍで通常市販されているＳｉウエハと同等であった。

【０１７３】

透過電子顕微鏡による断面観察の結果、エピタキシャル成長による単結晶Ｓｉ層には新たな結晶欠陥は発生しておらず、良好な結晶性が維持されていることが確認された。

【０１７４】

第１の基板側に残った多孔質Ｓｉは、４９％弗酸と３０％過酸化水素水との混合液で攪拌しながら選択エッチング除去した。その後、水素アニールを施して再び第１の基板としてあるいは第２の基板として利用できた。なお、第３の多孔質層は省略することもできる。

【０１７５】

［実施例８］

第１の単結晶Ｓｉ基板の表面層をＨＦ溶液中に浸して陽極化成を行った。

陽極化成条件は以下の通りであった。

先に、１度目に作る第１の多孔質層は、

電流密度：　１（ｍＡ・ｃｍ$^{-2}$）

陽極化成溶液：　ＨＦ：H_2O：C_2H_5OH＝１：１：１

時間：　０．２５（ｍｉｎ）

多孔質Ｓｉの厚み：０．０５（μｍ）

さらに、第２の多孔質層は、

電流密度：　５０（ｍＡ・ｃｍ$^{-2}$）

陽極化成溶液：　ＨＦ：H_2O：C_2H_5OH＝１：１：１

時間：　５（ｓｅｃ）

多孔質Ｓｉの厚み：０．１（μｍ）

最後に作る第３の多孔質層は、

電流密度：　７（ｍＡ・ｃｍ$^{-2}$）

陽極化成溶液：　ＨＦ：H_2O：C_2H_5OH＝１：１：１

時間：　１（ｍｉｎ）

多孔質Ｓｉの厚み：１（μｍ）

この陽極化成により、５０ｍＡ・ｃｍ$^{-2}$による第２の多孔質Ｓｉ層の多孔度は最も大きくなり、第１の多孔質層より第２の多孔質層が厚くなり、構造的に脆弱な層になる。

【０１７６】

この基板を酸素雰囲気中４００℃で１時間酸化した。この酸化により多孔質Ｓｉの孔の内壁面は熱酸化膜で覆われた。このウエハを水素ベーク装置に入れた後、水素中で１０４０℃で５分間ベークし、多孔質Ｓｉの表面孔を埋めた。結果として、最表面にある第１の多孔質層（１ｍＡ・ｃｍ$^{-2}$で形成した層）は非多孔質化した。この非多孔質化した層は良質な単結晶層であった。

【０１７７】

この後、気相エピタキシャル成長をさせることなく、この非多孔質の単結晶層表面に熱酸化により２０ｎｍのSiO_2層を形 成した。

【０１７８】

該SiO_2層表面と、別に用意したＳｉ基板（第２の基板）の表面と、を重ね合わ せ、接

触させた後、１１８０℃で５分間でアニールしたところ、貼り合わせは強固になった。
【０１７９】
貼り合わせ基板に外力を加えて分離させたところ、最も多孔度の大きい層が崩壊して、２つの基板は分割された。
【０１８０】
多孔質Ｓｉ表面は、熱処理によってＳｉ原子が動き、その表面孔が埋まる。H_2は表面酸化膜を剥がし、再形成させない働きがある。（N. Sato, et al., J. Electrochem. Soc., Vol. 142, No.9, 3116(1995)）。このH_2ベークで第１の多孔質Ｓｉの構成Ｓｉ原子は孔を埋めるために消費され、したがって最表面層である非多孔質の単結晶Ｓｉ層直下の多孔質Ｓｉ層は５０ｍＡ・ｃｍ$^{-2}$で作製した最も多孔度の大きい第２の多孔質Ｓｉ層になる。
【０１８１】
以上の結果、第２の基板のＳｉ酸化膜上に４０ｎｍの厚みを持った単結晶Ｓｉ層が形成できた。形成された単結晶Ｓｉ層の膜厚を面内全面について１００点を測定したところ、膜厚の均一性は４０ｎｍ±０．８ｎｍであった。
【０１８２】
さらに水素中で１１００℃で熱処理を１時間行い、表面粗さを原子間力顕微鏡で評価したところ、５０μｍ角の領域での平均２乗粗さはおよそ０．２ｎｍで通常市販されているＳｉウエハと同等であった。
【０１８３】
透過電子顕微鏡による断面観察の結果、エピタキシャル成長による単結晶Ｓｉ層には新たな結晶欠陥は発生しておらず、良好な結晶性が維持されていることが確認された。
【０１８４】
第１の基板側に残った多孔質Ｓｉは、４９％弗酸と３０％過酸化水素水との混合液で攪拌しながら選択エッチング除去した。その後、水素アニールを施して再び第１の基板としてあるいは第２の基板として再利用できた。なお、第３の多孔質層は省略することもできる。
【０１８５】
［実施例９］
第１の単結晶Ｓｉ基板の表面をＨＦ溶液中に浸して陽極化成を行った。
【０１８６】
陽極化成条件は以下の通りであった。
【０１８７】
電流密度：　　１（ｍＡ・ｃｍ$^{-2}$）
陽極化成溶液：　ＨＦ：H_2O：C_2H_5OH＝１：１：１
時間：　　０．５（ｍｉｎ）
多孔質Ｓｉの厚み：０．１（μｍ）
この基板を酸素雰囲気中４００℃で１時間酸化した。この酸化により多孔質Ｓｉの孔の内壁面は熱酸化膜で覆われた。このウエハをエピタキシ装置に入れた後、水素中で１０４０℃、５分間ベークし、多孔質Ｓｉの表面孔を埋めた。続けて、多孔質Ｓｉ上にＣＶＤ法により単結晶Ｓｉを ０．３μｍエピタキシャル成長させた。成長条件は以下の通りである。
【０１８８】
ソースガス：　SiH_2Cl_2／H_2
ガス流量：　０．５／１８０　ｌ／ｍｉｎ
ガス圧力：　８０Ｔｏｒｒ
温度：　　９５０℃
成長速度：　０．３μｍ／ｍｉｎ
さらに、このエピタキシャルＳｉ層表面に熱酸化処理により２００ｎｍのSiO_2層を形成した。
【０１８９】

該SiO_2層表面と、別に用意したＳｉ基板（第２の基板）の表面と、を重ね合わ せ、接触させた後、１１８０℃で５分間アニールしたところ、貼り合わせは強固になった。

【０１９０】

貼り合わせ基板に外力を加えて分離させたところ、薄い多孔質層で分割された。以上の結果、第２の基板のＳｉ酸化膜上に０．２μｍの厚みを持った単結晶Ｓｉ層が形成できた。分離前に非多孔質化されることなく残った多孔質層は非常に薄いため、分離後には、層としては残留せず、単結晶Ｓｉ層表面に表面荒れを残しただけだった。形成された単結晶Ｓｉ層の膜厚を面内全面について１００点測定したところ、膜厚の均一性は２０１ｎｍ±４ｎｍであった。

【０１９１】

薄膜トランジスタ等の表面性に非常に敏感な応用のために、さらに水素中で１１００℃で熱処理を１時間行った。表面粗さを原子間力顕微鏡で評価したところ、５０μｍ角の領域での平均２乗粗さはおよそ０．２μｍで通常市販されているＳｉウエハと同等であった。

【０１９２】

透過電子顕微鏡による断面観察の結果、エピタキシャル成長による単結晶Ｓｉ層には新たな結晶欠陥は発生しておらず、良好な結晶性が維持されていることが確認された。

【０１９３】

第１の基板側に残った荒れは、エッチングや研磨を施すことなく水素アニールを施して表面平滑化処理をし、再び第１の基板としてあるいは第２の基板として利用できた。

【０１９４】

［実施例１０］

第１の単結晶Ｓｉ基板の表面をＨＦ溶液中に浸して陽極化成を行った。

【０１９５】

陽極化成条件は以下の通りであった。

【０１９６】

電流密度：　　１（ｍＡ・ｃｍ$^{-2}$）
陽極化成溶液：　ＨＦ：H_2O：C_2H_5OH＝１：１：１
時間：　　１（ｍｉｎ）
多孔質Ｓｉの厚み：０．２（μｍ）

この基板の多孔質層の内壁面を酸化させることなく基板をエピタキシ装置に入れた後、水素中で１０４０℃、５分間ベークし、多孔質Ｓｉの表面孔を埋めた。続けて、多孔質Ｓｉ上にＣＶＤ法により単結晶Ｓｉを０．３μｍエピタキシャル成長させ た。成長条件は以下の通りである。

【０１９７】

ソースガス：　SiH_2Cl_2／H_2
ガス流量：　０．５／１８０　ｌ／ｍｉｎ
ガス圧力：　８０Ｔｏｒｒ
温度：　　９５０℃
成長速度：　０．３μｍ／ｍｉｎ

さらに、このエピタキシャルＳｉ層表面に熱酸化処理により２００ｎｍのSiO_2層を形成した。

【０１９８】

該SiO_2層表面と別に用意したＳｉ基板（第２の基板）の表面とを重ね合わ せ、接触させた後、１１８０℃で５分間でアニールしたところ、貼り合わせは強固になった。

【０１９９】

貼り合わせ基板を外力を加えて分離させたところ、非多孔質化されずに残った多孔質層の薄い部分で分割された。

【０２００】

以上の結果、Ｓｉ酸化膜上に０．２μｍの厚みを持った単結晶Ｓｉ層が形成できた。エピタキシャル成長前に多孔質Ｓｉの孔内壁面の酸化を行わなかったため、エピタキシャル層

直下の多孔質Ｓｉは脆くなっていた。加えて、脆くなった多孔質層は非常に薄いため、分離後には、層としては残留せず、単結晶Ｓｉ層の表面荒を残しただけだった。形成された単結晶Ｓｉ層の膜厚を面内全面について１００点測定したところ、膜厚の均一性は２０１ｎｍ±４ｎｍであった。

【０２０１】

さらに水素中で１１００℃で熱処理を１時間行った。表面粗さを原子間力顕微鏡で評価したところ、５０μｍ角の領域での平均２乗粗さはおよそ０．２μｍで通常市販されているＳｉウエハと同等であった。

【０２０２】

透過電子顕微鏡による断面観察の結果、エピタキシャル成長による単結晶Ｓｉ層には新たな結晶欠陥は発生しておらず、良好な結晶性が維持されていることが確認された。

【０２０３】

第１の基板側に残った荒れは、４９％弗酸と３０％過酸化水素水との混合液で攪拌しながら表面を若干エッチングし、その後、水素アニールを施して再び第１の基板としてあるいは第２の基板として利用できた。

【０２０４】

［実施例１１］

単結晶Ｓｉウエハからなる第１の基板の表面をＨＦ溶液中に浸して陽極化成処理を施した。陽極化成条件は以下の通りであった。

先に作る第１の多孔質層の最表面層の形成条件：

電流密度：　　１（ｍＡ・ｃｍ$^{-2}$）

陽極化成溶液：　　ＨＦ：H_2O：C_2H_5OH＝１：１：１

時間：　　０．１（ｍｉｎ）

多孔質の厚み：　　０．０２（μｍ）

次に作る第２の多孔質層の形成条件：

電流密度：　　５０（ｍＡ・ｃｍ$^{-2}$）

陽極化成溶液：　　ＨＦ：H_2O：C_2H_5OH＝１：１：１

時間：　　５（ｓｅｃ）

多孔質の厚み：　　０．１（μｍ）

この陽極化成により、電流密度５０ｍＡ・ｃｍ$^{-2}$による第２の多孔質層の多孔度は第１の多孔質層より大きくなり、厚さは厚くなり、構造的に脆弱な層となる。

【０２０５】

この基板を酸素雰囲気中に配置し、４００℃で１時間熱処理した。この熱処理により多孔質Ｓｉの孔の内壁面は熱酸化膜で覆われた。この基板をエピタキシ装置に入れた後、水素中で１０４０℃、５分間ベークした。結果として、第１の多孔質層は非多孔質状態化して、非多孔質の単結晶Ｓｉ層になり、その直下は第２の多孔質層になった。

【０２０６】

続けて、非多孔質化した単結晶Ｓｉ層上にＣＶＤ法により単結 晶Ｓｉを０．３μｍエピタキシャル成長した。成長条件は以下の通りである。

【０２０７】

ソースガス：　SiH_2Cl_2／H_2

ガス流量：　０．５／１８０　ｌ／ｍｉｎ

ガス圧力：　８０Ｔｏｒｒ

温度：　９５０℃

成長速度：　０．３μｍ／ｍｉｎ

さらに、このエピタキシャルＳｉ層表面に熱酸化により２００ｎｍのSiO_2 層を形成した。

【０２０８】

一方、第２の基板として単結晶Ｓｉウエハを用意した。

【０２０９】

第１の基板上の該SiO_2層表面と、第２の基板のＳｉ表面と、を重ね合わ せ、接触させた後、１１８０℃で５分間アニールしたところ、貼り合わせは強固になった。

【０２１０】

貼り合わされた２つの基板からなる複合部材としての貼り合わせウエハに外力を加えたところ、多孔度の大きい第２の多孔質層で分割された。

【０２１１】

前述したとおり、エピタキシャル成長前のH_2ベークで第１の多孔質Ｓｉの構成原子は孔を埋めるためにマイグレーションを起こし非多結晶化される。そして、エピタキシャル層と一体化して非多孔質の単結晶Ｓｉ層となる。

【０２１２】

以上の結果、Ｓｉ酸化膜上に０．２μｍの厚みを持った単結晶Ｓｉ層が形成できた。形成された単結晶Ｓｉ層の膜厚を面内全面について１００点を測定したところ、膜厚の均一性は２０１ｎｍ±４ｎｍであった。第２の基板上の非多孔質の単結晶Ｓｉ層表面は荒れていたので、さらに水素中で１１００℃で熱処理を１時間行った。表面粗さを原子間力顕微鏡で評価したところ、５０μｍ角の領域での平均２乗粗さはおよそ０．２ｎｍであった。

【０２１３】

第１の基板側に残った荒れは、４９％弗酸と３０％過酸化水素水との混合液で攪拌しながら選択エッチングし、その後、水素アニールを施して第１の基板としてあるいは第２の基板として再利用できるようにした。

【０２１４】

上述した実施例は第１の基板の両面に各層を形成し、そこに第２の基板を貼り合わせ、分離することで、一枚の第１基板から２つのＳＯＩ基板が同時に得られる。

【０２１５】

各実施例においては、貼り合わせ基板分離後の第１の基板側に残った多孔質Ｓｉ層を除去するのために、研磨、熱処理或いはエッチングが採用される。なかでもエッチングを用いる場合には、エッチャントとして以下に示す選択エッチング液を用いることができる。

【０２１６】

弗酸、
弗酸＋過酸化水素水
弗酸＋アルコール
弗酸＋アルコール＋過酸化水素水
バッファード弗酸、
バッファード弗酸＋過酸化水素水
バッファード弗酸＋アルコール
バッファード弗酸＋アルコール＋過酸化水素水
また、これら以外の一般的なＳｉのエッチング液を用いても、多孔質Ｓｉに起因するの膨大な表面積によってある程度選択エッチング出来る。

【０２１７】

【発明の効果】

以上説明したとおり、本発明によれば、第２の基板の分離面上に残留層が実質的に存在しなくなるので、分離面の選択エッチングや選択研磨が不要となり、基板を安価に作製できるようになる。

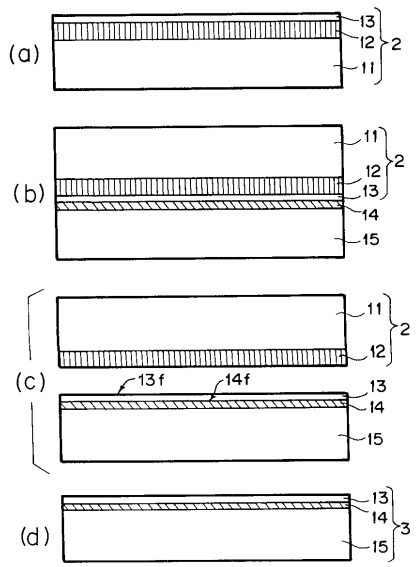
【図面の簡単な説明】

【図１】本発明による基板の作製方法を説明するための模式的断面図である。
【図２】本発明による基板の作製方法の別の例を説明するための模式的断面図である。
【図３】本発明による基板の作製方法の別の例を説明するための模式的断面図である。
【図４】本発明による基板の作製方法の別の例を説明するための模式的断面図である。
【図５】第１の従来例の工程を説明するための模式的断面図である。
【図６】第２の従来例の工程を説明するための模式的断面図である。

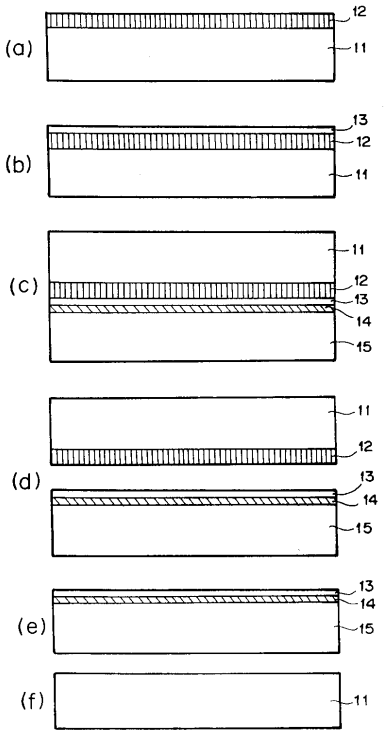
【符号の説明】

１１　第１の基板
１２　第１の層構造
１３　第２の層構造
１４　絶縁層（第２の層構造あるいは第２の基板の表面に形成した層）
１５　第２の基板
２１　第１の基板
２２　第１の層構造
２３　第１の層構造
２４　第２の層構造
２５　第２の層構造
２６　絶縁層（第２の層構造あるいは第２の基板の表面に形成した層）
２７　絶縁層（第２の層構造あるいは第２の基板の表面に形成した層）
２８　第２の基板
２９　第２の基板
３１　Ｓｉ基板
３２　多孔質Ｓｉ
３３　単結晶薄膜
３４　支持基板
３５　絶縁層
４１　Ｓｉ基板
４２　多孔質Ｓｉ
４３　単結晶薄膜
４４　支持基板
４５　絶縁層

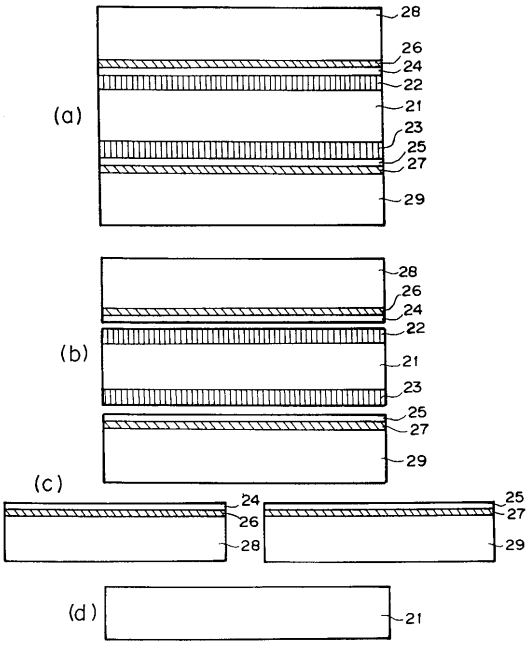
【図１】



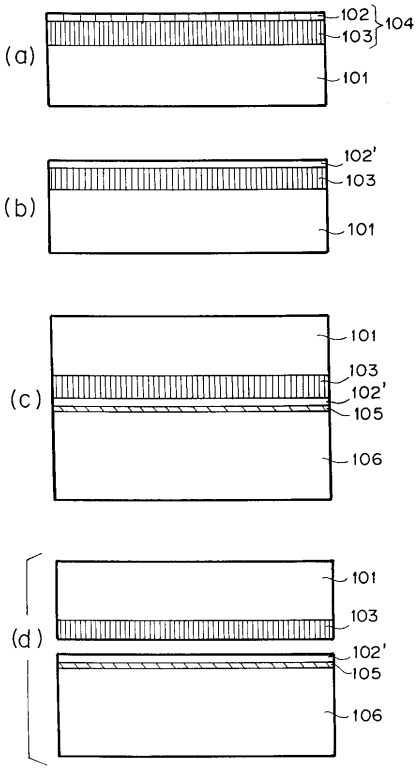
【図２】



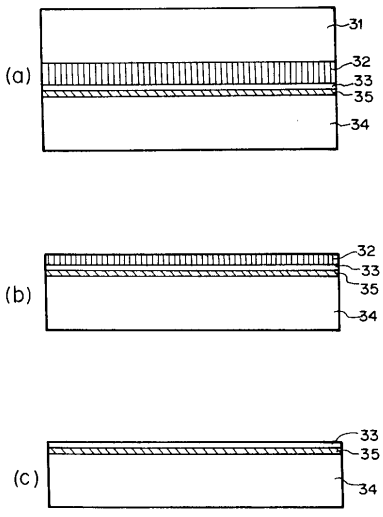
【図３】


(a)
28
26
24
22
21
23
25
27
29
(b)
28
26
24
22
21
23
25
27
29
(c)
24
26
28
25
27
29
(d)
21

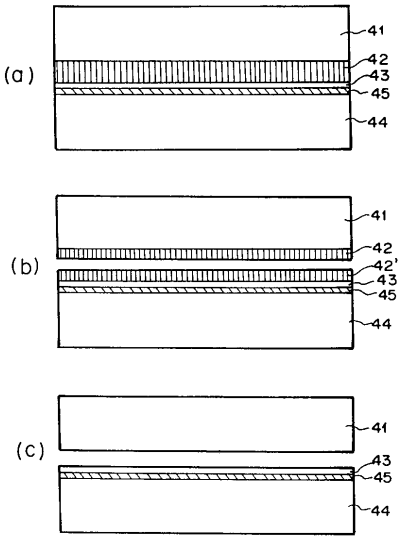
【図４】


(a)
102
103
104
101
(b)
102'
103
101
(c)
101
103
102'
105
106
(d)
101
103
102'
105
106

【図５】


(a)
31
32
33
35
34
(b)
32
33
35
34
(c)
33
35
34

【図６】


(a)
41
42
43
45
44
(b)
41
42
42'
43
45
44
(c)
41
43
45
44

フロントページの続き

(56)参考文献 特開平１０－０７９３３０（ＪＰ，Ａ）
特開平１０－２４２１５４（ＪＰ，Ａ）
特開平０８－０９７３８９（ＪＰ，Ａ）
特開平０７－３０２８８９（ＪＰ，Ａ）
特開平１０－１８９４７４（ＪＰ，Ａ）
特開平０９－１６２０９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/02
H01L 21/20
H01L 21/265
H01L 21/324
H01L 27/12