

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2013-0122173 (43) 공개일자 2013년11월07일
(51) 국제특허분류(Int. Cl.) H01L 21/20 (2006.01)		(71) 출원인 부경대학교 산학협력단 부산광역시 남구 신선로 365 (용당동, 부경대학교)
(21) 출원번호 10-2012-0045289		(72) 발명자 양민 부산광역시 수영구 남천2동 삼익비치아파트 203동 1205호
(22) 출원일자 2012년04월30일		안형수 부산광역시 금정구 구서동 유림아파트 710호
심사청구일자 2012년04월30일		유영문 서울특별시 관악구 봉천4동 1560-62 풍림아이원아 파트 201동 204호
		(74) 대리인 특허법인 동원

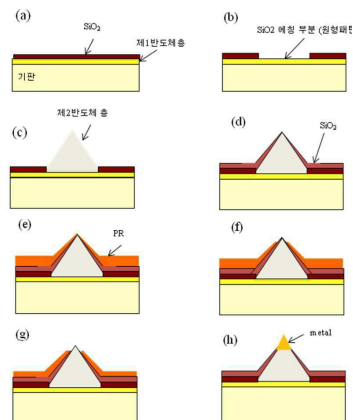
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 화합물반도체 선택적 결정 성장 방법

(57) 요약

본 발명은 화합물반도체 선택적 결정 성장 방법으로서, 금속 촉매를 이용한 MOVPE 결정 성장 방법에 의해 나노 육각피라미드 형태의 질화물 반도체 꼭대기 부분에서만 선택적 결정 성장이 가능하도록 하는 공정 기술과 결정성장 기술에 관한 것이다.

대표도 - 도3



특허청구의 범위

청구항 1

반도체층을 형성하는 단계;

상기 반도체층 위에 SiO_2 층을 증착하는 단계;

상기 SiO_2 층을 식각하여 상기 반도체층을 부분 노출시키는 단계;

반도체층을 성장시켜 단면이 삼각형인 패턴을 선택성장시키는 단계;

SiO_2 층을 형성하는 단계;

PR을 코팅, 베이킹, 현상하여 상기 패턴 상부 꼭지점의 미세영역 상의 SiO_2 를 노출시키는 단계;

상기 패턴 상부 꼭지점의 미세영역 상의 SiO_2 를 제거하는 단계;

상기 패턴 상부 꼭지점 부분에서 SiO_2 가 제거되지 않은 부분을 마스크로 하여 선택적 성장이 이루어지는 단계;를 포함하는 반도체 소자의 제조방법.

청구항 2

제1항에 있어서,

상기 패턴 상부 꼭지점의 미세영역 상의 SiO_2 를 습식식각(wet-etching) 공정만으로 제거하는 단계;에 이어

상기 패턴 상부 꼭지점 부근에만 금속을 증착하는 단계;를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 패턴 상부 꼭지점 부분에서 선택적 성장이 이루어지는 단계;가

상기 패턴 상부 꼭지점 부분에서 형성되는 층의 형상이 방향성을 가지는 다발 형태의 결정 성장이 이루어지는 단계인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4

제2항에 있어서,

상기 금속은 Au 및 Cr을 포함하는 촉매 작용이 가능한 금속인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5

제1항에 있어서,

상기 단면이 삼각형인 패턴은 피라미드 또는 삼각형 스트라이프 패턴인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6

제4항에 있어서,

상기 다발 형태의 결정이 나노 및 마이크로 크기를 가지며 가스센서, 필드에미터 등에 적용되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7

제1항 또는 제2항에 있어서,

상기 반도체소자가 발광소자인 것을 특징으로 하는 반도체소자의 제조방법.

청구항 8

제1항에 있어서,

상기 반도체가 질화물 반도체인 것을 특징으로 하는 반도체소자의 제조방법.

청구항 9

제1항에 있어서,

상기 반도체는 선택성장이 가능한 화합물반도체인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10

반도체층;

상기 반도체층 위에 부분적으로 형성된 SiO₂ 층;

상기 반도체층상에 추가성장된 단면이 삼각형인 반도체 패턴;

상기 반도체패턴상에 상기 패턴의 상부 꼭지점을 제외한 부분에 형성된 SiO₂ 층;

상기 SiO₂가 제거된 상기 패턴의 상부 꼭지점에 성장된 반도체층;을 포함하는 반도체 소자.

청구항 11

제10항에 있어서,

상기 패턴의 상부 꼭지점부분에 형성된 촉매;를 더 포함하며,

상기 패턴의 상부 꼭지점에 성장된 반도체층이 선택적 성장을 통해 다발성 결정구조를 갖는 것을 특징으로 하는 반도체 소자.

명세서

기술분야

[0001] 본 발명은 금속 촉매를 이용한 MOVPE 결정 성장 방법에 의해 나노 육각피라미드 형태의 질화물 반도체 꼭대기 부분에서만 선택적 결정 성장이 가능하도록 하는 공정 기술과 결정성장 기술에 관한 것이다.

배경기술

[0002] LED 등의 광소자 또는 field-emitter 등의 전자소자의 성능을 향상시키기 위하여 최근 미세구조(나노/마이크로)의 질화물 반도체 성장에 관한 연구 결과들이 보고되고 있다.

[0003] 지금까지 보고되고 있는 나노구조의 제작은 크게 두 가지 종류로 구분할 수 있는데 한가지는 bottom-up 방식의 자발적 나노구조 형성 방법이고 또 다른 한 가지는 건식 식각 공정을 이용하는 top-down 방식이다.

[0004] 우선, bottom-up 방식에 의한 1차원 나노구조의 형성은 hydried vapor phase epitaxy (HVPE) 또는 molecular beam epitaxy (MBE)와 같은 있는 결정성장 방법에 의한 결과들이 주로 보고가 되고 있다. (참고논문: Applied Physics Letter 82 (2003) 1601) 그러나 HVPE 또는 MBE 결정 성장 방법은 metal organic vapor phase epitaxy (MOVPE) 방법에 비하여 아직까지는 양산성에 있어서 문제가 있는 상황이다.

[0005] 또한, 이러한 방법에 의해 제작되는 1차원 나노구조들은 제 1도에 보인 바와 같이 성장 조건에 따라서 나노구조의 밀도가 변하기 때문에 정확한 밀도를 조절하기가 쉽지 않으며 나노구조의 위치 또한 임의대로 조절하기 어렵다는 문제점들이 있다.

[0006] 한편, top-down 방식에 의한 나노 구조 제작은 제2도에 보인 바와 같이 2차원 광소자 또는 전자소자의 결정구조를 성장한 후에 건식식각 (dry etching) 공정을 이용하게 된다. (참고논문: Applied Physics Letter 86 (2005)

103103) 그렇지만 이 방법을 이용하기 위해서는 매우 정교한 photolithography 또는 e-beam lithography 등을 사용하여야 하기 때문에 고가의 장비를 구비하여야 하며 대량 생산에 있어서도 문제점을 야기한다.

- [0007] 또한, 이 방법에 의하면 건식식각 공정 중에 이온충격이나 화학반응에 의해 1차원 나노구조의 측면에 원하지 않는 표면 상태가 존재하여 비발광성 재결합을 발생하도록 하여 광소자의 특성이 나빠질 수 있다는 단점이 있으며 전자소자의 경우 누설전류의 원인이 될 수 있는 문제가 있다.

선행기술문헌

비특허문헌

- [0008] (비특허문헌 0001) Applied Physics Letter 82 (2003) 1601
(비특허문헌 0002) Applied Physics Letter 86 (2005) 103103

발명의 내용

해결하려는 과제

- [0009] 본 발명의 목적은 top-down 방식이 아닌 bottom-up 방식에 의해 나노 또는 마이크로미터 크기의 질화물반도체 구조를 형성함에 있어서 종래 방식에서 문제점으로 제시된 밀도제어와 위치제어가 가능한 결정성장을 위한 공정 기술과 결정성장기술을 개발하는 데에 있다.
- [0010] 본 발명의 목적은 접촉면적을 최소화한 상태에서 선택적 결정 재성장을 실시함으로써 결정결함 특히, 관통전위 (threading dislocation)의 밀도를 낮출 수가 있고 strain을 감소시킴으로써 고품질의 결정을 성장할 수 있도록 하는 데에 있다.
- [0011] 본 발명의 목적은 c-사파이어를 기판으로 이용함에도 불구하고 non-polar 극성 (c-면 이외의 결정면)을 가지는 나노 또는 마이크로미터 크기의 질화물반도체 구조를 형성할 수 있는 공정기술과 결정성장기술을 개발하는 데에 있다.
- [0012] 본 발명의 목적은 질화물 반도체로 이루어진 field emitter를 제작함에 있어서 field emitter 끝 부분이 나노 또는 마이크로미터 크기의 다발형태와 특정 방향성을 가지는 field emitter를 제작하는 데에 목적이 있다.

과제의 해결 수단

- [0013] 본 발명의 제 1 특징은 MOVPE 방법으로 사파이어 기판 위에 제 1 반도체 층을 소정의 두께 성장시킨 후 상기 제 1 반도체 층 위에 선택적 결정 성장 방법에 의하여 육각피라미드 형태의 제 2 반도체 구조를 형성하고, 상기 육각 피라미드 구조의 꼭지점 부근에만 금속촉매를 증착하고 다시 선택적 결정 성장 방법에 의해 육각피라미드 구조의 꼭지점 부근의 미세한 영역에서만 나노미터 또는 마이크로미터 크기의 질화물 반도체의 결정성장이 이루어 지도록 한다.
- [0014] 본 발명의 제 2 특징은 금속촉매를 증착함에 있어서 별도의 마스크를 사용하지 않고도 wet-etching 공정만으로 육각피라미드 형태의 제 2 반도체 구조의 꼭지점 부근의 한정된 영역에만 금속 촉매가 증착될 수 있도록 한다는 것이다.
- [0015] 본 발명의 제 3 특징은 육각피라미드 형태의 제 2 반도체 구조의 꼭지점 부근에만 금속을 촉매로 하여 제 3 반도체 구조를 선택적으로 결정 성장함에 의해 육각피라미드 형태의 제 2 반도체 구조의 꼭지점 부근에서만 나노 또는 마이크로미터 크기의 제 3 반도체 구조가 다발형태와 특정 방향성을 가지도록 한다는 것이다.
- [0016] 본 발명의 실시예인 반도체 소자의 제조방법은 반도체층을 형성하는 단계; 상기 패턴 위에 SiO₂ 층을 증착하는 단계; 상기 SiO₂ 층을 식각하여 상기 반도체층을 부분 노출시키는 단계; 반도체층을 성장시켜 단면이 삼각형인 패턴(예: 육각피라미드 또는 단면이 삼각형인 스트라이프패턴)을 선택성장시키는 단계; SiO₂ 층을 형성하는 단계; PR을 코팅, 베이킹, 현상하여 상기 패턴 상부 꼭지점의 미세영역 상의 SiO₂를 노출시키는 단계; 상기 패턴 상부 꼭지점의 미세영역 상의 SiO₂를 제거하는 단계; 상기 패턴 상부 꼭지점 부분에서 SiO₂가 제거되지 않은

부분을 마스크로 하여 선택적 성장이 이루어지는 단계;를 포함한다.

- [0017] 또한, 본 발명의 실시예인 반도체 소자의 제조방법은 상기 패턴 상부 꼭지점의 미세영역 상의 SiO_2 를 wet-etching 공정만으로 제거하는 단계;에 이어 상기 패턴 상부 꼭지점 부근에만 금속을 증착하는 단계;를 더 포함할 수 있다.
- [0018] 또한, 본 발명의 실시예인 반도체 소자의 제조방법은 상기 패턴 상부 꼭지점 부분에서 선택적 성장이 이루어지는 단계;가 상기 패턴 상부 꼭지점 부분에서 형성되는 층의 형상이 방향성을 가지는 다발 형태의 결정 성장이 이루어지는 단계일 수 있다.
- [0019] 또한, 본 발명의 실시예인 반도체 소자의 제조방법에 있어서, 상기 금속은 Au 및 Cr을 포함하는 촉매 작용이 가능한 금속일 수 있다.
- [0020] 또한, 본 발명의 실시예인 반도체 소자의 제조방법에 있어서, 상기 단면이 삼각형인 패턴은 피라미드 또는 삼각형 스트라이프 패턴일 수 있다.
- [0021] 또한, 본 발명의 실시예인 반도체 소자의 제조방법에 있어서, 상기 다발 형태의 결정이 나노 및 마이크로 크기를 가지며 가스센서, 필드에미터 등에 적용될 수 있다.
- [0022] 또한, 본 발명의 실시예인 반도체 소자의 제조방법에 있어서, 상기 반도체소자가 발광소자(LED 또는 LD)일 수 있다.
- [0023] 또한, 본 발명의 실시예인 반도체 소자의 제조방법에 있어서, 상기 반도체가 질화물 반도체일 수 있다.
- [0024] 또한, 본 발명의 실시예인 반도체 소자의 제조방법에 있어서, 상기 반도체는 선택성장이 가능한 화합물반도체일 수 있다. 즉 상기 반도체는 모든 화합물반도체를 포함할 수 있다.

발명의 효과

- [0025] 이상에서와 같이 본 발명은 위치가 지정된 단면이 삼각형(육각피라미드 또는 삼각스트라이프) 구조 위에 선택적 결정 성장을 실시하므로 원하는 위치에 나노 및 마이크로 크기의 질화물 반도체 구조를 제작할 수 있으며 이에 따라서 나노 및 마이크로미터 구조의 밀도를 제어하는 것이 가능하다.
- [0026] 또한, 본 발명에 의하면 접촉부위가 매우 좁은 영역에서부터 선택적 결정성장이 실시되므로 관통준위와 같은 결정결함의 밀도를 크게 낮출 수 있고 재성장되는 결정의 strain을 완화시킬 수 있으므로 광소자에 응용하는 경우 발광효율을 향상시킬 수 있으며, 전자소자에 응용하는 경우 누설전류로 작용하는 결정 결함의 밀도도 낮출 수 있는 장점이 있다.
- [0027] 또한, 본 발명에 의하면 육각피라미드 형태의 꼭지점 위에 형성되는 질화물 반도체 구조는 다발형태를 가지며 특정 방향성을 가지면서 결정 성장 조건에 따라서 크기를 조절하는 것이 가능하므로 field emitter에 본 발명을 적용하는 경우, 보다 전자 방출 효율을 높일 수 있으며 특정 위치 및 밀도 제어가 가능하므로 field emitter 소자 디자인을 다양하고 정확하게 할 수 있는 장점이 있다. 그리고 다발 형태의 나노 및 마이크로 크기의 제 3 반도체 층의 상대적인 표면적 증가를 이용하는 가스센서 등에 적용할 수 있다.
- [0028] 또한 본 발명은 발광소자(LED 또는 레이저 다이오드 (LD))에도 적용할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 종래 bottom-up 기술에 의한 나노구조 형성 개요도,
 도 2는 종래 top-down 기술에 의한 1차원 나노로드 제작도,
 도 3은 본 발명에 의한 구조 실현을 위한 실시예의 공정도,
 도 4는 본 발명의 실시 예로서 Au를 촉매로 한 경우의 예시도,
 도 5는 본 발명의 실시 예로서 Cr를 촉매로 한 경우의 예시도,
 도 6은 본 발명의 실시 예로서 단면이 삼각형인 질화물 반도체 위의 선택성장의 경우의 예시도 이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 첨부된 도면을 참조로 본 발명을 바람직한 실시 예에 의해 상세히 설명하기로 한다.
- [0031] 본 발명에 의한 육각피라미드 꼭지점 부근의 미세영역에서의 질화물반도체 결정 재성장을 위한 공정흐름도를 제 3도에 보였다.
- [0032] 우선, 제3도 (a)와 같이 c-사파이어 기판 위에 MOVPE 방법에 의해서 소정의 두께 (바람직하기로는 2~3 mm)를 가지는 제 1 반도체 층을 성장한다. MOVPE 방법에 의해 제 1 반도체 층 성장이 완료된 후에 SiO₂막을 100nm 정도의 두께를 가지도록 제 1 반도체 층 표면에 증착한다.
- [0033] 제3도 (a)의 과정이 끝난 기판에 포토리소그래피 공정을 이용하여 제3도 (b)와 같이 소정의 지름 (바람직하기로는 3~5 mm)을 가지는 원형부분만 상기 제 1 반도체 층의 표면이 노출되도록 SiO₂막을 에칭한다. 이때, 원형패턴 중심간의 간격은 5~7 μ m 정도가 되도록 한다.
- [0034] 상기 공정이 완료되면 MOVPE 방법에 의해 제3도 (c)와 같이 SiO₂막을 마스크로 하여 SiO₂막이 제거된 부분에 육각피라미드 형태의 제 2 반도체 층을 선택적 결정 성장한다.
- [0035] 육각피라미드 형태의 제 2 반도체 결정 성장이 완료된 후, 제3도 (d)와 같이 전체 기판 표면 위에 다시 SiO₂ 막을 100 nm 정도의 두께를 가지도록 증착한다.
- [0036] 제3도 (d)의 공정이 끝나면 기판 표면에 photo-resist (PR)을 도포한다. 이때 PR의 점성도와 PR coating을 위한 spin coater의 회전수에 따라서 정도의 차이는 있지만 대부분의 경우 제3도 (e)와 같이 육각피라미드 하부의 편평한 부분에서는 PR의 두께가 두껍고 육각피라미드의 경사면에서는 꼭지점 부분으로 올라갈수록 PR의 두께는 얇아진다.
- [0037] PR coating 공정까지 완료되면 soft baking을 실시하고 일정 power의 자외선을 정해진 시간 (AZ 5214의 경우 3~5초) 동안 조사한 후, 정해진 developer를 이용하여 develop 공정을 실시한다. 이때 develop 시간을 적당히 조절하면 (Developer MIF 500의 경우 8~10초) 제3도 (f)와 같이 육각피라미드 꼭지점 부분의 PR만 제거할 수 있다.
- [0038] 상기 공정이 완료되면 제3도 (g)와 같이 PR이 제거되어 육각피라미드 꼭지점 부분에 노출된 SiO₂ 막을 buffered oxide etchant (BOE)를 이용하여 에칭하여 제거한다.
- [0039] 상기 공정이 완료되면 제3도 (h)와 같이 금속 증착 장비를 이용하여 촉매로 작용하게 될 금속을 증착하고 (본 특허의 예시로는 Au 및 Cr을 5 nm 증착) 금속 증착이 완료되면 lift-off 공정을 이용하여 육각피라미드의 꼭지점 부근에만 금속이 남아있도록 한다.
- [0040] 상기 공정 완료 후, 필요한 세정 및 세척과정을 실시하고 다시 MOVPE 장치를 이용하여 제3도 (i)와 같이 선택적 결정 성장을 실시하여 육각피라미드 형태의 제 2 반도체 층 꼭지점 부근에 나노 및 마이크로미터 크기의 제 3 반도체 층을 선택적으로 결정 성장한다.
- [0041] 본 발명에 의한 예시를 제4도와 제5도에 각각 보였다. 제4도는 Au를 촉매로 사용한 경우의 결과이며 제5도는 Cr을 촉매로 사용한 경우이다.
- [0042] 제4도 및 제5도의 예시에는 육각 피라미드 형태의 질화물 반도체를 이용한 경우를 보였으나 본 발명에 의한 공정은 꼭지점 부근이 하부 영역에 비하여 좁은 면적을 가지는 단면이 삼각 스트라이프(stripe) 형태의 경우에도 적용을 할 수가 있으며 금속 촉매를 사용하지 않는 선택적 결정 성장에도 활용을 할 수가 있으며 그에 대한 실시 예의 결과를 제6도에 보였다.
- [0043] 따라서, 반도체층; 상기 반도체층 위에 부분적으로 형성된 SiO₂ 층; 상기 반도체층상에 추가성장된 단면이 삼각형인 패턴(예: 육각피라미드, 단면이 삼각형인 스트라이프패턴등); 상기 반도체패턴상에 상기 패턴의 상부 꼭지점을 제외한 부분에 형성된 SiO₂ 층; 상기 SiO₂ 가 제거된 상기 패턴의 상부 꼭지점에 성장된 반도체층;을 포함하는 반도체 소자가 만들어 질 수 있다.
- [0044] 이때, 상기 패턴의 상부 꼭지점부분에 촉매를 올리고 추가 반도체층의 선택적 성장을 통해 다발성 결정구조를 갖는 반도체 소자의 제작이 가능하다.
- [0045] 이때, 본 발명의 실시예인 반도체 소자는 상기 패턴의 상부 꼭지점부분에 형성된 촉매;를 더 포함하며, 상기 패

턴의 상부 꼭지점에 성장된 반도체층이 선택적 성장을 통해 다발성 결정구조를 갖는 것을 특징으로 할 수 있다

- [0046] 본 발명에 의한 실시 예를 질화물 반도체에 대해서 결과를 보였으나 본 발명에 의한 공정은 질화물 반도체 이외에도 상부 영역이 하부 영역에 비하여 매우 좁은 꼭지점 또는 선 형태를 가지는 다른 화합물 반도체 또는 산화물 반도체에도 적용이 가능하다.
- [0047] 본 발명은 꼭지점 부근에 성장된 방향성을 가지는 다발 형태의 나노 및 마이크로 크기의 제3반도체 층의 끝 부분에서의 전자 방출을 이용하는 필드에미터(field emitter), 그리고 다발 형태의 나노 및 마이크로 크기의 제 3 반도체 층의 상대적인 표면적 증가를 이용하는 가스센서 등에 적용할 수 있다.
- [0048] 또한 본 발명은 발광소자(LED 또는 레이저 다이오드 (LD))에도 적용할 수 있다. LED에 적용하는 경우에는 나노 및 마이크로 크기의 제3반도체의 측면에 다중양자우물 (multi quantum well) 층을 포함하는 LED 구조를 추가로 적층하면 나노 및 마이크로 크기의 결정에서는 결정 결함이 크게 줄어들어서 양질의 결정으로 구성되는 LED 제작이 가능하며 또한, 제 3 반도체 층 측면은 비분극성 결정면이기 때문에 종래 기술에 의한 c-면 사파이어 위에 제작된 LED의 문제점인 분극에 의한 발광효율 감소를 해결할 수 있으므로 보다 효율이 좋은 LED 제작이 가능할 것으로 판단한다.
- [0049] 또한 레이저 다이오드에 적용하는 경우, 나노 및 마이크로 크기의 공진기를 가지기 때문에 종래의 긴 공진기 (수백 마이크로미터)를 가지는 경우에 비하여 종방향 발진 모드의 선택성이 뛰어나서 종방향 단일모드로 발진하는 레이저 다이오드를 제작하기가 훨씬 용이하다는 장점이 있다.
- [0050] 본 명세서에 기재된 본 발명의 실시 예와 도면에 도시된 구성은 본 발명의 가장 바람직한 실시 예에 불과할 뿐이고 발명의 기술적 사상을 모두 포괄하는 것은 아니므로, 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형 예들이 있을 수 있음을 이해하여야 한다.
- [0051] 따라서, 본 발명은 상술한 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 권리범위 내에 있게 된다.

도면

도면1

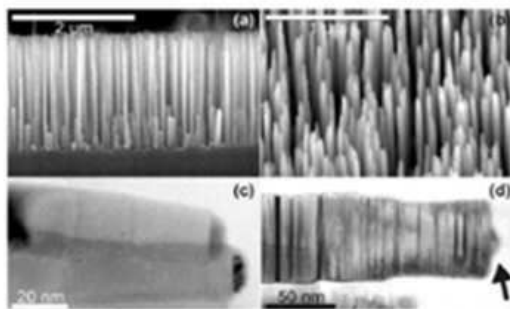
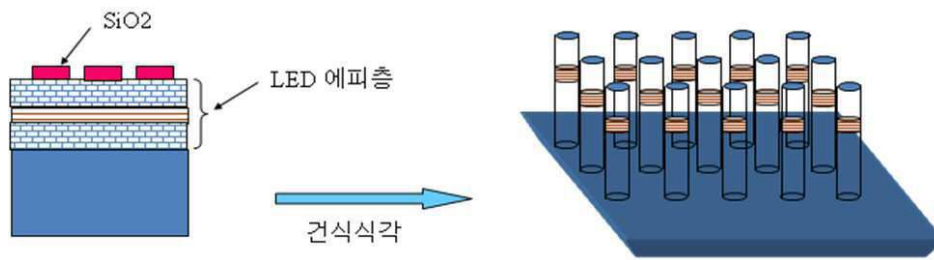


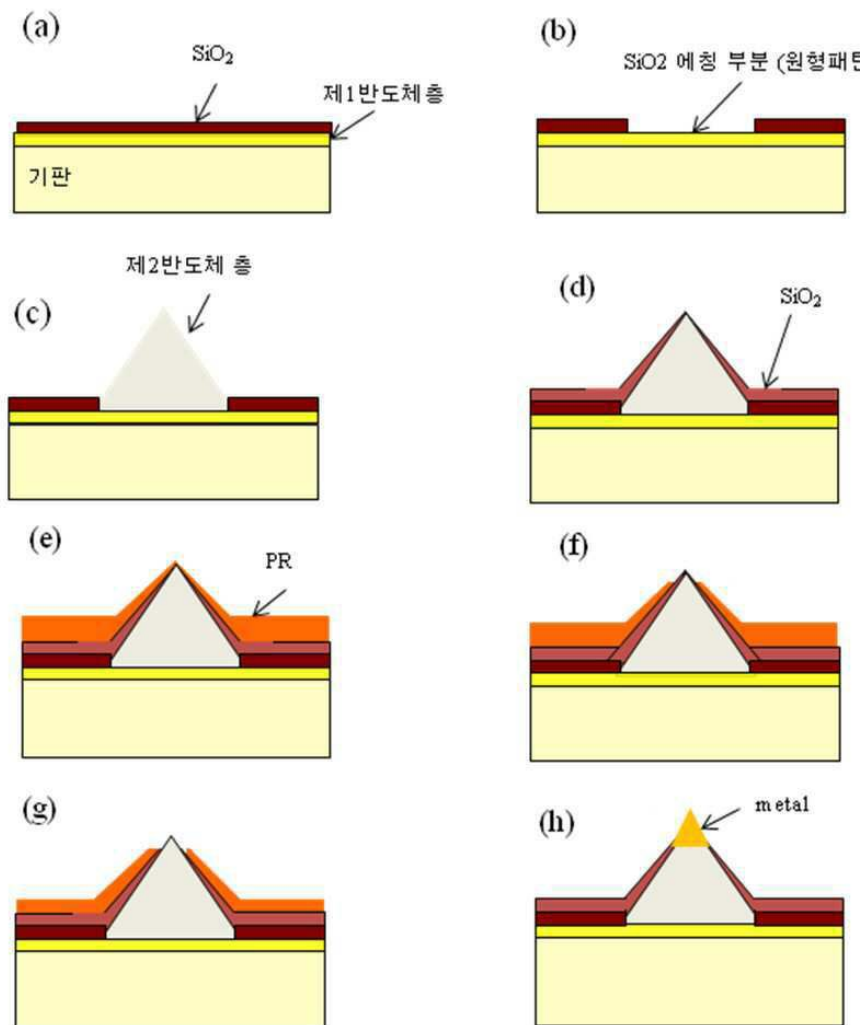
FIG. 1. Ni-induced GaN NWs grown by MBE on sapphire. SEM images that were acquired at an angle of (a) 90° and (b) 45° to the surface normal. (c) XTEM image of two NWs. (d) XTEM image of a NW that resulted from Ga-rich growth after initially N-rich growth. The seed particle is indicated by an arrow. The vertical lines across the NW are attributed to stacking faults. Stacking faults are seen only if the NW is suitably oriented with respect to the microscope. In other images of the sample shown in (c), stacking faults are observed as well.

APPLIED PHYSICS LETTERS 91,093113(2007)

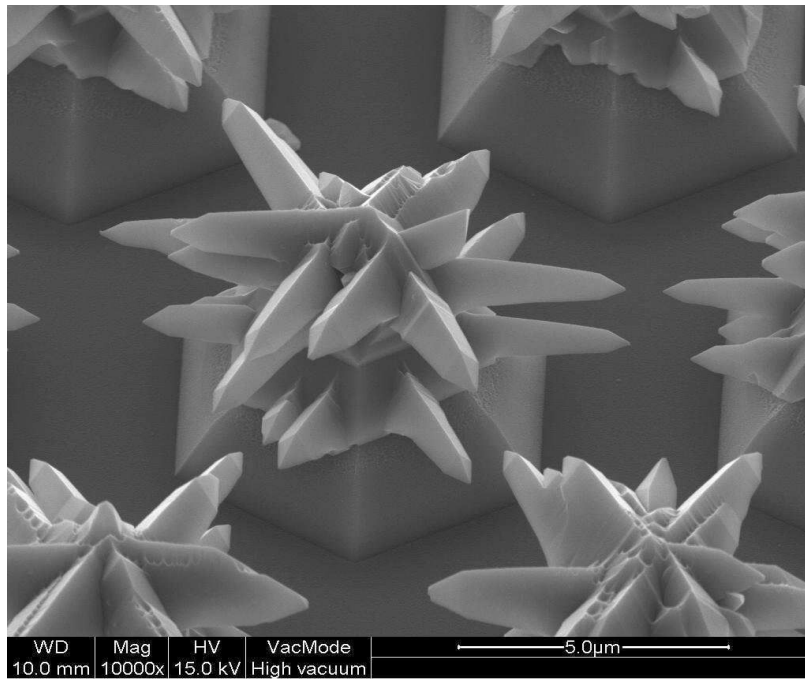
도면2



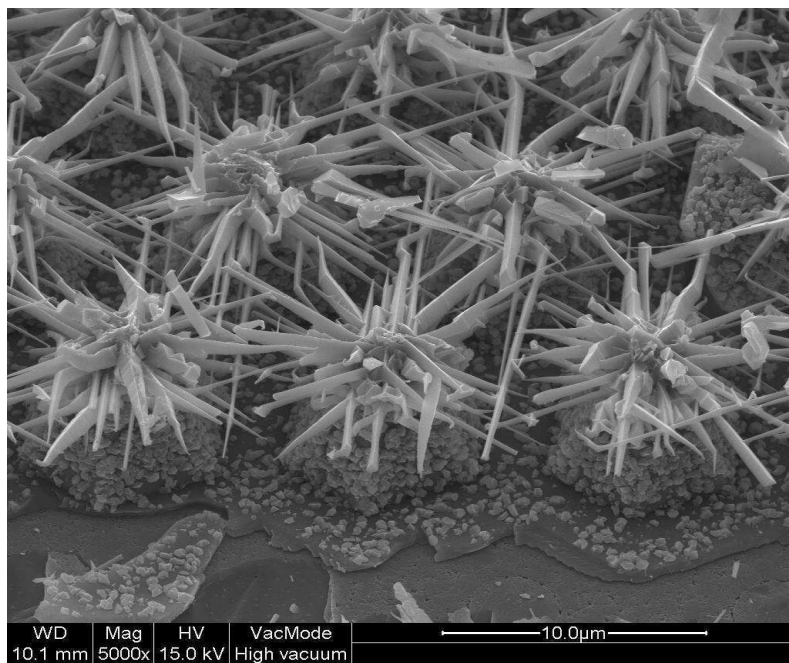
도면3



도면4



도면5



도면6

