

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3602425号
(P3602425)

(45) 発行日 平成16年12月15日(2004.12.15)

(24) 登録日 平成16年10月1日(2004.10.1)

(51) Int. Cl.⁷

F I

G05F 1/613

G05F 1/613 310

G05F 1/56

G05F 1/56 310B

G05F 1/56 310H

G05F 1/56 310V

G05F 1/56 320C

請求項の数 5 (全 19 頁)

(21) 出願番号 特願2000-288519 (P2000-288519)
 (22) 出願日 平成12年9月22日(2000.9.22)
 (65) 公開番号 特開2002-99335 (P2002-99335A)
 (43) 公開日 平成14年4月5日(2002.4.5)
 審査請求日 平成13年8月21日(2001.8.21)

前置審査

(73) 特許権者 000232036
 NECマイクロシステム株式会社
 神奈川県川崎市中原区小杉町1丁目403
 番53

(74) 代理人 100124914
 弁理士 徳丸 達雄

(72) 発明者 松尾 好男
 神奈川県川崎市中原区小杉町一丁目403
 番53 日本電気ア
 イシーマイコンシステム株式会社内

(72) 発明者 川上 賢一
 神奈川県川崎市中原区小杉町一丁目403
 番53 日本電気ア
 イシーマイコンシステム株式会社内

最終頁に続く

(54) 【発明の名称】 シャントレギュレータ回路

(57) 【特許請求の範囲】

【請求項1】

2種類以上の電源電圧を必要とするLSIに内蔵され、1次電源の供給を受け安定化した第1及び第2の2次電源をそれぞれ出力する第1及び第2のレギュレータ部と、前記第1及び第2の2次電源の各々の第1及び第2の電圧を監視し、前記第1及び第2の電圧が予め定めた電圧以下になると警報のための第1及び第2の低電圧信号をそれぞれ出力する第1及び第2の低電圧信号検出部とを備えるシャントレギュレータ回路において、前記第1及び第2のレギュレータ部に供給する基準電圧を発生する基準電圧回路と、前記第1及び第2の低電圧信号の論理演算を行い統合低電圧信号を出力する論理回路と、入力端が前記1次電源に接続された起動用のスイッチと、
 各々のアノードが前記スイッチの出力端に接続された相互干渉防止用の第1及び第2のダイオードとを備え、
 前記第1及び第2のレギュレータ部の各々が、一端を前記1次電源に接続し他端を後述の第1のバイポーラトランジスタのコレクタに接続した第1の抵抗と、エミッタを前記1次電源にベースを前記第1の抵抗の他端と前記第1のバイポーラトランジスタのコレクタとの共通接続点にコレクタを他端が接地された負荷の一端にそれぞれ接続した第1接合型の第2のバイポーラトランジスタと、
 一端を前記第2のバイポーラトランジスタのコレクタに接続した第2の抵抗と、
 一端を前記第2の抵抗の他端に他端を接地にそれぞれ接続した第3の抵抗と、
 反転入力端を前記第2、第3の抵抗の共通接続端である第1のノードに非反転入力端を前

記基準電圧回路の出力端にそれぞれ接続した増幅器と、
 ベースを前記増幅器の出力端にエミッタを接地にコレクタを前記第 1 の抵抗の他端にそれぞれ接続した第 2 接合型の前記第 1 のバイポーラトランジスタとを備え、
 前記第 1 及び第 2 の低電圧検出部が、一端を前記増幅器の非反転入力端に接続した第 4 の抵抗と、

一端を前記第 4 の抵抗の他端に接続した第 5 の抵抗と、

一端を前記第 5 の抵抗の他端に他端を接地にそれぞれ接続した第 6 の抵抗と、

非反転入力端を前記第 5 及び第 6 の抵抗の共通接続端に反転入力端を前記第 2 , 第 3 の抵抗の共通接続端である第 2 のノードにそれぞれ接続した第 1 のコンパレータと、

ドレインを前記第 4 , 第 5 の抵抗の共通接続端にソースを前記第 5 , 第 6 の抵抗の共通接続端にゲートを前記第 1 のコンパレータの出力端にそれぞれ接続した第 1 導電型の第 1 の MOS トランジスタとを備えることを特徴とするシャントレギュレータ回路。

10

【請求項 2】

外部から供給を受けた遮断信号を検出し遮断検出信号を出力する遮断信号検出回路を備え、

前記第 1 及び第 2 のレギュレータ部の各々が、前記増幅器の出力端と前記第 1 のバイポーラトランジスタのベースとの間に前記遮断検出信号の供給に応じて前記増幅器の出力信号を遮断する出力遮断回路を備えることを特徴とする請求項 1 記載のシャントレギュレータ回路。

【請求項 3】

20

前記遮断信号検出回路が、ソースを 2 次電源に接続しゲートに前記遮断信号の供給を受けドレインから前記遮断検出信号を出力する第 1 導電型の第 1 の MOS トランジスタと、
 ソースを前記 2 次電源にゲートを前記第 1 の MOS トランジスタのドレインにそれぞれ接続した第 1 導電型の第 2 の MOS トランジスタと、

反転入力端を前記第 2 の MOS トランジスタのドレインに非反転入力端に基準電圧の供給を受け出力端を前記第 2 のトランジスタのゲート及び前記第 1 のトランジスタのドレインに接続して前記遮断検出信号を出力するコンパレータと、

一端を前記 2 次電源に他端を前記第 2 の MOS トランジスタのドレインにそれぞれ接続した第 1 の抵抗と、

一端を前記第 1 の抵抗の他端に他端を接地にそれぞれ接続した第 2 の抵抗と、

30

一端を前記第 2 の電源に他端を前記第 2 の MOS トランジスタのゲートにそれぞれ接続した第 3 の抵抗とを備え、

前記出力遮断回路が、ドレインを前記増幅器の出力端にソースを接地にそれぞれ接続しゲートに前記遮断検出信号の供給を受ける第 2 導電型の第 3 の MOS トランジスタと、

ドレインを前記第 2 の電源にゲートを前記増幅器の出力端にソースを前記第 1 のバイポーラトランジスタのベースにそれぞれ接続した第 2 導電型の第 4 の MOS トランジスタと、
 一端を前記第 4 の MOS トランジスタのソースに接続し他端を接地した定電流源とを備えることを特徴とする請求項 2 記載のシャントレギュレータ回路。

【請求項 4】

前記 L S I のデータバックアップ用の R A M を有し、この R A M の電源を生成したりセット信号とバックアップ解除信号に基づき外部のバックアップ電源から前記 2 次電源に切り換えるためのバックアップ切替信号を出力するバックアップ切替回路と、

40

第 1 の時定数抵抗と第 1 の時定数コンデンサから成り前記リセット信号を生成する第 1 の時定数回路と、

第 2 の時定数抵抗と第 2 の時定数コンデンサから成り前記バックアップ解除信号を生成する第 2 の時定数回路とを備えることを特徴とする請求項 1 記載のシャントレギュレータ回路。

【請求項 5】

前記バックアップ切替回路が、入力端を一端が前記 2 次電源に接続された前記第 1 の時定数抵抗の他端に接続したインバータと、

50

ドレインを一端が前記2次電源に接続された前記第2の時定数抵抗の他端にゲートを前記インバータの出力端にソースを接地にそれぞれ接続した第2導電型のMOSトランジスタと、

一方の入力端に前記2次電源の低下を警報するための低電圧信号の供給を受け他方の入力端を前記MOSトランジスタのドレインに接続し出力端から前記バックアップ切替信号を出力するAND回路とを備えることを特徴とする請求項4記載のシャントレギュレータ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はシャントレギュレータ回路に関し、特に2種類以上の電源電圧を必要とするLSIに内蔵され低電圧検出機能を有するシャントレギュレータ回路に関する。

【0002】

【従来の技術】

この種のシャントレギュレータ回路は、例えば、2次側電源を2系統有し双方の電源電圧を監視し、低電圧信号出力機能とバックアップ切替信号出力機能を有するものが広く用いられている。

【0003】

近年、大規模半導体集積回路(LSI)を構成するトランジスタ等の素子の微細化、高速化に伴い、LSI内部の論理回路の電源電圧は急速に低電圧化の傾向にある。しかし、アナログ回路部や他の外部回路とのインタフェース用の入力/出力回路(I/O)は、アナログ回路の動作限界や、LSIのアプリケーションの電源電圧の制約から、内部の論理回路とは異なる電源電圧を用いる場合が多く、これらの要求を満足させるため、LSI内部へ供給する2次電源として2種類以上の電源電圧の供給が必要となる。

【0004】

従って1次電源として、現在論理回路用として広く用いられている、例えば5Vの供給を受け、2次電源として、例えば3.3Vを出力するため、電圧変換回路としてシャントレギュレータ回路を用いる。

【0005】

また、低電圧検出機能は、上記のようにして生成した2次電源を監視し、2次電源電圧が何らかの原因で低下した場合、この低下を検出して警報である低電圧信号を出力する。

【0006】

一般的な従来の第1のシャントレギュレータ回路の一系統分を回路図で示す図7を参照すると、この従来の第1のシャントレギュレータ回路は、1次電源VINの供給を受け2次電源VREGを負荷L1に供給するレギュレータ部101と、上記低電圧検出機能であり低電圧信号VLを出力する低電圧検出部102とを備える。

【0007】

レギュレータ部101は、一端を1次電源VINに接続し他端から電圧制御された電圧Vregの2次電源VREGを出力する電源端子TD1に接続した電圧降下用のシャント抵抗R106と、一端を抵抗R106の他端に接続した抵抗R12と、一端を抵抗R12の他端に他端を接地Gにそれぞれ接続した抵抗R11と、基準電圧VREFを出力する基準電圧回路VR1と、非反転入力端を抵抗R11、R12の共通接続端であるノードA1に反転入力端を基準電圧回路VR1の出力端にそれぞれ接続したオペレーショナルアンプ(以下オペアンプ)から成る増幅器OP101と、ベースを増幅器OP101の出力端にエミッタを接地Gにコレクタを抵抗R106の他端と他端を接地に接続した負荷L1の一端にそれぞれ接続したNPNバイポーラ型のトランジスタQ101とを備える。

【0008】

低電圧検出部102は、一端を抵抗R106の他端に接続した抵抗R13と、一端を抵抗R13の他端に接続した抵抗R14と、一端を抵抗R14の他端に他端を接地にそれぞれ接続した抵抗R15と、反転入力端を抵抗R13とR14との共通接続端であるノードA

10

20

30

40

50

101に非反転入力端を基準電圧回路の出力端にそれぞれ接続したコンパレータCP11と、ドレインを抵抗R14とR15との共通接続端にソースを接地にゲートをコンパレータCP11の出力端にそれぞれ接続したNチャンネルMOS型のトランジスタM11と、入力端をコンパレータCP11の出力端に接続し出力端を低電圧信号出力端子TL1に接続したインバータIV1とを備える。

【0009】

次に、図7を参照して、従来の第1のシャントレギュレータ回路の動作について説明すると、レギュレータ部101は、1次側の電源VINが供給されると2次側には、次式の電圧Vregの電源VREGが発生する。

【0010】

$$V_{reg} = V_{REF} \times (1 + R_{12} / R_{11}) \cdots \cdots (1)$$

シャント抵抗R106は、負荷電流ILとすると、次式以下の抵抗値に設定する必要があり、VINが低下する場合を考慮すると、かなり小さい値に設定しておく必要がある。

【0011】

$$R_{106} = (V_{IN} - V_{reg}) / I_L \cdots \cdots (2)$$

シャント抵抗R106を流れる電流ISは、制御用のトランジスタQ11を経由して接地に流れる電流である余剰電流をIYとすると、次式で表される。

【0012】

$$I_S = I_L + I_Y = (V_{IN} - V_{reg}) / R_{106} \cdots \cdots (3)$$

$$I_Y = I_S - I_L = (V_{IN} - V_{reg}) / R_{106} - I_L \cdots \cdots (4)$$

式(4)より、制御範囲VIN - Vregを大きくすると余剰電流IYが大きくなることが分かる。

【0013】

余剰電流IYは、制御用のトランジスタQ101で吸収されるがこの電流は無駄に消費され、消費電流の増大要因となるため、電池で駆動するような低消費電力を目的とするアプリケーションには適さない。

【0014】

低電圧検出部102は、コンパレータCP11が抵抗R13, R14の共通接続点であるノードA101の電圧を基準電圧VREFと比較し、ノードA101の電圧が基準電圧VREFより低下した場合インバータIV1を経由して端子TL1に低電圧信号VLを出力する。

【0015】

トランジスタM11抵抗R14, R15はコンパレータCP11に所定のヒステリシス特性を付加するためのヒステリシス付加用の帰還回路を構成する。

【0016】

上記問題を緩和し、低消費電力化を図った従来の第2のシャントレギュレータ回路の一系統分を図7と共通の構成要素には共通の参照文字/数字を付して同様に回路図で示す図8を参照すると、この図に示す従来の第2のシャントレギュレータ回路の前述の従来の第1のシャントレギュレータ回路との相違点は、レギュレータ部101の代わりに、一端を1次電源VINに接続し他端をトランジスタQ11のコレクタに接続した抵抗R16と、シャント抵抗R106の代わりにエミッタを1次電源VINにベースを抵抗R16の他端とトランジスタQ11のコレクタとの共通接続点にコレクタを負荷L1の一端と抵抗R12, R13の共通接続点にそれぞれ接続したPNPバイポーラ型のトランジスタQ12と、増幅器OP101の代わりに反転入力端を抵抗R11, R12の共通接続点であるノードA1に非反転入力端を基準電圧回路VR1の出力端にそれぞれ接続したオペアンプから成る増幅器OP11と、一端を1次電源VINに他端に後述の抵抗R17の一端に接続した起動用のスイッチSW1と、一端をスイッチSW1の他端に他端を増幅器OP11の出力端にそれぞれ接続した抵抗R17と、一端を抵抗R17の他端と増幅器OP11の出力端との共通接続点に他端を接地にそれぞれ接続した抵抗R18とを備えるレギュレータ部101Aを備えることである。

10

20

30

40

50

【 0 0 1 7 】

この従来の第2のシャントレギュレータ回路は、レギュレータ部101Aが、シャント抵抗R106の代わりに制御用のトランジスタQ11の出力する帰還信号により制御される電圧降下用のトランジスタQ12を用いて電圧制御を行うため、余剰電流はトランジスタQ12の制御に必要なトランジスタQ11の電流、すなわち、トランジスタQ12の電流利得G I分の1のみとなり少ない。しかし、電源投入のみによる自動起動は不可能なため、スイッチSW1、抵抗R17、R18から成る起動回路を設ける必要がある。

【 0 0 1 8 】

従って2種類以上の2次電源電圧を発生させる場合は、同様の回路を2組以上(複数)設けることになる。

10

【 0 0 1 9 】

この場合、一般に、低電圧信号VLを、そのまま、冗長系に切り換えるためのバックアップ切換信号として用いる。

【 0 0 2 0 】

ところが、この従来の第2のシャントレギュレータ回路では、複数のレギュレータ回路をLSIに内蔵する場合は、これら複数のレギュレータ回路の各々の起動タイミングを正確に制御する必要があり、起動が複雑になる他、起動時のタイミング不具合によりアプリケーション対象システムの誤動作や暴走を起こす。

【 0 0 2 1 】

その理由は、CPUを内蔵するLSIで、内部回路が低電圧(例えば2.5V)I/O部が高電圧(例えば3.3V)の2種類の2次電圧で駆動される場合、低電圧側2.5Vより高電圧側3.3Vが遅れて立ち上がるとCPUが正常に初期化されずシステムが暴走することがある。

20

【 0 0 2 2 】

また、帰還ループの利得が高いため、外部から遮断信号を受けレギュレータ回路が遮断状態になっても、遮断時には遮断信号自体が不安定になるため遮断が解除される場合が生じ得る。この時にレギュレータ回路が動作可能であれば、再び起動し、2次電源が立ち下がらなくなるという問題がある。

【 0 0 2 3 】

さらには、複数のレギュレータ回路及び対応の低電圧検出回路をLSIに内蔵すると各々独立に帰還抵抗、低電圧検出抵抗を設けることになる。このため抵抗数の増加に伴う回路面積の増大や、帰還抵抗及び低電圧検出抵抗に流れる電流が増加することによる消費電流の増大という問題もある。

30

【 0 0 2 4 】

またさらに、バックアップ切換信号の論理を低電圧信号と同一論理を用いるとシステムのリセット解除と同期して解除されるためデータ保持の観点からも問題がある。

【 0 0 2 5 】

【 発明が解決しようとする課題 】

上述した従来の第1のシャントレギュレータ回路は、シャント抵抗に負荷電流と制御用のトランジスタを経由して流れる余剰電流との合計が流れ、余剰電流は、制御用のトランジスタで吸収されるがこの電流は無駄に消費され、消費電流の増大要因となるため、電池で駆動するような低消費電力を目的とするアプリケーションには不相当であるという欠点があった。

40

【 0 0 2 6 】

上記欠点の緩和を図った従来の第2のシャントレギュレータ回路は、2種以上の2次電源に対応する複数のレギュレータ回路をLSIに内蔵する場合は、これら複数のレギュレータ回路の各々の起動タイミングを正確に制御する必要があり、起動が複雑になる他、起動時のタイミング不具合によりアプリケーション対象システムの誤動作や暴走を起こすという欠点があった。また、帰還ループの利得が高いため、外部から遮断信号を受けレギュレータ回路が遮断状態になっても、遮断時における遮断信号自体の不安定性により遮断が解除

50

された場合に再度起動し、2次電源が立ち下がらなくなるという欠点があった。さらに、これら複数のレギュレータ回路及び対応する低電圧検出回路の各々は独立に帰還抵抗、低電圧検出抵抗を備えることにより、抵抗数の増加に伴い回路面積が増大し、帰還抵抗及び低電圧検出抵抗に流れる電流の増加により消費電流が増大するという欠点があった。

【0027】

本発明の目的は、2種類以上の電源電圧を必要とするLSIに内蔵するレギュレータ回路で低電圧検出機能付きシャントレギュレータにおいて、一つの起動用SW1を用いて起動時のタイミングずれをなくし、抵抗数の削減と消費電流の低減を図ったシャントレギュレータ回路を提供することにある。

【0028】

本発明の他の目的は、2次電源が遮断時、遮断信号が不安定になっても再び2次電源が立ち上がらないシャントレギュレータ回路を提供することにある。

【0029】

【課題を解決するための手段】

請求項1記載の発明のシャントレギュレータ回路は、2種類以上の電源電圧を必要とするLSIに内蔵され、1次電源の供給を受け安定化した第1及び第2の2次電源をそれぞれ出力する第1及び第2のレギュレータ部と、前記第1及び第2の2次電源の各々の第1及び第2の電圧を監視し、前記第1及び第2の電圧が予め定めた電圧以下になると警報のための第1及び第2の低電圧信号をそれぞれ出力する第1及び第2の低電圧信号検出部とを備えるシャントレギュレータ回路において、前記第1及び第2のレギュレータ部に供給する基準電圧を発生する基準電圧回路と、前記第1及び第2の低電圧信号の論理演算を行い統合低電圧信号を出力する論理回路と、入力端が前記1次電源に接続された起動用のスイッチと、各々のアノードが前記スイッチの出力端に接続された相互干渉防止用の第1及び第2のダイオードとを備え、前記第1及び第2のレギュレータ部の各々が、一端を前記1次電源に接続し他端を後述の第1のバイポーラトランジスタのコレクタに接続した第1の抵抗と、エミッタを前記1次電源にベースを前記第1の抵抗の他端と前記第1のバイポーラトランジスタのコレクタとの共通接続点にコレクタを他端が接地された負荷の一端にそれぞれ接続した第1接合型の第2のバイポーラトランジスタと、一端を前記第2のバイポーラトランジスタのコレクタに接続した第2の抵抗と、一端を前記第2の抵抗の他端に他端を接地にそれぞれ接続した第3の抵抗と、反転入力端を前記第2,第3の抵抗の共通接続端である第1のノードに非反転入力端を前記基準電圧回路の出力端にそれぞれ接続した増幅器と、ベースを前記増幅器の出力端にエミッタを接地にコレクタを前記第1の抵抗の他端にそれぞれ接続した第2接合型の前記第1のバイポーラトランジスタとを備え、前記第1及び第2の低電圧検出部が、一端を前記増幅器の非反転入力端に接続した第4の抵抗と、一端を前記第4の抵抗の他端に接続した第5の抵抗と、一端を前記第5の抵抗の他端に他端を接地にそれぞれ接続した第6の抵抗と、非反転入力端を前記第5及び第6の抵抗の共通接続端に反転入力端を前記第2,第3の抵抗の共通接続端である第2のノードにそれぞれ接続した第1のコンパレータと、ドレインを前記第4,第5の抵抗の共通接続端にソースを前記第5,第6の抵抗の共通接続端にゲートを前記第1のコンパレータの出力端にそれぞれ接続した第1導電型の第1のMOSトランジスタとを備えて構成されている。

【0030】

また、請求項2記載の発明は、請求項1記載のシャントレギュレータ回路において、外部から供給を受けた遮断信号を検出し遮断検出信号を出力する遮断信号検出回路を備え、前記第1及び第2のレギュレータ部の各々が、前記増幅器の出力端と前記第1のバイポーラトランジスタのベースとの間に前記遮断検出信号の供給に応じて前記増幅器の出力信号を遮断する出力遮断回路を備えて構成されている。

【0031】

また、請求項3記載の発明は、請求項2記載のシャントレギュレータ回路において、前記遮断信号検出回路が、ソースを2次電源に接続しゲートを前記遮断信号の供給を受けドレインから前記遮断検出信号を出力する第1導電型の第1のMOSトランジスタと、ソース

10

20

30

40

50

を前記 2 次電源にゲートを前記第 1 の MOS トランジスタのドレインにそれぞれ接続した第 1 導電型の第 2 の MOS トランジスタと、反転入力端を前記第 2 の MOS トランジスタのドレインに非反転入力端に基準電圧の供給を受け出力端を前記第 2 のトランジスタのゲート及び前記第 1 のトランジスタのドレインに接続して前記遮断検出信号を出力するコンパレータと、一端を前記 2 次電源に他端を前記第 2 の MOS トランジスタのドレインにそれぞれ接続した第 1 の抵抗と、一端を前記第 1 の抵抗の他端に他端を接地にそれぞれ接続した第 2 の抵抗と、一端を前記第 2 の電源に他端を前記第 2 の MOS トランジスタのゲートにそれぞれ接続した第 3 の抵抗とを備え、前記出力遮断回路が、ドレインを前記増幅器の出力端にソースを接地にそれぞれ接続しゲートに前記遮断検出信号の供給を受ける第 2 導電型の第 3 の MOS トランジスタと、ドレインを前記第 2 の電源にゲートを前記増幅器の出力端にソースを前記第 1 のパイポラトランジスタのベースにそれぞれ接続した第 2 導電型の第 4 の MOS トランジスタと、一端を前記第 4 の MOS トランジスタのソースに接続し他端を接地した定電流源とを備えて構成されている。

10

【 0 0 3 2 】

また、請求項 4 記載の発明は、請求項 1 記載のシャントレギュレータ回路において、前記 L S I のデータバックアップ用の R A M を有し、この R A M の電源を生成したりセット信号とバックアップ解除信号に基づき外部のバックアップ電源から前記 2 次電源に切り換えるためのバックアップ切換信号を出力するバックアップ切換回路と、第 1 の時定数抵抗と第 1 の時定数コンデンサから成り前記リセット信号を生成する第 1 の時定数回路と、第 2 の時定数抵抗と第 2 の時定数コンデンサから成り前記バックアップ解除信号を生成する第 2 の時定数回路とを備えて構成されている。

20

【 0 0 3 3 】

また、請求項 5 記載の発明は、請求項 4 記載のシャントレギュレータ回路において、前記バックアップ切換回路が、入力端を一端が前記 2 次電源に接続された前記第 1 の時定数抵抗の他端に接続したインバータと、ドレインを一端が前記 2 次電源に接続された前記第 2 の時定数抵抗の他端にゲートを前記インバータの出力端にソースを接地にそれぞれ接続した第 2 導電型の MOS トランジスタと、一方の入力端に前記 2 次電源の低下を警報するための低電圧信号の供給を受け他方の入力端を前記 MOS トランジスタのドレインに接続し出力端から前記バックアップ切換信号を出力する A N D 回路とを備えて構成されている。

30

【 0 0 3 8 】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 3 9 】

本実施の形態のシャントレギュレータ回路は 2 種類以上の電源電圧を必要とする L S I に内蔵され、安定化した第 1 及び第 2 の 2 次電源をそれぞれ出力する第 1 及び第 2 のレギュレータ部と、これら第 1 及び第 2 の 2 次電源の各々の第 1 及び第 2 の電圧を監視し、前記第 1 及び第 2 の電圧が予め定めた電圧以下になると警報のための第 1 及び第 2 の低電圧信号をそれぞれ出力する第 1 及び第 2 の低電圧信号検出部とを備えるシャントレギュレータ回路において、上記第 1 のレギュレータ部の電圧制御用の帰還回路の一部を構成し上記第 1 の 2 次電圧を予め定めた第 1 の電圧に分圧するための第 1 の帰還用抵抗と上記第 1 の低電圧信号検出部への第 1 の入力電圧生成のため上記第 1 の 2 次電圧を分圧するための第 1 の分電圧抵抗とを兼用し、上記第 2 のレギュレータ部の電圧制御用の帰還回路の一部を構成し上記第 2 の 2 次電圧を予め定めた第 2 の電圧に分圧するための第 2 の帰還用抵抗と上記第 2 の低電圧信号検出部への第 2 の入力電圧生成のため上記第 2 の 2 次電圧を分圧するための第 2 の分電圧抵抗とを兼用することと、第 1 及び第 2 のレギュレータ部の各々を同時に起動するための 1 つの起動用スイッチを備え、第 1 及び第 2 のレギュレータ部の起動タイミングのずれの発生を抑圧することとを特徴とするものである。

40

【 0 0 4 0 】

レギュレータ回路の起動は 1 つ起動用 S W を用いて行うため、各々の電源の起動がほぼ同時に行われる。従って、起動時のタイミングずれが起きなくアプリケーション対象システ

50

ムの誤動作や暴走が回避できるという特徴をもつ。

【0041】

また、シャントレギュレータの帰還抵抗を低電圧検出用抵抗と兼用することにより、抵抗数の削減と低電圧検出抵抗に流れる電流の削減ができるという特徴がある。

【0042】

また、低電圧検出部は、基準電圧側にヒステリシス特性付加用の帰還を行うことにより、2次電源電圧の変動によるヒステリシス特性の変動がない。

【0043】

また、レギュレータ回路の帰還抵抗と低電圧検出抵抗とを兼用しているため専用の低電圧検出抵抗が不要となる。

10

【0044】

次に、本発明の実施の形態を図8と共通の構成要素には共通の参照文字/数字を付して同様に回路図で示す図1を参照すると、この図に示す本実施の形態のシャントレギュレータ回路は、それぞれ1次電源VINの供給を受け電圧Vreg1, Vreg2の2次電源VREG1, VREG2を負荷L1, L2に供給するとともに低電圧信号VL1, VL2をそれぞれ出力する同一構成の2組のレギュレータ回路1, 2と、基準電圧VREFを発生する基準電圧回路VR1と、低電圧信号VL1, VL2の否定論理積演算を行い低電圧信号VLを出力するNAND回路NA1と、入力端が1次電源VINに接続された起動用のスイッチSW1と、各々のアノードがスイッチSW1の出力端に接続された相互干渉防止用のダイオードD1, D2とを備える。

20

【0045】

レギュレータ回路1は、1次電源VINの供給を受け電圧Vreg1の2次電源VREG1を負荷L1に供給するレギュレータ部11と、2次電源電圧Vreg1を監視し、電圧Vreg1が何らかの原因で低下した場合、この低下を検出して警報である低電圧信号VL1を出力する低電圧検出機能である低電圧検出部12とを備える。

【0046】

レギュレータ部11は、一端を1次電源VINに接続し他端を後述のトランジスタQ11のコレクタに接続した抵抗R16と、エミッタを1次電源VINにベースを抵抗R16の他端とトランジスタQ11のコレクタとの共通接続点にコレクタを他端が接地された負荷L1の一端にそれぞれ接続したPNPバイポーラ型のトランジスタQ12と、一端をトランジスタQ12のコレクタに接続した抵抗R12と、一端を抵抗R12の他端に他端を接地にそれぞれ接続した抵抗R11と、反転入力端を抵抗R11, R12の共通接続端であるノードA1に非反転入力端を基準電圧回路VR1の出力端にそれぞれ接続したオペレーショナルアンプ(以下オペアンプ)から成る増幅器OP11と、ベースを増幅器OP11の出力端にエミッタを接地にコレクタを抵抗R16の他端にそれぞれ接続したNPNバイポーラ型のトランジスタQ11とを備える。

30

【0047】

低電圧検出部12は、一端を増幅器OP11の非反転入力端に接続した抵抗R13と、一端を抵抗R13の他端に接続した抵抗R14と、一端を抵抗R14の他端に他端を接地にそれぞれ接続した抵抗R15と、非反転入力端を抵抗R14とR15との共通接続端に反転入力端を抵抗R11, R12の共通接続端であるノードA1に接続したコンパレータCP11と、ドレインを抵抗R13とR14との共通接続端にソースを抵抗R14とR15との共通接続端にゲートをコンパレータCP11の出力端にそれぞれ接続したNチャンネルMOS型のトランジスタM11とを備える。

40

【0048】

トランジスタM11と抵抗R14, R15から成る帰還回路はコンパレータCP11にヒステリシス特性を付加するためのものである。

【0049】

レギュレータ回路2は、1次電源VINの供給を受け電圧Vreg2の2次電源VREG2を負荷L2に供給するレギュレータ部21と、2次電源電圧Vreg2を監視し、電圧

50

V r e g 2 が何らかの原因で低下した場合、この低下を検出して警報である低電圧信号 V L 2 を出力する低電圧検出部 2 2 とを備える。

【 0 0 5 0 】

レギュレータ部 2 1 は、一端を 1 次電源 V I N に接続し他端を後述のトランジスタ Q 2 1 のコレクタに接続した抵抗 R 2 6 と、エミッタを 1 次電源 V I N にベースを抵抗 R 2 6 の他端とトランジスタ Q 2 1 のコレクタとの共通接続点にコレクタを他端が接地された負荷 L 2 の一端にそれぞれ接続した P N P バイポーラ 型のトランジスタ Q 2 2 と、一端をトランジスタ Q 2 2 のコレクタに接続した抵抗 R 2 2 と、一端を抵抗 R 2 2 の他端に他端を接地にそれぞれ接続した抵抗 R 2 1 と、反転入力端を抵抗 R 2 1 , R 2 2 の共通接続端であるノード A 2 に非反転入力端を基準電圧回路 V R 1 の出力端にそれぞれ接続したオペアンプから成る増幅器 O P 2 1 と、ベースを増幅器 O P 2 1 の出力端にエミッタを接地にコレクタを抵抗 R 2 6 の他端にそれぞれ接続した N P N バイポーラ型のトランジスタ Q 2 1 とを備える。

10

【 0 0 5 1 】

低電圧検出部 2 2 は、一端を増幅器 O P 2 1 の非反転入力端に接続した抵抗 R 2 3 と、一端を抵抗 R 2 3 の他端に接続した抵抗 R 2 4 と、一端を抵抗 R 2 4 の他端に他端を接地にそれぞれ接続した抵抗 R 2 5 と、非反転入力端を抵抗 R 2 4 と R 2 5 との共通接続端に反転入力端を抵抗 R 2 1 , R 2 2 の共通接続端であるノード A 2 に接続したコンパレータ C P 2 1 と、ドレインを抵抗 R 2 3 と R 2 4 との共通接続端にソースを抵抗 R 2 4 と R 2 5 との共通接続端にゲートをコンパレータ C P 2 1 の出力端にそれぞれ接続した N チャネル M O S 型のトランジスタ M 2 1 とを備える。

20

【 0 0 5 2 】

トランジスタ M 2 1 と抵抗 R 2 4 , R 2 5 から成る帰還回路はコンパレータ C P 2 1 にヒステリシス特性を付加するためのものである。

【 0 0 5 3 】

次に、図 1 及び各信号波形をタイムチャートで示す図 2 を参照して本実施の形態の動作について説明する。以下、説明の便宜上、2 つの同一構成のレギュレータ回路 1 , 2 のうち、代表としてレギュレータ回路 1 の動作について説明し、必要がある場合レギュレータ回路 2 の動作についても説明する。

【 0 0 5 4 】

まず、電源 V I N が供給された初期状態では、レギュレータ部 1 1 の制御用のトランジスタ Q 1 1 が遮断状態であり、従って電圧降下用のトランジスタ Q 1 2 のベースには、トランジスタ Q 1 1 の遮断状態に対応して抵抗 R 1 6 での電圧降下はなくそのまま電源 V I N が印加され、このトランジスタ Q 1 2 も遮断状態となっている。

30

【 0 0 5 5 】

次に、起動用のスイッチ S W 1 をオンすると、ノード A 3 に 1 次電源 V I N の電圧 (以下電源 V I N) が供給され、これによりトランジスタ Q 1 1 のベースに電源 V I N と抵抗 R 1 7 , R 1 8 の比で決まる分電圧が供給され、これまで遮断状態であったトランジスタ Q 1 1 は動作状態となる。これにより、抵抗 R 1 6 にトランジスタ Q 1 1 のコレクタ電流対応の電圧降下が生じ、トランジスタ Q 1 2 のベース電圧が低下することにより電流が流れ 2 次電源 V R E G 1 が発生する。ノード A 1 には、電源 V R E G 1 の電圧 V r e g 1 と抵抗 R 1 2 , R 1 1 の比で決まる分電圧が生じ増幅器 O P 1 1 の反転入力端子に印加される。ここで、説明の便宜上、抵抗 R 1 2 をレギュレータ部 1 1 の帰還用抵抗と呼ぶ。

40

【 0 0 5 6 】

増幅器 O P 1 1 は、非反転入力端に供給を受けた基準電圧とノード A 1 の電圧 V A 1 との差電圧を増幅し、その出力信号をトランジスタ Q 1 1 のベースに供給する。

【 0 0 5 7 】

トランジスタ Q 1 1 は供給を受けた増幅器 O P 1 1 の出力信号に応じてコレクタ電流を増減し、その結果のコレクタ電圧の変化をトランジスタ Q 1 2 のベースにベース電流の変化として伝える。

50

【 0 0 5 8 】

すなわち、増幅器 O P 1 1 の出力信号が大きくなりトランジスタ Q 1 1 のコレクタ電流が増加すると、抵抗 R 1 6 によりコレクタ電圧が低下し、PNP型のトランジスタ Q 1 2 のベースエミタ電圧が増加することにより、このトランジスタ Q 1 2 のベース電流が増加する。逆に、増幅器 O P 1 1 の出力信号が小さくなりトランジスタ Q 1 1 のコレクタ電流が低減すると、トランジスタ Q 1 2 のベース電流が低減する。

【 0 0 5 9 】

トランジスタ Q 1 2 は、上記ベース電流の増減に従い出力電流を増減し、電圧 V r e g 1 を加減する。このように、増幅器 O P 1 1、トランジスタ Q 1 1、抵抗 R 1 6、トランジスタ Q 1 2、抵抗 R 1 2、R 1 1 は電圧制御用の帰還回路を構成する。従って、増幅器 O P 1 1 の反転入力端の電圧である電圧 V A 1 が非反転入力端の電圧である基準電圧 V R 1 と同一となると、この電圧制御動作が安定し、一定電圧 V r e g 1 の電源 V R E G 1 を出力し、負荷 L 1 に供給する。

10

【 0 0 6 0 】

レギュレータ回路 2 のレギュレータ部 2 1 も同様の動作を行い、電圧 V r e g 2 の電源 V R E G 2 を出力し、負荷 L 2 に供給する。

【 0 0 6 1 】

上述したように、ノード A 1 の電圧 V A 1 と基準電圧 V R E F とが同一のとき電圧 V r e g 1 を出力するので、次式が成立する。

【 0 0 6 2 】

$$V A 1 = R 1 2 / (R 1 1 + R 1 2) = V R E F \cdot \cdot \cdot \cdot \cdot (5)$$

$$V A 1 / R 1 1 = V R E F / (R 1 3 + R 1 4 + R 1 5) \cdot \cdot \cdot \cdot \cdot (6)$$

(6) 式に (5) 式を適用すると、次式のようになる。

【 0 0 6 3 】

$$R 1 1 = (R 1 3 + R 1 4 + R 1 5) \cdot \cdot \cdot \cdot \cdot (7)$$

電源 V R E G 1 の電圧 V r e g は次式で表される。

【 0 0 6 4 】

$$V r e g 1 = V R E F \times \{ (R 1 2 + R 1 1) / R 1 1 \} = V R E F \times \{ 1 + R 1 2 / (R 1 3 + R 1 4 + R 1 5) \} \cdot \cdot \cdot \cdot \cdot (8)$$

同様に、電源 V R E G 2 の電圧 V r e g 2 は次式で表される。

20

30

【 0 0 6 5 】

$$V r e g 2 = V R E F \times \{ 1 + R 2 2 / (R 2 3 + R 2 4 + R 2 5) \} \cdot (9)$$

また、これらレギュレータ部 1 1 及び 2 1 の起動は、一つの起動用のスイッチ S W 1 を用いて行うため同時に行われる。

【 0 0 6 6 】

低電圧検出部 1 2 は、コンパレータ C P 1 1 の反転端子に供給されるノード A 1 の電圧 V A 1 を監視し、電圧 V A 1 がコンパレータ C P 1 1 の非反転端子の次式で表される電圧 V M 1 より低下すると低電圧として検出し低電圧信号 V L 1 を出力する。

$$V M 1 = V R E F \times (R 1 5) / (R 1 3 + R 1 4 + R 1 5) \cdot (1 0)$$

トランジスタ M 1 1 と抵抗 R 1 4、R 1 5 から成る帰還回路は、コンパレータ C P 1 1 に所定のヒステリシス特性を付加する。

40

【 0 0 6 7 】

正常状態では、帰還抵抗 R 1 2 と抵抗 R 1 1 との分電圧である電圧 V A 1 が電圧 V M 1 より高く、コンパレータ C P 1 1 は低電圧信号 V L 1 として L レベルを出力している。また、トランジスタ M 1 1 は遮断状態となっている。

【 0 0 6 8 】

電圧 V A 1 が低下し、電圧 V M 1 より低くなると、コンパレータ C P 1 1 は遷移し H レベルを低電圧信号 V L 1 として出力する。

【 0 0 6 9 】

このとき正常時には遮断しているトランジスタ M 1 1 が導通し、抵抗 R 1 4 が短絡状態と

50

なる。この結果、電圧 V_{M1} が上昇する。

$$V_{M1L} = V_{REF} \times (R_{15}) / (R_{13} + R_{15}) \cdots \cdots (11)$$

従って、コンパレータ $CP11$ は電圧 V_{A1} が上昇してもこの新たな電圧 V_{M1} を超えるまでは低電圧信号 V_{L1} としてHレベルを出力し続ける。すなわち、コンパレータ $CP11$ の非反転端子の電圧 V_{M1} を実効的に増加させることにより、電圧 V_{A1} が上昇しても低電圧信号 V_{L1} のレベルが反転しないよう保持するヒステリシス特性を有する。

【0070】

このように、コンパレータ $CP11$ の基準電源の入力端にヒステリシス特性を持たせることによりヒステリシス特性(電圧)が一定し、電源電圧低下時におけるヒステリシス特性変動を防止して安定動作を実現する。

10

【0071】

同様に、低電圧検出部22は、コンパレータ $CP21$ の反転端子に供給されるノード $A2$ の電圧 V_{A2} を監視し、電圧 V_{A2} がコンパレータ $CP21$ の非反転端子の電圧 V_{M1} より低下すると低電圧として検出しHレベルの低電圧信号 V_{L2} を出力する。

【0072】

NAND回路 $NA1$ はレギュレータ回路1, 2の各々の低電圧検出部12, 22の出力する低電圧信号 V_{L1} , V_{L2} を否定論理積演算し、低電圧信号 V_L を出力する。

【0073】

レギュレータ回路1, 2の各々の出力する電源 V_{REG1} , V_{REG2} の電圧 V_{reg1} , V_{reg2} が正常の場合は、低電圧信号 V_{L1} , V_{L2} は両方ともLレベルであり、低電圧信号 V_L としてHレベルを出力する。電圧 V_{reg1} , V_{reg2} のいずれか一方でも低下した場合、すなわち、低電圧信号 V_{L1} , V_{L2} のいずれか一方でもHレベルの場合は、低電圧信号 V_L としてLレベルを出力する。

20

【0074】

このように、本実施の形態のシャントレギュレータ回路は、レギュレータ回路1及び2の起動は、一つの起動用のスイッチ $SW1$ を用いて行うため同時に行われ、起動タイミングのずれ等の不具合が発生しない。

【0075】

また、低電圧検出用の分電圧抵抗をシャントレギュレータの帰還用の抵抗 R_{12} と兼用しているため抵抗数が削減されるとともに、抵抗に流れる電流も低減される。

30

【0076】

さらに、低電圧検出用の分電圧抵抗をシャントレギュレータの帰還用抵抗 R_{12} と兼用しているため、低電圧検出電圧である検出点ノード $A1$, $A2$ の各々の電圧 V_{A1} , V_{A2} は2次電源電圧 V_{reg1} , V_{reg2} のサンプル電圧であるので、抵抗値の相対的なずれが生じてこれら電源電圧 V_{reg1} , V_{reg2} と低電圧検出電圧とが逆転することは起こり得ない。

【0077】

また、さらに、コンパレータ $CP11$ の基準電源の入力端にヒステリシス特性を持たせることにより一定のヒステリシス特性(電圧)が得られ、電圧 V_{reg} 電圧低下時におけるヒステリシス特性の変動を防止して安定動作を実現する。

40

【0078】

次に、本発明の第2の実施の形態を図1と共通の構成要素には共通の参照文字/数字を付して同様に回路図で示す図3を参照すると、この図に示す本実施の形態の前述の第1の実施の形態との相違点は、遮断信号 $OFFB$ の入力を検出し遮断検出信号 SD を出力する遮断信号検出回路3を備え、レギュレータ回路1, 2の代わりに増幅器 $OP11$, $OP21$ の各々の出力端とトランジスタ $Q11$, $Q21$ の各々のベースとの間に挿入され出力端遮断検出信号 SD の供給にตอบสนองして増幅器 $OP11$, $OP21$ の出力を遮断する出力遮断器13, 23をそれぞれ付加したレギュレータ部11A, 21Aをそれぞれ備えるレギュレータ回路1A, 2Aを備えるとともに、2次電源 V_{REG1} , V_{REG2} の各々と接地間に挿入したツェナーダイオード $Z1$, $Z2$ を備えることである。

50

【 0 0 7 9 】

遮断信号検出回路 3 は、ソースを電源 V R E G 2 に接続しゲートに遮断信号 O F F B の供給を受けドレインから遮断検出信号 S D を出力する P チャネル M O S 型のトランジスタ M 3 2 と、ソースを電源 V R E G 2 にゲートをトランジスタ M 3 2 のドレインにそれぞれ接続した P チャネル M O S 型のトランジスタ M 3 1 と、反転入力端をトランジスタ M 3 1 のドレインに非反転入力端に基準電圧 V R E F の供給を受け出力端をトランジスタ M 3 1 のゲート及びトランジスタ M 3 2 のドレインに接続して遮断検出信号 S D を出力するコンパレータ C P 3 1 と、一端を電源 V R E G 2 に他端をトランジスタ M 3 1 のドレインにそれぞれ接続した抵抗 R 3 1 と、一端を抵抗 R 3 1 の他端に他端を接地にそれぞれ接続した抵抗 R 3 2 と、一端を電源 V R E G 2 に他端をトランジスタ M 3 1 のゲートにそれぞれ接続した抵抗 R 3 3 とを備える。

10

【 0 0 8 0 】

出力遮断器 1 3 は、ドレインを増幅器 O P 1 1 の出力端にソースを接地にそれぞれ接続しゲートに遮断検出信号 S D の供給を受ける N チャネル M O S 型のトランジスタ M 1 2 と、ドレインを電源 V R E G 2 にゲートを増幅器 O P 1 1 の出力端にソースをトランジスタ Q 1 1 のベースにそれぞれ接続した N チャネル M O S 型のトランジスタ M 1 3 と、一端をトランジスタ M 1 3 のソースに接続し他端を接地した定電流源 I 1 1 とを備える。

【 0 0 8 1 】

出力遮断器 2 3 は、ドレインを増幅器 O P 2 1 の出力端にソースを接地にそれぞれ接続しゲートに遮断検出信号 S D の供給を受ける N チャネル M O S 型のトランジスタ M 2 2 と、ドレインを電源 V R E G 2 にゲートを増幅器 O P 2 1 の出力端にソースをトランジスタ Q 2 1 のベースにそれぞれ接続した N チャネル M O S 型のトランジスタ M 2 3 と、一端をトランジスタ M 2 3 のソースに他端を接地した定電流源 I 2 1 とを備える。

20

【 0 0 8 2 】

図 3 及び各信号波形をタイムチャートで示す図 4 を参照して本実施の形態の動作について説明する。以下、説明の便宜上、2 つの同一構成のレギュレータ回路 1 A , 2 A のうち、代表としてレギュレータ回路 2 A の動作について説明し、必要がある場合レギュレータ回路 1 A の動作についても説明する。

【 0 0 8 3 】

遮断信号検出回路 3 のコンパレータ C P 3 1 は、起動時における 2 次電源 V R E G 1 , V R E G 2 の立ち上がりを検出するための立ち上がり検出用コンパレータであり、抵抗 R 3 1 , R 3 2 とトランジスタ M 3 1 は 2 次電源 V R E G 2 に付加したヒステリシス回路である。

30

【 0 0 8 4 】

まず、起動時には、立ち上がり検出用のコンパレータ C P 3 1 が 2 次電源 V R E G 2 の電圧 V r e g 2 の立ち上がりを検出するまでレギュレータ部 1 1 A , 2 1 A の帰還を遮断する必要があるため、出力遮断器 1 3 , 2 3 の各々への遮断検出信号 S D をクランプ抵抗 R 3 3 で 2 次電源 V R E G 2 にクランプする。これにより、出力遮断器 1 3 , 2 3 の各々のトランジスタ M 1 2 , M 2 2 を導通させ増幅器 O P 1 1 , O P 2 1 の各々の出力端を接地に短絡することにより、これら増幅器 O P 1 1 , O P 2 1 の出力を遮断している。

40

【 0 0 8 5 】

コンパレータ C P 3 1 のスレッシュホールド (しきい値) 電圧 V T H は、次式で表される。

【 0 0 8 6 】

$$V T H = V R E F \times (1 + R 3 1 / R 3 2) = V r e g 2 \cdot \cdot \cdot \cdot (1 2)$$

従って、起動時には、しきい値電圧 V T H = V r e g 2 となるまで、増幅器 O P 1 1 , O P 2 1 の出力は遮断され電圧制御のための帰還回路は動作しない。

【 0 0 8 7 】

そのため 2 次側電圧が一瞬上昇するので、2 次側電源 V R E G 1 , V R E G 2 の各々にクランプ用のツェナーダイオード Z 1 , Z 2 を接続し、過剰な電圧上昇を抑える。

50

【 0 0 8 8 】

次に、図 4 を再度参照して本実施の形態の遮断信号 OFF B の入力時における遮断動作について説明すると、まず、遮断検出回路 3 は、L レベルの遮断信号 OFF B の供給に応答してトランジスタ M 3 2 が導通し、H レベルの遮断検出信号 S D を出力し、出力遮断器 2 3 , 1 3 に供給する。出力遮断器 2 3 , 1 3 のトランジスタ M 2 2 , M 1 2 は遮断検出信号 S D の H レベルに応じて導通するとともにトランジスタ M 2 3 , M 1 3 は遮断状態となり、トランジスタ増幅器 O P 2 1 , O P 1 1 の出力を遮断する。その結果、2 次側電源 V R E G 2 , V R E G 1 の電圧 V R e g 2 , V r e g 1 は下降し始める。

【 0 0 8 9 】

電圧 V R e g 2 , V r e g 1 が低下し低電圧検出部 2 2 , 1 2 の低電圧検出電圧以下になると、低電圧検出部 2 2 , 1 2 の各々のコンパレータ C P 2 1 , C P 1 1 が動作して各々の低電圧信号 V L 2 , V L 1 が H レベルとなり、その結果総合の低電圧信号 V L は H レベルから L レベルに変化する。

10

【 0 0 9 0 】

この時点で、シャントレギュレータ回路全体は初期状態になり、遮断信号 OFF B を H レベルに反転すると、遮断状態は解除される。しかし、上記のように、立ち上がり検出用のコンパレータ C P 3 1 は、しきい値電圧 V T H を電圧 V r e g 2 に設定しているため、このコンパレータ C P 3 1 は、電源 V R E G 2 が電圧 V r e g 2 に達するまでの立ち上がり期間の間は立ち上がり状態を検出せず、遮断信号 S D として H レベルを出力している。従って、出力遮断器 2 3 , 1 3 は増幅器 O P 2 1 , O P 1 1 の出力遮断を継続するため 2 次

20

電源 V R E G 2 , V R E G 1 の電圧 V r e g 2 , V r e g 1 は上昇せず、遮断状態を保持する。

【 0 0 9 1 】

遮断検出回路のトランジスタ M 3 1 は、遮断信号 OFF B が H レベルに反転したとき導通し抵抗 R 3 1 を短絡する。このため、この時点でコンパレータ C P 3 1 のしきい値電圧 V T H は基準電圧 V R E F に設定される。

【 0 0 9 2 】

ここで、もし、コンパレータ C P 3 1 のしきい値電圧 V T H が低く設定されている場合に、シャントレギュレータ回路が初期状態になり、この状態で遮断が解除された時は、コンパレータ C P 3 1 は立ち上がり状態を認識し、出力は破線で示すように L レベルを出力する。起動状態になると増幅器 O P 2 1 , O P 1 1 の出力信号がトランジスタ Q 2 1 , Q 1 1 に供給されるため電圧制御用の帰還回路が動作し、電圧 V r e g 2 , V r e g 1 は破線のように再び起動するという不安定動作を行う。

30

【 0 0 9 3 】

本実施の形態では、上述のように、コンパレータ C P 3 1 のしきい値電圧 V T H を起動時には $V T H = V r e g 2$ に設定して、2 次電圧 V r e g 2 が V T H を超えるまで帰還回路を動作させず、起動後は、しきい値電圧 V T H を基準電圧 V R E F まで引き下げることにより、シャントレギュレータ回路は 2 次電圧 V r e g 2 が一度立ち上がると安定に動作する。

【 0 0 9 4 】

L レベルの遮断信号 OFF B が入力され遮断状態になれば、トランジスタ M 3 1 は遮断し、コンパレータ C P 3 1 のしきい値電圧 V T H は電圧 V r e g 2 に上昇するため、遮断信号が不安定になっても再起動しない。

40

【 0 0 9 5 】

次に、データバックアップ用の R A M を有する L S I のシャントレギュレータ回路に適用する本発明の第 3 の実施の形態を図 3 と共通の構成要素には共通の参照文字 / 数字を付して同様に回路図で示す図 5 を参照すると、この図に示す本実施の形態の前述の第 2 の実施の形態との相違点は、このシャントレギュレータ回路を持つ L S I のデータバックアップ用の R A M の電源を、生成したりセット信号 R B とバックアップ解除信号 B R に基づき外部のバックアップ電源から電源 V R E G 1 に切り換えるためのバックアップ切替信号 B U

50

Bを出力するバックアップ切換回路4を備えるとともに、その外部回路としてリセット信号RBとバックアップ解除信号BRを生成するためのそれぞれの一端を電源VREG1に接続した抵抗R1、R2と、それぞれの一端を抵抗R1、R2の各々の他端に接続しそれぞれ他端を接地に接続したコンデンサC1、C2と、NAND回路NA1の出力端に低電圧信号VLのバッファリング用のバッファB1とを備えることである。抵抗R1とコンデンサC1との共通接続点はリセット信号RBを、抵抗R2とコンデンサC2との共通接続点はバックアップ解除信号BRをそれぞれ生成する。

【0096】

バックアップ切換回路4は、入力端を抵抗R1の他端に接続したインバータI41と、ドレインを抵抗R2の他端にゲートをインバータI1の出力端にソースを接地にそれぞれ接続したNチャンネルMOS型のトランジスタM41と、一方の入力端をNAND回路NA1の出力端に他方の入力端をトランジスタM41のドレインにそれぞれ接続し出力端からバックアップ切換信号BUBを出力するAND回路A41とを備える。

10

【0097】

一般に、この種のシャントレギュレータ回路を含むLSI(以下システム)のデータバックアップ用のRAMは、まず、バックアップ切換信号により、シャントレギュレータ回路の起動時は外部のバックアップ用電源を用いて動作し、シャントレギュレータ回路が立ち上がって2次電源が安定してからバックアップ切換信号を解除してバックアップ用電源からシャントレギュレータ回路の2次電源に切り換える。

【0098】

バックアップ切換信号の論理レベルを低電圧信号と同一にすると、システムのリセットの解除と同期してバックアップ切換信号も解除されるため、データバックアップ用RAMの電源が不安定となりデータが保持されなくなる。

20

【0099】

本実施の形態では、独立したリセット信号RBとバックアップ解除信号BRを設定し、外付け素子である抵抗R1、コンデンサC1及び抵抗R2、コンデンサC2の各々の時定数でもってこれらリセット信号RB及びバックアップ解除信号信号BRが動作する。

【0100】

ここで、バックアップ解除信号BRは、リセット信号RBの解除後に充電されるように設定している。

30

【0101】

AND回路A41はバックアップ解除信号BRと低電圧信号VLとを入力しそれらの論理積演算(AND)を行いバックアップ切換信号BUBを出力する。

【0102】

また、バッファB1は、バックアップ切換信号BUBと低電圧信号VLの同期をとるためのものである。

【0103】

図5及び各信号波形をタイムチャートで示す図6を参照して本実施の形態の動作について説明すると、まず、起動時は、コンデンサC1に抵抗R1を経由して電圧Vreg1が充電されリセット信号RBの電圧が上昇し、リセット信号RBがI点の電圧に達するとリセットが解除される。

40

【0104】

リセットが解除されるとバックアップ解除信号BRは抵抗R2を経由してコンデンサC2によって充電される。

【0105】

2次電圧Vreg1/Vreg2が上昇し、H点の電圧に到達すると、低電圧信号VLは、Hレベルに遷移する。

【0106】

一方、バックアップ解除信号BRが上昇し、J点の電圧に達すると、低電圧信号VLとのANDによりバックアップ切換信号BUBがHレベルに遷移する。

50

【 0 1 0 7 】

低電圧検出部 1 2 , 2 2 での低電圧検出時は、低電圧信号 V L と同時にバックアップ切換信号 B U B は遮断される。

【 0 1 0 8 】

したがって、起動時は、レギュレータ部 1 1 , 2 1 の 2 次電源 V R E G 1 , V R E G 2 が完全に立ち上がってからバックアップ用の R A M の電源をバックアップ電源から 2 次電源 V R E G 1 , V R E G 2 に切換える。

【 0 1 0 9 】

また、低電圧検出時は、2 次電源 V R E G 1 , V R E G 2 が立ち下がる前にバックアップ電源に切換える。

10

【 0 1 1 0 】

これにより、データバックアップ用 R A M の電源が安定に供給される。

【 0 1 1 1 】

【 発明の効果 】

以上説明したように、本発明のシャントレギュレータ回路は、第 1 及び第 2 のレギュレータ部の各々の電圧制御用の帰還回路の一部を構成し 2 次電圧を予め定めた第 1 の電圧に分圧するための帰還用抵抗と低電圧信号検出部への入力電圧生成のため 2 次電圧を分圧するための分電圧抵抗とを兼用することにより、抵抗数及び抵抗に流れる電流を低減するとともに、低電圧検出電圧は 2 次電源電圧のサンプル電圧そのものであるため、抵抗値の相対的なずれが生じてこれら電源電圧と低電圧検出電圧とが逆転することは起こり得ないという効果がある。

20

【 0 1 1 2 】

また、第 1 及び第 2 のレギュレータ部の各々を同時に起動するための 1 つの起動用スイッチを備えることにより、複数のレギュレータ回路の起動は、一つの起動用のスイッチを用いて行うため同時に行われことにより、起動タイミングのずれ等の不具合が発生しないという効果がある。

【 0 1 1 3 】

またさらに、コンパレータの基準電源の入力端にヒステリシス特性付加回路を備えることにより一定のヒステリシス特性（電圧）が得られ、出力電圧の低下時におけるヒステリシス特性の変動を防止して安定動作が実現できるという効果がある。

30

【 図面の簡単な説明 】

【 図 1 】 本発明のシャントレギュレータ回路の第 1 の実施の形態を示す回路図である。

【 図 2 】 本実施の形態のシャントレギュレータ回路における動作の一例を示すタイムチャートである。

【 図 3 】 本発明のシャントレギュレータ回路の第 2 の実施の形態を示す回路図である。

【 図 4 】 本実施の形態のシャントレギュレータ回路における動作の一例を示すタイムチャートである。

【 図 5 】 本発明のシャントレギュレータ回路の第 3 の実施の形態を示す回路図である。

【 図 6 】 本実施の形態のシャントレギュレータ回路における動作の一例を示すタイムチャートである。

40

【 図 7 】 従来の第 1 のシャントレギュレータ回路の一例を示す回路図である。

【 図 8 】 従来の第 2 のシャントレギュレータ回路の一例を示す回路図である。

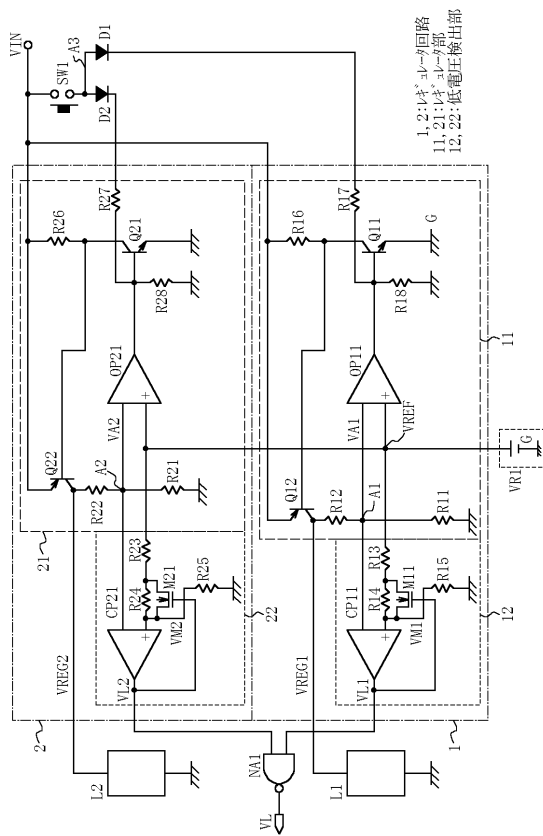
【 符号の説明 】

- 1 , 2 レギュレータ回路
- 3 遮断信号検出回路
- 4 バックアップ切換回路
- 1 1 , 2 1 , 1 0 1 , 1 0 1 A レギュレータ部
- 1 2 , 2 2 , 1 0 2 低電圧検出部
- A 4 1 A N D 回路
- B 1 バッファ

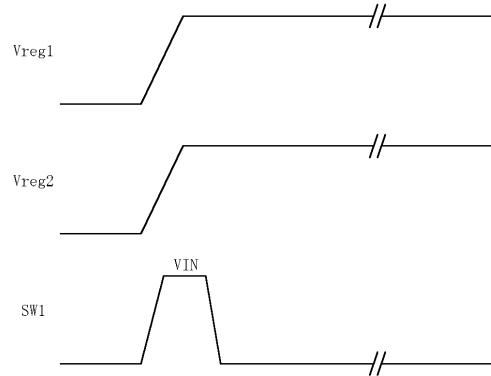
50

- C 1 , C 2 コンデンサ
- C P 1 1 , C P 2 1 , C P 3 1 コンパレータ
- D 1 , D 2 ダイオード
- I 4 1 インバータ
- L 1 , L 2 負荷
- N A 1 NAND回路
- O P 1 1 , O P 1 0 1 増幅器
- M 1 1 , M 1 2 , M 1 3 , M 2 1 , M 2 2 , M 2 3 , M 3 1 , M 3 2 , M 4 1 , Q 1 1 , Q 1 2 , Q 2 1 , Q 2 2 トランジスタ
- R 1 , R 2 , R 1 1 , R 1 2 , R 1 3 , R 1 4 , R 1 5 , R 1 6 , R 1 7 , R 1 8 , R 2 1 , R 2 2 , R 2 3 , R 2 4 , R 2 5 , R 2 6 , R 2 7 , R 2 8 , R 3 1 , R 3 2 , R 3 3 抵抗
- V R 1 基準電圧回路
- Z 1 , Z 2 ツェナーダイオード

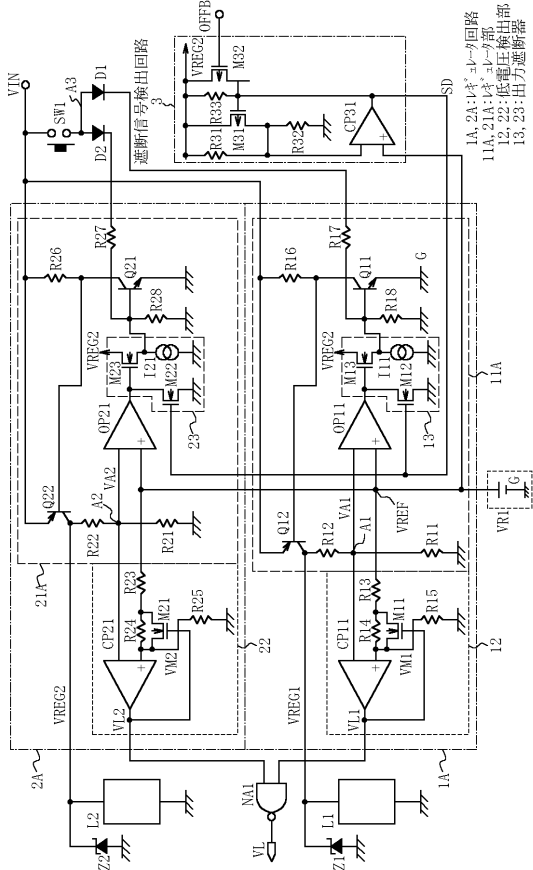
【 図 1 】



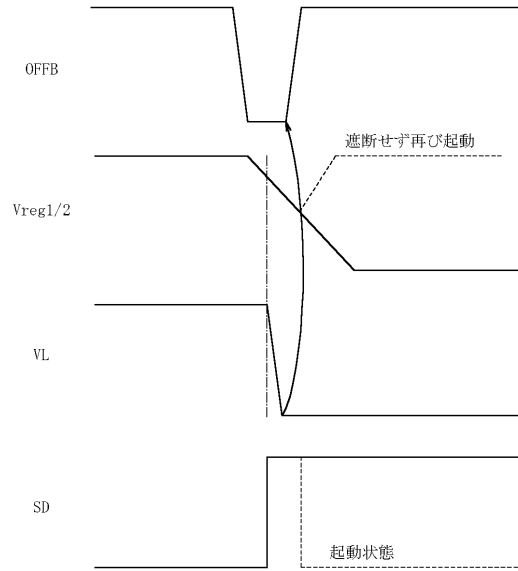
【 図 2 】



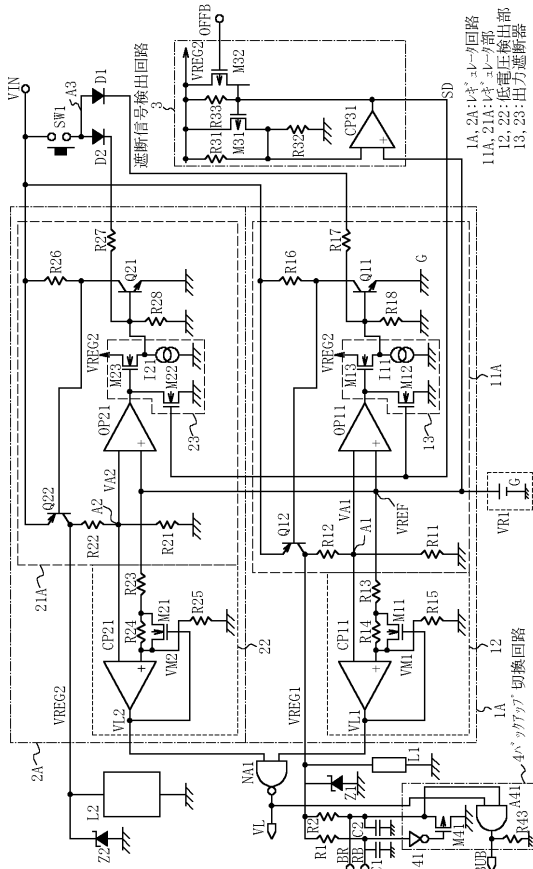
【 図 3 】



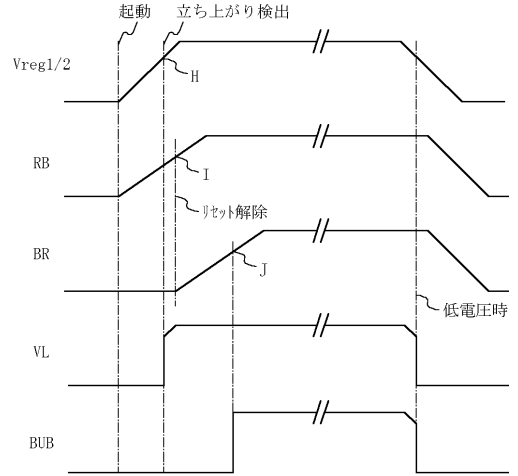
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

審査官 櫻田 正紀

- (56)参考文献 実開昭59-058819(JP,U)
特開平08-297515(JP,A)
特開平11-089098(JP,A)
特開平10-320081(JP,A)
実開平01-147639(JP,U)

(58)調査した分野(Int.Cl.⁷, DB名)

IPC第7版

G05F 1/445,1/56,1/613,1/618

G06F 1/00