



(12)发明专利

(10)授权公告号 CN 106055007 B

(45)授权公告日 2017.08.25

(21)申请号 201610423338.7

审查员 叶盛

(22)申请日 2016.06.15

(65)同一申请的已公布的文献号

申请公布号 CN 106055007 A

(43)申请公布日 2016.10.26

(73)专利权人 西安电子科技大学

地址 710000 陕西省西安市太白南路2号西
安电子科技大学

(72)发明人 刘帘曦 廖栩锋 宋宇 沐俊超

朱樟明 杨银堂

(74)专利代理机构 西安智萃知识产权代理有限

公司 61221

代理人 刘长春

(51)Int.Cl.

G05F 1/565(2006.01)

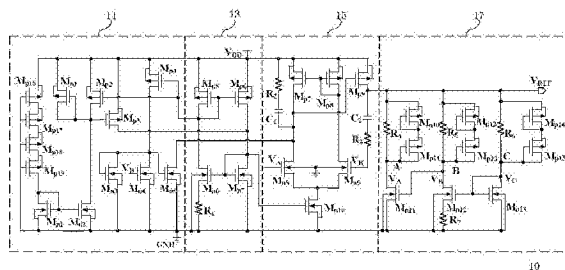
权利要求书2页 说明书9页 附图4页

(54)发明名称

一种具有失调抑制与温度补偿的亚阈值
CMOS基准电压源电路

(57)摘要

本发明涉及一种具有失调抑制和温度补偿的亚阈值CMOS基准电压源电路。该亚阈值CMOS基准电压源电路包括启动电路11、电流偏置电路13、箝位运放电路15、基准源核心电路17、电压源V_{DD}、接地端GND及输出端V_{REF}，其中，在基准源核心电路17中通过使用伪串联晶体管与电阻并联的结构，利用伪串联晶体管的负温度特性对基准电压源输出进行温度曲率补偿。即采用失调按比例缩小技术的亚阈值CMOS基准电压源电路能有效地减小运放失调电压对基准电压的影响。



1. 一种具有失调抑制和温度补偿的亚阈值CMOS基准电压源电路(10),包括启动电路(11)、电流偏置电路(13),箝位运放电路(15)、基准源核心电路(17)、电压源(V_{DD})、接地端(GND)及输出端(V_{REF}),所述启动电路(11)、所述电流偏置电路(13),所述箝位运放电路(15)及基准源核心电路(17)依次串行连接,其特征在于:

所述基准源核心电路(17)包括第四电阻(R_4)、第五电阻(R_5)、第六电阻(R_6)、第七电阻(R_7)、第十PMOS管(M_{P10})、第十一PMOS管(M_{P11})、第十二PMOS管(M_{P12})、第十三PMOS管(M_{P13})、第十四PMOS管(M_{P14})、第十五PMOS管(M_{P15})、第十一NMOS管(M_{N11})、第十二NMOS管(M_{N12})及第十三NMOS管(M_{N13});

其中,所述第四电阻(R_4)与所述第十一NMOS管(M_{N11}),所述第五电阻(R_5)、所述第十二NMOS管(M_{N12})与所述第七电阻(R_7),所述第六电阻(R_6)与所述第十三NMOS管(M_{N13})分别串接后并接于所述输出端(V_{REF})与所述接地端(GND)之间;所述第十一NMOS管(M_{N11})的控制端电连接至所述第五电阻(R_5)与所述第十二NMOS管(M_{N12})串接形成的节点(B)处;所述第十二NMOS管(M_{N12})的控制端与所述第十三NMOS管(M_{N13})的控制端均电连接至所述第六电阻(R_6)与所述第十三NMOS管(M_{N13})串接形成的第三节点(C)处;

所述第十PMOS管(M_{P10})与所述第十一PMOS管(M_{P11})串接后并接于所述第四电阻(R_4)的两端,且所述第十PMOS管(M_{P10})的控制端电连接至所述第十PMOS管(M_{P10})与所述第十一PMOS管(M_{P11})串接形成的节点处,所述第十一PMOS管(M_{P11})的控制端电连接至所述第四电阻(R_4)和所述第十一NMOS管(M_{N11})串接形成的第一节点(A)处;

所述第十二PMOS管(M_{P12})与所述第十三PMOS管(M_{P13})串接后并接于所述第五电阻(R_5)的两端,且所述第十二PMOS管(M_{P12})的控制端电连接至所述第十二PMOS管(M_{P12})与所述第十三PMOS管(M_{P13})串接形成的节点处,所述第十三PMOS管(M_{P13})的控制端电连接至所述第五电阻(R_5)和所述第十二NMOS管(M_{N12})串接形成的第二节点(B)处;

所述第十四PMOS管(M_{P14})与所述第十五PMOS管(M_{P15})串接后并接于所述第六电阻(R_6)的两端,且所述第十四PMOS管(M_{P14})的控制端电连接至所述第十四PMOS管(M_{P14})与所述第十五PMOS管(M_{P15})串接形成的节点处,所述第十五PMOS管(M_{P15})的控制端电连接至所述第六电阻(R_6)和所述第十三NMOS管(M_{N13})串接形成的第三节点(C)处。

2. 如权利要求1所述的基准电压源电路(10),其特征在于,所述启动电路(11)包括第一PMOS管(M_{p1})、第二PMOS管(M_{p2})、第三PMOS管(M_{p3})、第四PMOS管(M_{p4})、第十六PMOS管(M_{p16})、第十七PMOS管(M_{p17})、第十八PMOS管(M_{p18})、第十九PMOS管(M_{p19})、第一NMOS管(M_{n1})、第二NMOS管(M_{n2})、第三NMOS管(M_{n3})、第四NMOS管(M_{n4})、第五NMOS管(M_{n5});

其中,所述第十六PMOS管(M_{p16})、所述第十七PMOS管(M_{p17})、所述第十八PMOS管(M_{p18})及所述第十九PMOS管(M_{p19})和所述第一NMOS管(M_{n1})串接于所述电压源(V_{DD})和所述接地端(GND)之间,且所述第十六PMOS管(M_{p16})、所述第十七PMOS管(M_{p17})、所述第十八PMOS管(M_{p18})和所述第十九PMOS管(M_{p19})的控制端串接后电连接至所述接地端(GND);所述第一PMOS管(M_{p1})与所述第二PMOS管(M_{p2})并接后与所述第二NMOS管(M_{n2})串接于所述电压源(V_{DD})和所述接地端(GND)之间,所述第一PMOS管(M_{p1})的控制端电连接至所述第二PMOS管(M_{p2})与所述第二NMOS管(M_{n2})串接形成的节点处,所述第二PMOS管(M_{p2})的控制端电连接至所述第四PMOS管(M_{p4})的控制端,所述第一NMOS管(M_{n1})的控制端与所述第二NMOS管(M_{n2})的控制端均电连接至所述第十九PMOS管(M_{p19})和所述第一NMOS管(M_{n1})串接形成的节点处;所述第三PMOS管

(M_{p3})电连接至所述电压源(V_{DD})与所述电流偏置电路(13)之间且其控制端电连接至所述第二PMOS管(M_{p2})与所述第二NMOS管(M_{n2})串接形成的节点处;所述第三NMOS管(M_{n3})与所述第四NMOS管(M_{n4})并接后与所述第四PMOS管(M_{p4})串接于所述接地端(GND)与所述电压源(V_{DD})之间,所述第三NMOS管(M_{n3})的控制端电连接至所述第四NMOS管(M_{n4})与所述第四PMOS管(M_{p4})串接形成的节点处,所述第四NMOS管(M_{n4})的控制端电连接第二节点(B)处;所述第五NMOS管(M_{n5})电连接至所述箝位运放电路(15)与所述接地端(GND)之间且其控制端电连接至所述第四NMOS管(M_{n4})与所述第四PMOS管(M_{p4})串接形成的节点处。

3.如权利要求2所述的基准电压源电路(10),其特征在于,所述电流偏置电路(13)包括第五PMOS管(M_{p5})、第六PMOS管(M_{p6})、第六NMOS管(M_{n6})、第七NMOS管(M_{n7})和第一电阻(R₁);

其中,所述第五PMOS管(M_{p5})、所述第六NMOS管(M_{n6})和所述第一电阻(R₁),所述第六PMOS管(M_{p6})和所述第七NMOS管(M_{n7})分别串接后电连接至所述电压源(V_{DD})和所述接地端(GND)之间;所述第五PMOS管(M_{p5})的控制端与所述第六PMOS管(M_{p6})的控制端均电连接至所述第五PMOS管(M_{p5})和所述第六NMOS管(M_{n6})串接后形成的节点处且进一步电连接至所述第四PMOS管(M_{p4})的控制端;所述第六NMOS管(M_{n6})和所述第七NMOS管(M_{n7})的控制端均电连接至所述第六PMOS管(M_{p6})与所述第七NMOS管(M_{n7})串接形成的节点处。

4.如权利要求3所述的基准电压源电路(10),其特征在于,所述箝位运放电路(15)包括第二电阻(R₂)、第一电容(C₁)、第七PMOS管(M_{p7})、第八PMOS管(M_{p8})、第九PMOS管(M_{p9})、第二电容(C₂)、第三电阻(R₃)、第八NMOS管(M_{n8})、第九NMOS管(M_{n9})和第十NMOS管(M_{n10});

其中,所述第七PMOS管(M_{p7})与所述第八NMOS管(M_{n8})、所述第八PMOS管(M_{p8})与所述第九NMOS管(M_{n9})分别串接后并接于所述电压源(V_{DD})和所述第十NMOS管(M_{n10})的一端之间,且所述第十NMOS管(M_{n10})的另一端电连接至所述接地端(GND);所述第七PMOS管(M_{p7})的控制端与所述第八PMOS管(M_{p8})的控制端分别电连接至所述第八PMOS管(M_{p8})与所述第九NMOS管(M_{n9})串接后形成的节点处,所述第八NMOS管(M_{n8})的控制端电连接第一节点(A)处,所述第十NMOS管(M_{n10})的控制端电连接至所述第六PMOS管(M_{p6})与所述第七NMOS管(M_{n7})串接形成的节点处;所述第二电阻(R₂)与所述第一电容(C₁)串接后并接于所述第七PMOS管(M_{p7})的两端;所述第九PMOS管(M_{p9})、所述第二电容(C₂)及所述第三电阻(R₃)串接后电连接至所述电压源(V_{DD})和所述第九NMOS管(M_{n9})的控制端之间,且所述第九PMOS管(M_{p9})的控制端电连接至第七PMOS管(M_{p7})与所述第八NMOS管(M_{n8})串接形成的节点处;所述输出端(V_{REF})电连接至所述第九PMOS管(M_{p9})与所述第二电容(C₂)串接形成的节点处。

一种具有失调抑制与温度补偿的亚阈值CMOS基准电压源电路

技术领域

[0001] 本发明涉及模拟集成电路技术领域,特别涉及一种具有温度补偿的亚阈值CMOS基准电压源电路。

背景技术

[0002] 如今以无线体域网(Wireless Body Area Network,简称WBAN)、能量获取技术为代表的低压低功耗应用受到了越来越多的关注。在这些应用中,需要基准源尽可能满足低电源电压,低功耗、小尺寸以及高精度的要求。传统的CMOS带隙基准源虽然精度较高,但BE结需要正向偏置,因此电源电压要在1V左右。为了满足低电源电压的应用要求,亚阈值MOS的基准源的设计得到了发展。

[0003] 然而,亚阈值MOS在应用中存在以下两个比较严重的问题:

[0004] 第一、温度系数较高。亚阈值MOS产生基准电压的原理与双极结型晶体管(Bipolar Junction Transistor,简称BJT)类似。利用阈值电压 V_{th} 的负温度系数和两个亚阈值MOS的栅源电压之差 ΔV_{GS} 的正温度系数可以获得零温度系数。但 V_{th} 高阶项的值远大于 V_{BE} 的高阶项,因此亚阈值MOS的温度系数往往较高,在几十ppm/ $^{\circ}C$ 。所以,为了进一步降低温度系数,需要考虑高阶项的影响,进行曲率补偿。

[0005] 第二、由于MOS管的失配,箝位电路存在失调。请参见图1,图1为现有技术的一种亚阈值MOS基准源的电路结构示意图。箝位电路的失调会使基准源的 ΔV_{GS} 或PTAT(Proportional To Absolute Temperature)电流出现偏差。更进一步的,箝位电路的失调会被电阻的比例放大进而影响基准电压的精度。

[0006] 针对失调的消除,第一种方法是增加MOS器件尺寸,但抑制失调的效果有限,且是以牺牲面积为代价。第二种方法是采用斩波技术来消除失调。然后,斩波技术虽然可以减小运放失调,从而使得基准电压的偏差降低,但斩波技术需要额外的时钟产生电路和滤波电路,增大了芯片面积和功耗。因此,如何设计一种失调抑制的基准电压源就变得及其重要。

发明内容

[0007] 因此,为解决现有技术存在的技术缺陷和不足,本发明提出一种具有失调抑制与温度补偿的亚阈值CMOS基准电压源电路。

[0008] 本发明从降低温度系数和抑制失调出发,提出了一种失调抑制与曲率补偿的亚阈值CMOS实现的基准电压源。该基准电压源在较低的电源电压下工作,实现了低功耗。失调抑制与曲率补偿使得基准电压源实现了高精度。

[0009] 具体地,本发明一个实施例提出的一种具有失调抑制与温度补偿的亚阈值CMOS基准电压源电路10,包括启动电路11、电流偏置电路13,箝位运放电路15、基准源核心电路17、电压源 V_{DD} 、接地端GND及输出端 V_{REF} ,其中:

[0010] 所述基准源核心电路17包括第四电阻 R_4 、第五电阻 R_5 、第六电阻 R_6 、第七电阻 R_7 、第十PMOS管 M_{P10} 、第十一PMOS管 M_{P11} 、第十二PMOS管 M_{P12} 、第十三PMOS管 M_{P13} 、第十四PMOS管 M_{P14} 、

第十五PMOS管 M_{P15} 、第十一NMOS管 M_{N11} 、第十二NMOS管 M_{N12} 及第十三NMOS管 M_{N13} ;

[0011] 其中,所述第四电阻 R_4 与所述第十一NMOS管 M_{N11} ,所述第五电阻 R_5 、所述第十二NMOS管 M_{N12} 与所述第七电阻 R_7 ,所述第六电阻 R_6 与所述第十三NMOS管 M_{N13} 分别串联后并接于所述输出端 V_{REF} 与所述接地端GND之间;所述第十一NMOS管 M_{N11} 的控制端电连接至所述第五电阻 R_5 与所述第十二NMOS管 M_{N12} 串联形成的节点B处;所述第十二NMOS管 M_{N12} 的控制端与所述第十三NMOS管 M_{N13} 的控制端均电连接至所述第六电阻 R_6 与所述第十三NMOS管 M_{N13} 串联形成的节点C处;

[0012] 所述第十PMOS管 M_{P10} 与所述第十一PMOS管 M_{P11} 串联后并接于所述第四电阻 R_4 的两端,且所述第十PMOS管 M_{P10} 的控制端电连接至所述第十PMOS管 M_{P10} 与所述第十一PMOS管 M_{P11} 串联形成的节点处,所述第十一PMOS管 M_{P11} 的控制端电连接至所述第四电阻 R_4 和所述第十一NMOS管 M_{N11} 串联形成的节点A处;

[0013] 所述第十二PMOS管 M_{P12} 与所述第十三PMOS管 M_{P13} 串联后并接于所述第五电阻 R_5 的两端,且所述第十二PMOS管 M_{P12} 的控制端电连接至所述第十二PMOS管 M_{P12} 与所述第十三PMOS管 M_{P13} 串联形成的节点处,所述第十三PMOS管 M_{P13} 的控制端电连接至所述第五电阻 R_5 和所述第十二NMOS管 M_{N12} 串联形成的节点B处;

[0014] 所述第十四PMOS管 M_{P14} 与所述第十五PMOS管 M_{P15} 串联后并接于所述第六电阻 R_6 的两端,且所述第十四PMOS管 M_{P14} 的控制端电连接至所述第十四PMOS管 M_{P14} 与所述第十五PMOS管 M_{P15} 串联形成的节点处,所述第十五PMOS管 M_{P15} 的控制端电连接至所述第六电阻 R_6 和所述第十三NMOS管 M_{N13} 串联形成的节点C处。

[0015] 在本发明的一个实施例中,所述启动电路11包括第一PMOS管 M_{p1} 、第二PMOS管 M_{p2} 、第三PMOS管 M_{p3} 、第四PMOS管 M_{p4} 、第十六PMOS管 M_{p16} 、第十七PMOS管 M_{p17} 、第十八PMOS管 M_{p18} 、第十九PMOS管 M_{p19} 、第一NMOS管 M_{n1} 、第二NMOS管 M_{n2} 、第三NMOS管 M_{n3} 、第四NMOS管 M_{n4} 、第五NMOS管 M_{n5} ;

[0016] 其中,所述第十六PMOS管 M_{p16} 、所述第十七PMOS管 M_{p17} 、所述第十八PMOS管 M_{p18} 及所述第十九PMOS管 M_{p19} 和所述第一NMOS管 M_{n1} 串接于所述电压源 V_{DD} 和所述接地端GND之间,且所述第十六PMOS管 M_{p16} 、所述第十七PMOS管 M_{p17} 、所述第十八PMOS管 M_{p18} 和所述第十九PMOS管 M_{p19} 的控制端串接后电连接至所述接地端GND;所述第一PMOS管 M_{p1} 与所述第二PMOS管 M_{p2} 并接后与所述第二NMOS管 M_{n2} 串接于所述电压源 V_{DD} 和所述接地端GND之间,所述第一PMOS管 M_{p1} 的控制端电连接至所述第二PMOS管 M_{p2} 与所述第二NMOS管 M_{n2} 串接形成的节点处,所述第二PMOS管 M_{p2} 的控制端电连接至所述第四PMOS管 M_{p4} 的控制端,所述第一NMOS管 M_{n1} 的控制端与所述第二NMOS管 M_{n2} 的控制端均电连接至所述第十九PMOS管 M_{p19} 和所述第一NMOS管 M_{n1} 串接形成的节点处;所述第三PMOS管 M_{p3} 电连接至所述电压源 V_{DD} 与所述电流偏置电路13之间且其控制端电连接至所述第二PMOS管 M_{p2} 与所述第二NMOS管 M_{n2} 串接形成的节点处;所述第三NMOS管 M_{n3} 与所述第四NMOS管 M_{n4} 并接后与所述第四PMOS管 M_{p4} 串接于所述接地端GND与所述电压源 V_{DD} 之间,所述第三NMOS管 M_{n3} 的控制端电连接至所述第四NMOS管 M_{n4} 与所述四PMOS管 M_{p4} 串接形成的节点处,所述第四NMOS管 M_{n4} 的控制端电连接第二节点B处;所述第五NMOS管 M_{n5} 电连接至所述箝位运放电路15与所述接地端GND之间且其控制端电连接至所述第四NMOS管 M_{n4} 与所述四PMOS管 M_{p4} 串接形成的节点处。

[0017] 在本发明的一个实施例中,所述电流偏置电路13包括第五PMOS管 M_{p5} 、第六PMOS管

M_{p6} 、第六NMOS管 M_{n6} 、第七NMOS管 M_{p6} 和第一电阻 R_1 ；

[0018] 其中，所述第五PMOS管 M_{p5} 、所述第六NMOS管 M_{n6} 和所述第一电阻 R_1 ，所述第六PMOS管 M_{p6} 和所述第七NMOS管 M_{n7} 分别串接后电连接至所述电压源 V_{DD} 和所述接地端GND之间；所述第五PMOS管 M_{p5} 的控制端与所述第六PMOS管 M_{p6} 的控制端均电连接至所述第五PMOS管 M_{p5} 和所述第六NMOS管 M_{n6} 串接后形成的节点处且进一步电连接至所述第四PMOS管 M_{p4} 的控制端；所述第六NMOS管 M_{n6} 和所述第七NMOS管 M_{n7} 的控制端均电连接至所述第六PMOS管 M_{p6} 与所述第七NMOS管 M_{n7} 串接形成的节点处。

[0019] 在本发明的一个实施例中，所述箝位运放电路15包括第二电阻 R_2 、第一电容 C_1 、第七PMOS管 M_{p7} 、第八PMOS管 M_{p8} 、第九PMOS管 M_{p9} 、第二电容 C_2 、第三电阻 R_3 、第八NMOS管 M_{n8} 、第九NMOS管 M_{n9} 和第十NMOS管 M_{n10} ；

[0020] 其中，所述第七PMOS管 M_{p7} 与所述第八NMOS管 M_{n8} 、所述第八PMOS管 M_{p8} 与所述第九NMOS管 M_{n9} 分别串接后并接于所述电压源 V_{DD} 和所述第十NMOS管 M_{n10} 的一端之间，且所述第十NMOS管 M_{n10} 的另一端电连接至所述接地端GND；所述第七PMOS管 M_{p7} 的控制端与所述第八PMOS管 M_{p8} 的控制端分别电连接至所述第八PMOS管 M_{p8} 与所述第九NMOS管 M_{n9} 串接后形成的节点处，所述第八NMOS管 M_{n8} 的控制端电连接第一节点A处，所述第十NMOS管 M_{n10} 的控制端电连接至所述第六PMOS管 M_{p6} 与所述第七NMOS管 M_{n7} 串接形成的节点处；所述第二电阻 R_2 与所述第一电容 C_1 串接后并接于所述第七PMOS管 M_{p7} 的两端；所述第九PMOS管 M_{p9} 、所述第二电容 C_2 及所述第三电阻 R_3 串接后电连接至所述电压源 V_{DD} 和所述第九NMOS管 M_{n9} 的控制端之间，且所述第九PMOS管 M_{p9} 的控制端电连接至第七PMOS管 M_{p7} 与所述第八NMOS管 M_{n8} 串接形成的节点处；所述输出端 V_{REF} 电连接至所述第九PMOS管 M_{p9} 与所述第二电容 C_2 串接形成的节点处。

[0021] 本发明实施例，通过使用伪串联晶体管 M_{p10} 和 M_{p11} 、 M_{p12} 和 M_{p13} 、 M_{p14} 和 M_{p15} 与电阻 R_4 、 R_5 、 R_6 并联的结构，利用伪串联晶体管的负温度特性对基准电压源输出进行曲率补偿，在 $-25^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 范围内，可以优化基准电压源的温度系数。该基准源采用一种失调按比例缩小技术，将运放失调搬移到对基准电压影响较小的节点，在不牺牲芯片面积与功耗的前提下，有效地抑制失调。

[0022] 通过以下参考附图的详细说明，本发明的其它方面和特征变得明显。但是应当知道，该附图仅仅为解释的目的设计，而不是作为本发明的范围的限定，这是因为其应当参考附加的权利要求。还应当知道，除非另外指出，不必要依比例绘制附图，它们仅仅力图概念地说明此处描述的结构和流程。

附图说明

[0023] 下面将结合附图，对本发明的具体实施方式进行详细的说明。

[0024] 图1为现有技术的一种具有失调抑制与温度补偿的亚阈值MOS基准源电路的电路结构示意图；

[0025] 图2为本发明实施例的一种具有失调抑制与温度补偿的亚阈值CMOS基准电压源电路的电路结构示意图；

[0026] 图3为本发明实施例的箝位运放电路存在输入失调电压 V_{OS} 的传统基准电压源电路图；

[0027] 图4为本发明实施例的一种具有失调抑制与温度补偿的亚阈值CMOS基准电压源电

路中对 V_{REF} 进行蒙特卡洛分析的仿真波形图；

[0028] 图5为本发明实施例的一种具有失调抑制与温度补偿的亚阈值CMOS基准电压源电路输出电压在25℃时随电源电压变化的仿真波形图。

具体实施方式

[0029] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0030] 实施例一

[0031] 请参见图2，图2为本发明实施例的一种具有失调抑制与温度补偿的亚阈值CMOS基准电压源电路的电路结构示意图。本发明的亚阈值CMOS基准电压源电路可以广泛地应用于数字、模拟、混合集成电路设计领域，如：电源管理芯片等芯片。该亚阈值CMOS基准电压源电路包括启动电路11、电流偏置电路13，箝位运放电路15、基准源核心电路17、电压源 V_{DD} 、接地端GND及输出端 V_{REF} 。具体地：

[0032] 所述基准源核心电路17包括第四电阻 R_4 、第五电阻 R_5 、第六电阻 R_6 、第七电阻 R_7 、第十PMOS管 M_{P10} 、第十一PMOS管 M_{P11} 、第十二PMOS管 M_{P12} 、第十三PMOS管 M_{P13} 、第十四PMOS管 M_{P14} 、第十五PMOS管 M_{P15} 、第十一NMOS管 M_{N11} 、第十二NMOS管 M_{N12} 及第十三NMOS管 M_{N13} ；

[0033] 其中，所述第四电阻 R_4 与所述第十一NMOS管 M_{N11} ，所述第五电阻 R_5 、所述第十二NMOS管 M_{N12} 与所述第七电阻 R_7 ，所述第六电阻 R_6 与所述第十三NMOS管 M_{N13} 分别串接后并接于所述输出端 V_{REF} 与所述接地端GND之间；所述第十一NMOS管 M_{N11} 的控制端电连接至所述第五电阻 R_5 与所述第十二NMOS管 M_{N12} 串接形成的节点B处；所述第十二NMOS管 M_{N12} 的控制端与所述第十三NMOS管 M_{N13} 的控制端均电连接至所述第六电阻 R_6 与所述第十三NMOS管 M_{N13} 串接形成的节点C处；

[0034] 所述第十PMOS管 M_{P10} 与所述第十一PMOS管 M_{P11} 串接后并接于所述第四电阻 R_4 的两端，且所述第十PMOS管 M_{P10} 的控制端电连接至所述第十PMOS管 M_{P10} 与所述第十一PMOS管 M_{P11} 串接形成的节点处，所述第十一PMOS管 M_{P11} 的控制端电连接至所述第四电阻 R_4 和所述第十一NMOS管 M_{N11} 串接形成的节点A处；

[0035] 所述第十二PMOS管 M_{P12} 与所述第十三PMOS管 M_{P13} 串接后并接于所述第五电阻 R_5 的两端，且所述第十二PMOS管 M_{P12} 的控制端电连接至所述第十二PMOS管 M_{P12} 与所述第十三PMOS管 M_{P13} 串接形成的节点处，所述第十三PMOS管 M_{P13} 的控制端电连接至所述第五电阻 R_5 和所述第十二NMOS管 M_{N12} 串接形成的节点B处；

[0036] 所述第十四PMOS管 M_{P14} 与所述第十五PMOS管 M_{P15} 串接后并接于所述第六电阻 R_6 的两端，且所述第十四PMOS管 M_{P14} 的控制端电连接至所述第十四PMOS管 M_{P14} 与所述第十五PMOS管 M_{P15} 串接形成的节点处，所述第十五PMOS管 M_{P15} 的控制端电连接至所述第六电阻 R_6 和所述第十三NMOS管 M_{N13} 串接形成的节点C处。

[0037] 所述启动电路11包括第一PMOS管 M_{p1} 、第二PMOS管 M_{p2} 、第三PMOS管 M_{p3} 、第四PMOS管 M_{p4} 、第十六PMOS管 M_{p16} 、第十七PMOS管 M_{p17} 、第十八PMOS管 M_{p18} 、第十九PMOS管 M_{p19} 、第一NMOS管 M_{n1} 、第二NMOS管 M_{n2} 、第三NMOS管 M_{n3} 、第四NMOS管 M_{n4} 、第五NMOS管 M_{n5} ；

[0038] 其中，所述第十六PMOS管 M_{p16} 、所述第十七PMOS管 M_{p17} 、所述第十八PMOS管 M_{p18} 及所述第十九PMOS管 M_{p19} 和所述第一NMOS管 M_{n1} 串接于所述电压源 V_{DD} 和所述接地端GND之间，且

所述第十六PMOS管 M_{p16} 、所述第十七PMOS管 M_{p17} 、所述第十八PMOS管 M_{p18} 和所述第十九PMOS管 M_{p19} 的控制端串接后电连接至所述接地端GND；所述第一PMOS管 M_{p1} 与所述第二PMOS管 M_{p2} 并接后与所述第二NMOS管 M_{n2} 串接于所述电压源 V_{DD} 和所述接地端GND之间，所述第一PMOS管 M_{p1} 的控制端电连接至所述第二PMOS管 M_{p2} 与所述第二NMOS管 M_{n2} 串接形成的节点处，所述第二PMOS管 M_{p2} 的控制端电连接至所述第四PMOS管 M_{p4} 的控制端，所述第一NMOS管 M_{n1} 的控制端与所述第二NMOS管 M_{n2} 的控制端均电连接至所述第十九PMOS管 M_{p19} 和所述第一NMOS管 M_{n1} 串接形成的节点处；所述第三PMOS管 M_{p3} 电连接至所述电压源 V_{DD} 与所述电流偏置电路13之间且其控制端电连接至所述第二PMOS管 M_{p2} 与所述第二NMOS管 M_{n2} 串接形成的节点处；所述第三NMOS管 M_{n3} 与所述第四NMOS管 M_{n4} 并接后与所述第四PMOS管 M_{p4} 串接于所述接地端GND与所述电压源 V_{DD} 之间，所述第三NMOS管 M_{n3} 的控制端电连接至所述第四NMOS管 M_{n4} 与所述第四PMOS管 M_{p4} 串接形成的节点处，所述第四NMOS管 M_{n4} 的控制端电连接第二节点B；所述第五NMOS管 M_{n5} 电连接至所述箝位运放电路15与所述接地端GND之间且其控制端电连接至所述第四NMOS管 M_{n4} 与所述第四PMOS管 M_{p4} 串接形成的节点处。

[0039] 所述电流偏置电路13包括第五PMOS管 M_{p5} 、第六PMOS管 M_{p6} 、第六NMOS管 M_{n6} 、第七NMOS管 M_{n7} 和第一电阻 R_1 ；

[0040] 其中，所述第五PMOS管 M_{p5} 、所述第六NMOS管 M_{n6} 和所述第一电阻 R_1 ，所述第六PMOS管 M_{p6} 和所述第七NMOS管 M_{n7} 分别串接后电连接至所述电压源 V_{DD} 和所述接地端GND之间；所述第五PMOS管 M_{p5} 的控制端与所述第六PMOS管 M_{p6} 的控制端均电连接至所述第五PMOS管 M_{p5} 和所述第六NMOS管 M_{n6} 串接后形成的节点处且进一步电连接至所述第四PMOS管 M_{p4} 的控制端；所述第六NMOS管 M_{n6} 和所述第七NMOS管 M_{n7} 的控制端均电连接至所述第六PMOS管 M_{p6} 与所述第七NMOS管 M_{n7} 串接形成的节点处。

[0041] 所述箝位运放电路15包括第二电阻 R_2 、第一电容 C_1 、第七PMOS管 M_{p7} 、第八PMOS管 M_{p8} 、第九PMOS管 M_{p9} 、第二电容 C_2 、第三电阻 R_3 、第八NMOS管 M_{n8} 、第九NMOS管 M_{n9} 和第十NMOS管 M_{n10} ；

[0042] 其中，所述第七PMOS管 M_{p7} 与所述第八NMOS管 M_{n8} 、所述第八PMOS管 M_{p8} 与所述第九NMOS管 M_{n9} 分别串接后并接于所述电压源 V_{DD} 和所述第十NMOS管 M_{n10} 的一端之间，且所述第十NMOS管 M_{n10} 的另一端电连接至所述接地端GND；所述第七PMOS管 M_{p7} 的控制端与所述第八PMOS管 M_{p8} 的控制端分别电连接至所述第八PMOS管 M_{p8} 与所述第九NMOS管 M_{n9} 串接后形成的节点处，所述第八NMOS管 M_{n8} 的控制端电连接第一节点A处，所述第十NMOS管 M_{n10} 的控制端电连接至所述第六PMOS管 M_{p6} 与所述第七NMOS管 M_{n7} 串接形成的节点处；所述第二电阻 R_2 与所述第一电容 C_1 串接后并接于所述第七PMOS管 M_{p7} 的两端；所述第九PMOS管 M_{p9} 、所述第二电容 C_2 及所述第三电阻 R_3 串接后电连接至所述电压源 V_{DD} 和所述第九NMOS管 M_{n9} 的控制端之间，且所述第九PMOS管 M_{p9} 的控制端电连接至第七PMOS管 M_{p7} 与所述第八NMOS管 M_{n8} 串接形成的节点处；所述输出端 V_{REF} 电连接至所述第九PMOS管 M_{p9} 与所述第二电容 C_2 串接形成的节点处。

[0043] 本发明实施例中，启动电路用于启动电流偏置电路与箝位运放电路；电流偏置电路用于为箝位运放电路提供偏置电流；箝位运放电路用于箝制带隙基准源核心电路中节点A与节点B的电压值；带隙基准源核心电路用于利用伪串联晶体管进行曲率补偿以及利用失调按比例缩小技术减小所述箝位运放电路的失调，并且产生基准电压。具体的有益效果包括如下：

[0044] 1、采用偏置于亚阈值区MOS管代替双极型晶体管,实现了基准电压源电在低电源电压下工作并且实现了基准电压源的低功耗。

[0045] 2、采用了伪串联晶体管与电阻并联的结构代替电阻,利用串联晶体管的负温度系数特性对基准电压的温度系数进行二阶曲率补偿,提高了基准电压源的精度。

[0046] 3、使用了失调按比例缩小技术,抑制了箝位运放中的失调对基准电压的影响,进一步提高了基准电压源的精度。

[0047] 实施例二

[0048] 本实施例在上述实施例的基础上,对本发明的具有失调抑制与温度补偿的亚阈值CMOS基准电压源电路进行详细描述。请一并参见图2、图3、图4及图5,图3为本发明实施例的箝位运放电路存在输入失调电压 V_{OS} 的传统基准电压源电路图;图4为本发明实施例的一种亚阈值CMOS基准电压源中对 V_{REF} 进行蒙特卡洛分析的仿真波形图;图5为本发明实施例的一种亚阈值CMOS基准电压源电路输出电压在25℃时随电源电压变化的仿真波形图。该亚阈值CMOS基准电压源电路具体包括启动电路、电流偏置电路、箝位运放电路与基准源核心电路。

[0049] 进一步地,所述启动电路包括PMOS管 M_{p16} 、PMOS管 M_{p17} 、PMOS管 M_{p18} 、PMOS管 M_{p19} 、PMOS管 M_{p1} 、PMOS管 M_{p2} 、PMOS管 M_{p3} 、PMOS管 M_{p4} 、NMOS管 M_{n1} 、NMOS管 M_{n2} 、NMOS管 M_{n3} 、NMOS管 M_{n4} 、NMOS管 M_{n5} 。

[0050] 在所述启动电路中, M_{p16} 、 M_{p17} 、 M_{p18} 、 M_{p19} 串联在一起,即 M_{p16} 的漏极接 M_{p17} 源极,类推之; M_{p16} 、 M_{p17} 、 M_{p18} 、 M_{p19} 的源极与各自漏极相接; M_{p16} 、 M_{p1} 、 M_{p2} 、 M_{p3} 、 M_{p4} 的源极与各自的衬底均与 V_{DD} 相接; M_{p16} 、 M_{p17} 、 M_{p18} 、 M_{p19} 的栅极均接到地; M_{p19} 的漏极与 M_{n1} 的漏极、栅极与 M_{n2} 的栅极相接; M_{n1} 、 M_{n2} 、 M_{n3} 、 M_{n4} 、 M_{n5} 的源极与各自衬底均与地相接; M_{n2} 的漏极, M_{p1} 的漏极、栅极, M_{p3} 的栅极,以及 M_{p2} 的漏极相接; M_{p2} 的栅极与 M_{p4} 的栅极相接; M_{p4} 的漏极, M_{n3} 的栅极、源极, M_{n4} 的漏极以及 M_{n5} 的栅极相接。

[0051] 进一步地,所述电流偏置电路包括PMOS管 M_{p5} 、PMOS管 M_{p6} 、NMOS管 M_{n6} 、NMOS管 M_{n7} 、电阻 R_1 。

[0052] 在所述电流偏置电路中, M_{p5} 与 M_{p6} 的源极、衬底与 V_{DD} 相接; M_{p5} 的栅极、漏极, M_{p4} 的栅极, M_{p2} 的栅极,以及 M_{n6} 的漏极相接; M_{n6} 的源极与 R_1 的一端相接; R_1 的另一端, M_{n6} 的衬底, M_{n7} 的源极、衬底与地相接; M_{n6} 的栅极, M_{n7} 的漏极、栅极, M_{p6} 的漏极,以及所述启动电路中的 M_{p3} 的漏极相接。

[0053] 进一步地,所述箝位运放电路包括PMOS管 M_{p7} 、PMOS管 M_{p8} 、PMOS管 M_{p9} 、NMOS管 M_{n8} 、NMOS管 M_{n9} 、NMOS管 M_{n10} 、电阻 R_2 、电阻 R_3 、电容 C_1 、电容 C_2 。

[0054] 在所述箝位运放电路中,电阻 R_2 的一端, M_{p7} 、 M_{p8} 、 M_{p9} 的源和衬底与 V_{DD} 相接; R_2 的另一端与 C_1 的一端相接; C_1 的另一端, M_{p7} 的漏极, M_{p9} 的栅极, M_{n8} 的漏极,以及所述启动电路中的 M_{n5} 的漏极相接; M_{n8} 的源极与 M_{n9} 的源极与的 M_{n10} 漏极相接; M_{n10} 的源极、衬底, M_{n8} 、 M_{n9} 的衬底与地相接; M_{n9} 的漏极与 M_{p8} 的漏极栅极相接; M_{n9} 的栅极与 R_3 的一端相接; R_3 的另一端与 C_2 的一端相接; C_2 的另一端与的 M_{p9} 漏端相接。

[0055] 进一步地,所述基准源核心电路包括PMOS管 M_{p10} 、PMOS管 M_{p11} 、PMOS管 M_{p12} 、PMOS管 M_{p13} 、PMOS管 M_{p14} 、PMOS管 M_{p15} 、NMOS管 M_{n11} 、NMOS管 M_{n12} 、NMOS管 M_{n13} 、电阻 R_4 、电阻 R_5 、电阻 R_6 、电阻 R_7 。在所述基准电压源核心电路中, M_{p10} 、 M_{p11} 、 M_{p12} 、 M_{p13} 、 M_{p14} 、 M_{p15} 分别构成伪串联晶体管。

[0056] 在所述基准源核心电路中, M_{p10} 与 M_{p11} 串联后与 R_4 并联,即 M_{p10} 的源极与 R_4 一端相接,

M_{p10}的漏极与M_{p11}源极相接,M_{p11}的漏极与R₄的另一端相接;M_{p12}与M_{p13}串联后与R₄并联,即M_{p12}的源极与R₅一端相接,M_{p12}的漏极与M_{p13}源极相接,M_{p13}的漏极与R₅的另一端相接;M_{p14}与M_{p15}串联后与R₄并联,即M_{p14}的源极与R₆一端相接,M_{p14}的漏极与M_{p15}源极相接,M_{p15}的漏极与R₆的另一端相接;M_{p10}、M_{p11}、M_{p12}、M_{p13}、M_{p14}、M_{p15}的源极分别和其各自衬底相接,M_{p10}、M_{p11}、M_{p12}、M_{p13}、M_{p14}、M_{p15}的栅极分别和各自漏极相接;R₄的一端,M_{p10}的源极、衬底,R₅的一端,M_{p12}的源极、衬底,R₆一端,M_{p14}的源极、衬底均与基准电压源核心电路的输出V_{REF}相接;R₄的另一端与M_{p11}的漏极、栅极,M_{n11}的漏极,以及所述的箝位运放电路的M_{n8}的栅极相接;M_{n11}的源极、衬底,M_{n12}的衬底,R₇的一端,以及的M_{n13}的源极衬底均相接;M_{n11}的栅极,M_{n12}的漏极,R₅的一端,M_{p13}的漏极,以及所述箝位运放电路的M_{n9}的栅极相接;M_{n12}的栅极与M_{n13}漏极,R₆的一端,M_{p15}的栅极、漏极相接。

[0057] 下面,对于本发明的亚阈值CMOS基准电压源与未采用伪串联二极管的基准电压源进行对比。

[0058] 对于未采用伪串联二极管的基准电压源(参见图1),其输出电压为:

$$[0059] \quad V_{REF} = V_{gsMn11} + \frac{R_5}{R_7} \eta V_t \ln N \quad \text{等式 (1)}$$

[0060] 所述等式(1)中,V_{gsMn11}为NMOS管M_{n11}的栅源电压,V_t为热电压,η为亚阈值区晶体管的非理想因子常数,NMOS晶体管M_{n11}与M_{n12}与M_{n13}的宽长比的比值为1:N:1。实验表明所述等式(1)第一项V_{gsMn11}具有正温度系数;所述等式(1)第二项中,电阻R₅、R₇的温度系数互相抵消,ξ、lnN为常数,以及V_t具有负温度系数。

[0061] 进一步地,所述等式第一项V_{gsMn11}与NMOS管M_{n11}的阈值电压V_{TH0}有关,则NMOS管M_{n11}的栅源电压为:

$$[0062] \quad \begin{cases} V_{gsMn11} = A + \beta(T - T_0) + \frac{\alpha}{2}(T - T_0)^2 \\ A = \eta V_t \ln \frac{\eta \ln N}{R \mu_0 T_0 \frac{W}{L} C_{ox} \frac{k}{q}} + V_{TH0} \end{cases} \quad \text{等式 (2)}$$

[0063] 所述等式(2)中,α和β为常数系数,且设置为α>0以及β<0;μ₀为NMOS管M_{n11}在T=T₀的电子迁移率;W/L为NMOS管M_{n11}的宽长比;C_{ox}为NMOS管M_{n11}的电位面积栅氧化层电容;k为玻尔兹曼常数;q为电子电荷;V_{TH0}为NMOS管M_{n11}在T=T₀的阈值电压。则NMOS管M_{n11}的栅源电压V_{gsMn11}具有二阶温度系数,进一步地所述等式(1)第一项的温度系数为二阶;而所述等式(1)第二项的温度系数为一阶。本发明使用伪串联二极管后使得所述等式(1)第二项的温度系数从一阶提升为二阶,与所述等式(1)第一项的二阶温度系数匹配。

[0064] 所述箝位运放电路15使所述基准源核心电路17中第一电压端V_A的值与第二电压端的值V_B相等。电阻R₄、R₅和R₆有相同的电阻,NMOS晶体管M_{n11}与M_{n12}与M_{n13}的宽长比的比值为1:N:1。因此可以得到所述基准源核心电路17中第一电压端V_A的值、第二电压端的值V_B与第三电压端的值V_C都相等的关系。则使用伪串联晶体管的基准电压源输出电压为:

$$[0065] \quad V_{REF} = V_{gsMn11} + \frac{R_5 \parallel R_p}{R_7} \eta V_t \ln N \quad \text{等式 (3)}$$

[0066] 式中,R_p为伪串联二极管的等效电阻。R₅∥R_p近似为:

$$[0067] \quad \begin{cases} R_5 \parallel R_p \approx \frac{Rhe^{\frac{i}{T_0} + jT_0}}{R + he^{\frac{i}{T_0} + jT_0}} + B(T - T_0) \\ hR^2 \left(j - \frac{i}{T_0^2} \right) e^{\frac{i}{T_0} + jT_0} \\ B = \frac{\left(j - \frac{i}{T_0^2} \right) e^{\frac{i}{T_0} + jT_0}}{\left(R + he^{\frac{i}{T_0} + jT_0} \right)^2} \end{cases} \quad \text{等式 (4)}$$

[0068] 式中, h 为普朗克常量; i 和 j 为常数变量。由所述等式 (3)、等式 (2)、等式 (4) 联立, 得:

$$[0069] \quad \begin{aligned} V_{REF} &= V_{gsM_{n12}} + \frac{R_p \parallel R_5}{R_7} \eta V_i \ln N \\ &= \left(\frac{\alpha}{2} - B \frac{\eta k \ln N}{qR_7} \right) T^2 + \left(\beta - \alpha T_0 + \frac{Rhe^{\frac{i}{T_0} + jT_0}}{R + he^{\frac{i}{T_0} + jT_0}} \frac{\eta k \ln N}{qR_7} + BT_0 \frac{\eta k \ln N}{qR_7} \right) T + A - \beta T_0 + \frac{\alpha}{2} T_0^2 \end{aligned} \quad \text{等式 (5)}$$

[0070] 则基准电压源输出电压对温度的偏导数为:

$$[0071] \quad \frac{\partial V_{REF}}{\partial T} = \left(\alpha - 2B \frac{\eta k \ln N}{qR_7} \right) T + \beta - \alpha T_0 + \frac{Rhe^{\frac{i}{T_0} + jT_0}}{R + he^{\frac{i}{T_0} + jT_0}} \frac{\eta k \ln N}{qR_7} + BT_0 \frac{\eta k \ln N}{qR_7} \quad \text{等式 (6)}$$

[0072] 由所述等式 (6) 可得:

$$[0073] \quad \begin{cases} \alpha - 2B \frac{\eta k \ln N}{qR_7} = 0 \\ \beta - \alpha T_0 + \frac{Rhe^{\frac{i}{T_0} + jT_0}}{R + he^{\frac{i}{T_0} + jT_0}} \frac{\eta k \ln N}{qR_7} + BT_0 \frac{\eta k \ln N}{qR_7} = 0 \end{cases} \quad \text{等式 (7)}$$

[0074] 由所述等式 (7) 可知, 通过调节电阻 R_4 、 R_5 、 R_6 、 R_7 的电阻值以及伪串联二极管的宽长比, 可以对基准电压源进行二阶曲率补偿。

[0075] 运放电路存在输入失调电压 V_{OS} 的传统基准电压源电路图如图 1 所示。所述运放电路存在输入失调电压 V_{OS} 的传统基准电压源的输出电压为:

$$[0076] \quad V_{REF} = V_{gsM_{n14}} + \left(1 + \frac{R_{11}}{R_9} \right) (V_T \ln N - V_{OS}) \quad \text{等式 (8)}$$

[0077] 式中, $V_{gsM_{n14}}$ 为 NMOS 管 M_{n14} 的栅源电压; N 为 NMOS 管 M_{n14} 与 NMOS 管 M_{n15} 的宽长比; V_{OS} 为运放电路的输入失调电压。由所述等式 (8) 可知, 输出电压 V_{REF} 受到失调的影响为:

$$[0078] \quad |\Delta V_{REF}| = |V_{OS}| \left(1 + \frac{R_{11}}{R_9} \right) \quad \text{等式 (9)}$$

[0079] 由等式 (9) 可知, 失调使得 V_{REF} 产生了 $V_{OS} (1 + R_{11}/R_9)$ 的偏差。

[0080] 使用失调按比例缩小技术的失调抑制与曲率补偿的亚阈值 CMOS 基准电压源电路如图 2 所示。所述失调抑制与曲率补偿的亚阈值 CMOS 基准电压源电路的输出电压受到失调

的影响为：

$$[0081] \quad |\Delta V_{REF}| = |V_{os}| \frac{1}{g_m R_4} \frac{1 + g_m R_7}{g_m R_7} \text{ 等式 (10)}$$

[0082] 式中, g_m 为NMOS管 M_{n11} 、 M_{n12} 、 M_{n13} 相同的跨导值。由所述等式 (10) 得：

$$[0083] \quad |\Delta V_{REF}| = |V_{os}| \frac{R_7 (1 + \ln N)}{R_4 (\ln N)^2} \text{ 等式 (11)}$$

[0084] 由所述等式 (9) 和等式 (11), 设置电阻值 $R_4 = R_5 = R_6 = R_9 = R_{10} = 1/3R_7 = 1/3R_{11}$, $N = 8$ 。由所述等式 (9), $|\Delta V_{REF}| = 4 |\Delta V_{os}|$; 由所述等式 (10), $|\Delta V_{REF}| = 1/4 |\Delta V_{os}|$ 。即采用失调按比例缩小技术的亚阈值CMOS基准电压源能有效地减小运放失调电压对基准电压的影响。

[0085] 更进一步地, 所述基准电压源的输出电压 V_{REF} 可以为500mV。

[0086] 请参见图3, 在 $-25^\circ\text{C} \sim 85^\circ\text{C}$ 之间, 通过使用伪串联晶体管进行曲率补偿, 所述基准电压源的温度系数得到优化, 所述基准电压源的温度系数可以达到 $8.69\text{ppm}/^\circ\text{C}$, 则所述基准电压源输出电压受到温度的影响被减弱。

[0087] 请参见图4, 所述基准电压源通过使用伪串联晶体管与电阻并联的结构, 以及失调按比例缩小技术, 基准源的精度得到提高, 其输出精度 (标准差 δ 除以平均值 μ) 为 1.386% 。

[0088] 请参见图5, 所述基准源最低可在 0.6V 电源电压下工作, 满足低电源电压的要求。

[0089] 综上所述, 本文中应用了具体个例对本发明一种具有失调抑制与温度补偿的亚阈值CMOS基准电压源电路的原理及实施方式进行了阐述, 以上实施例的说明只是用于帮助理解本发明的方法及其核心思想; 同时, 对于本领域的一般技术人员, 依据本发明的思想, 在具体实施方式及应用范围上均会有改变之处, 综上所述, 本说明书内容不应理解为对本发明的限制, 本发明的保护范围应以所附的权利要求为准。

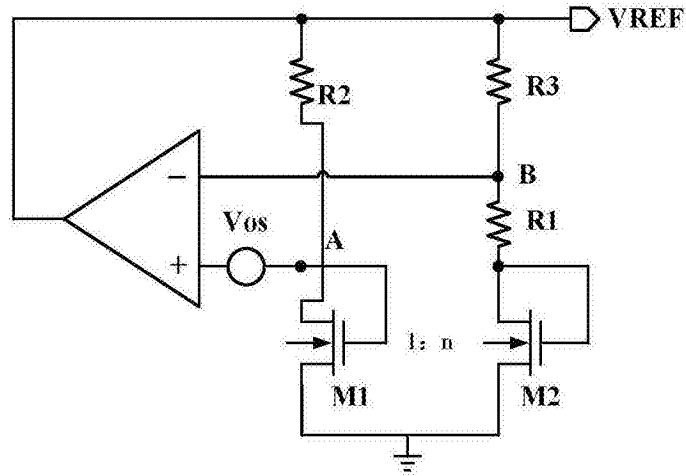
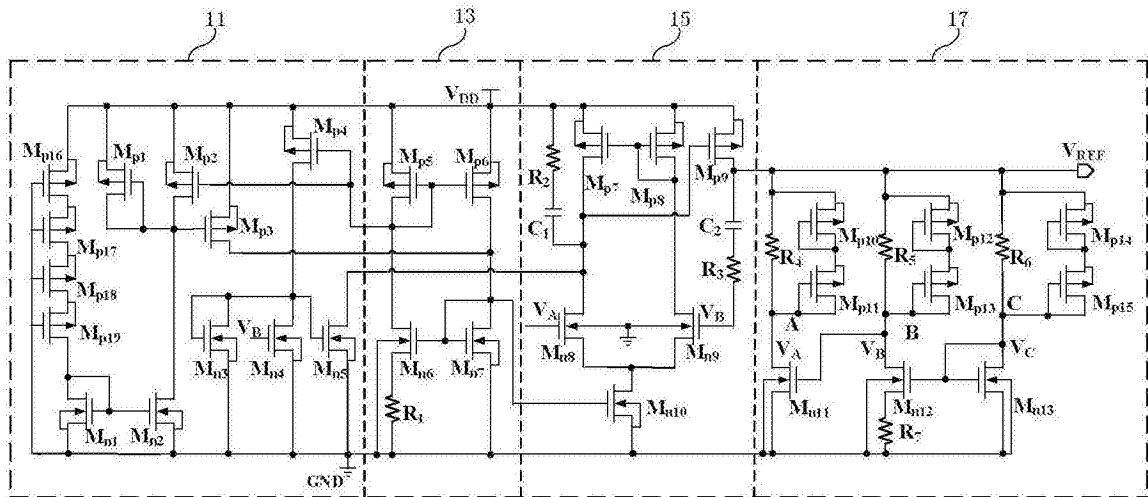


图1



10

图2

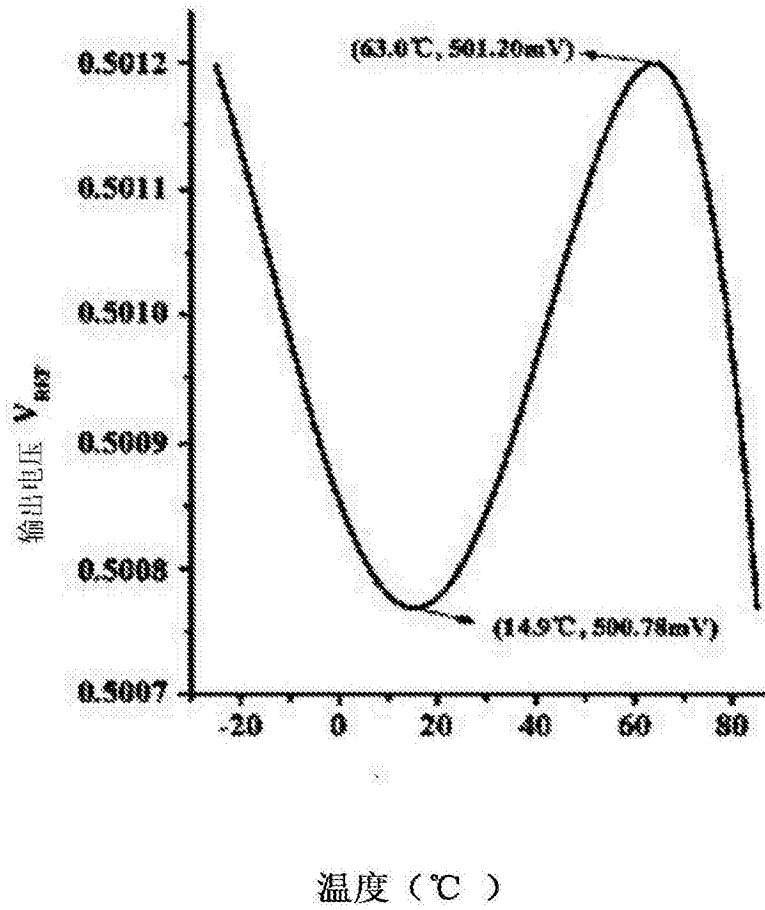


图3

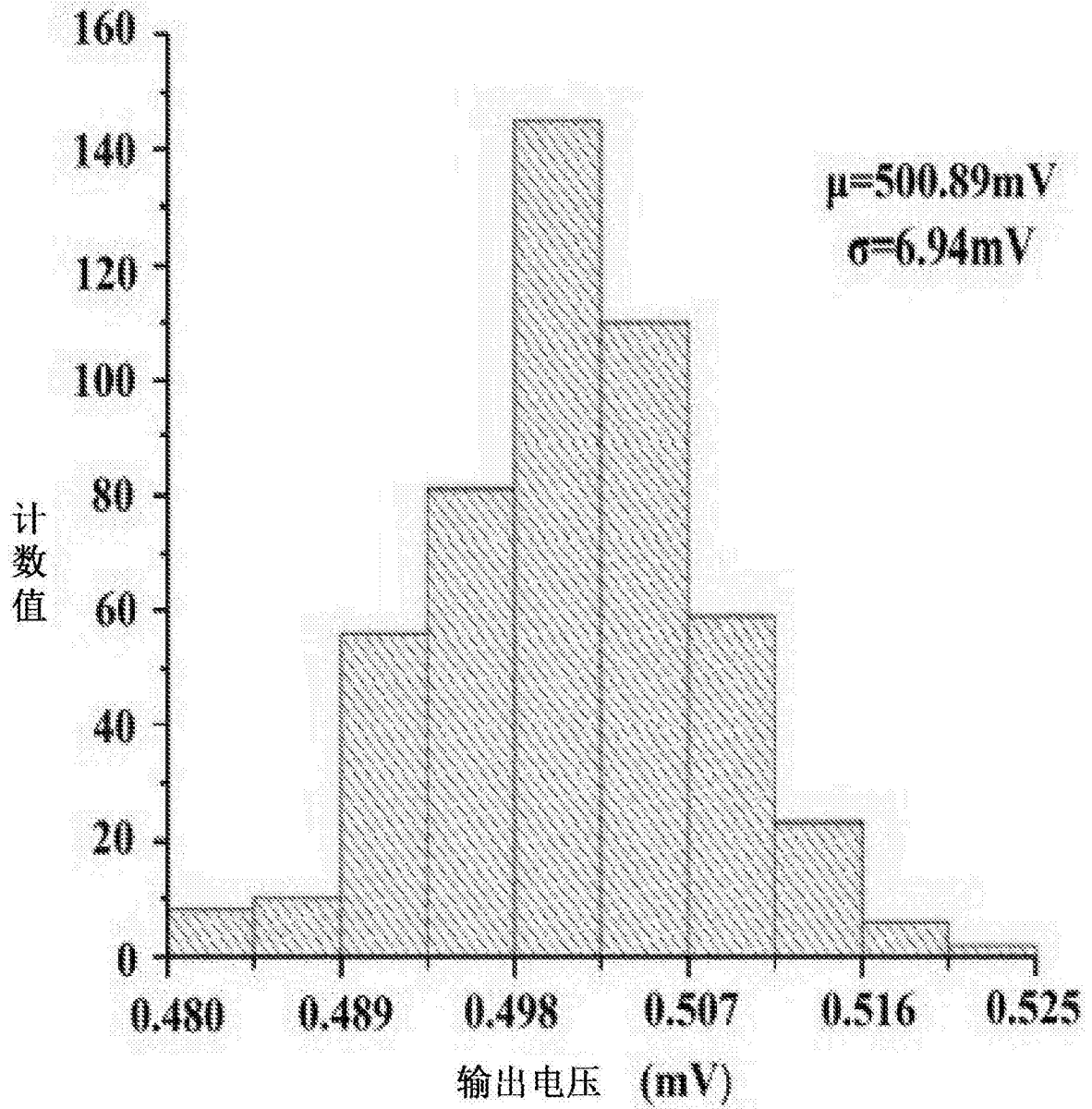


图4

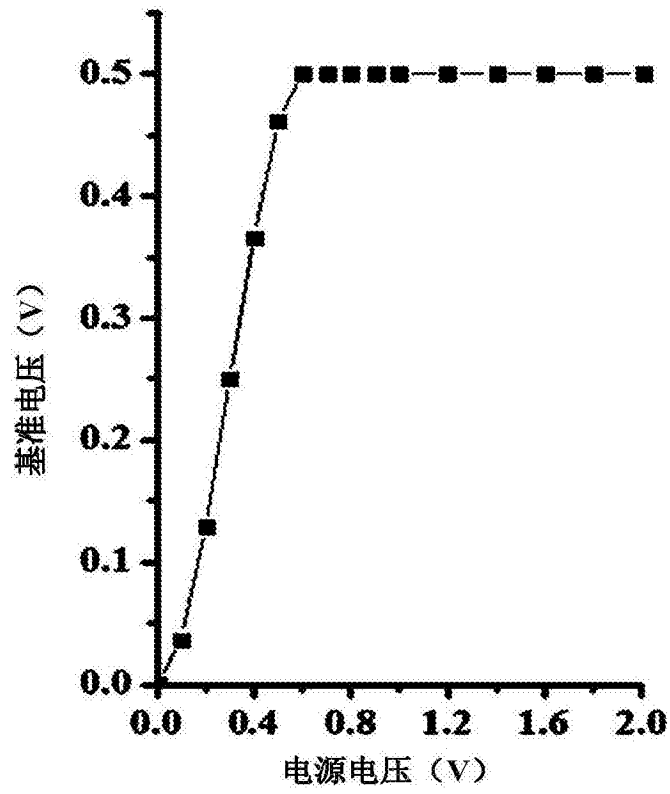


图5