

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4843248号  
(P4843248)

(45) 発行日 平成23年12月21日 (2011.12.21)

(24) 登録日 平成23年10月14日 (2011.10.14)

(51) Int.Cl.

F I

H O 1 L 21/027 (2006.01)

H O 1 L 21/30 5 4 1 W

G O 3 F 7/20 (2006.01)

H O 1 L 21/30 5 4 1 J

H O 1 J 37/09 (2006.01)

G O 3 F 7/20 5 O 4

H O 1 J 37/305 (2006.01)

H O 1 J 37/09 A

H O 1 J 37/305 B

請求項の数 8 (全 33 頁)

(21) 出願番号 特願2005-134248 (P2005-134248)  
 (22) 出願日 平成17年5月2日 (2005.5.2)  
 (65) 公開番号 特開2005-328047 (P2005-328047A)  
 (43) 公開日 平成17年11月24日 (2005.11.24)  
 審査請求日 平成19年7月17日 (2007.7.17)  
 (31) 優先権主張番号 A755/2004  
 (32) 優先日 平成16年4月30日 (2004.4.30)  
 (33) 優先権主張国 オーストリア (AT)

(73) 特許権者 504346846  
 カール ツァイス エスエムエス ゲゼル  
 シャフト ミット ベシュレンクテル ハ  
 フツング  
 ドイツ連邦共和国, O 7 7 4 5 イェナ,  
 カールツァイスプロメナーデ 1 O  
 110000040  
 (74) 代理人 特許業務法人池内・佐藤アンドパートナ  
 ズ  
 (72) 発明者 エルマール プラツグンメル  
 オーストリア国 アー 1 O 2 O ウィー  
 ン ヴァザガセ 2 1 / 1 / 1 2

審査官 渡戸 正義

最終頁に続く

(54) 【発明の名称】 粒子ビーム露光の改善されたパターン規定装置

(57) 【特許請求の範囲】

【請求項 1】

帯電粒子のビームを発生させる帯電粒子源と、

複数のブランク開口部を有するマルチアパーチャ・プレートであって、それぞれのブランク開口部が、第1の状態と第2の状態との間で、ブランク信号によって制御可能な偏向電極を含み、前記第1の状態において、前記ブランク開口部を通して放射する前記帯電粒子のビームの粒子が、所定の経路に沿って進み、前記第2の状態において、前記ブランク開口部を通して放射する前記帯電粒子のビームの粒子が、前記所定の経路を外れて偏向される、マルチアパーチャ・プレートとを備えた帯電粒子ビーム露光装置であって、

前記ブランク開口部の複数のグループは、それぞれのグループが複数のブランク開口部を有するように形成され、それぞれのグループの前記ブランク開口部の対は、電気遅延素子によって互いに電氣的に接続され、共通のグループ・ブランク信号によって制御されることを特徴とする帯電粒子ビーム露光装置。

【請求項 2】

異なる数のブランク開口部を有する少なくとも2つのグループのブランク開口部が形成されている請求項1に記載の帯電粒子ビーム露光装置。

【請求項 3】

前記少なくとも2つのグループのそれぞれのブランク開口部の数が、2の累乗に共通の整数を乗じた数に対応している請求項2に記載の帯電粒子ビーム露光装置。

【請求項 4】

10

20

一つのグループを除いて全グループのブランク開口部の数が、2の累乗に共通の整数を乗じた数に対応している請求項2に記載の帯電粒子ビーム露光装置。

【請求項5】

それぞれのグループの前記ブランク開口部が、互いに直接的に近接配置されている請求項1～4のいずれかに記載の帯電粒子ビーム露光装置。

【請求項6】

前記電気遅延素子が、ブランク開口部の前記偏向電極を制御するための前記ブランク信号を生成するように構成されている請求項1に記載の帯電粒子ビーム露光装置。

【請求項7】

前記ブランク開口部を通して放射し、かつ、前記所定の経路を外れて偏向される前記帯電粒子のビームの粒子が入射するように配置された吸収面をさらに備えた請求項1～6のいずれかに記載の帯電粒子ビーム露光装置。

10

【請求項8】

ウェハを取り付けるためのウェハ・ステージと、前記ブランク開口部を通して放射し、前記ウェハ・ステージに取り付けられたウェハ上の所定の経路に沿って進む前記帯電粒子のビームの粒子を方向づけるように構成される帯電粒子光学系とをさらに備えた請求項1～7のいずれかに記載の帯電粒子ビーム露光装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は粒子ビーム露光装置で使用する多重ビームパターン規定デバイスの改善に関する。

【背景技術】

【0002】

より詳しくは、本発明は粒子ビーム露光装置で使用するためのパターン規定デバイスに関し、このデバイスが帯電粒子で照射されるとともに、それを透過するビームレットの形状で同じであり、かつこの形状を規定する複数のアパーチャのみを通過するように適用されており、アパーチャがこのアパーチャの複数の折れ線で構成されたパターン規定フィールド内に配備され、アパーチャがそのアパーチャの幅の第一整数倍だけ前記線内で隔置され、かつ前記整数倍の幅の端数だけ近接線間でオフセットしており、前記アパーチャがブランク開口部の線内に配備された対応ブランク開口部に関連しており、各ブランク開口部が二つの偏向状態、すなわち、開口部を通して照射された粒子が所望のパスに沿って進行することが許容される状態であると見なされたときの第一状態（スイッチオン）と偏向手段が開口部を通して照射された粒子を前記パスから偏向させたときの第二状態（スイッチオフ）との間でブランク信号によって制御可能である偏向手段を備えている。

30

【特許文献1】米国特許第5,369,282号

【特許文献2】米国特許第5,359,202号

【特許文献3】米国特許第5,260,579号

【特許文献4】米国公開特許第二003-0155534-A1 (=GB2389454 A)

40

【特許文献5】米国特許第4,967,088号

【特許文献6】米国特許第4,985,634 (=EP0344646)

【特許文献7】オーストラリア特許願A1711/2003

【非特許文献1】ミクロ電子工学9,1989,pp199-203 (B.Lischke他)

【非特許文献2】J.Vac.Sci.Technol.B,15(6),1997,pp.2382-2386 (L.L.Berry他)

【発明の開示】

【発明が解決しようとする課題】

50

## 【 0 0 0 3 】

換言すれば、粒子ビームは照明システムによって発生され、またそれぞれのアパーチャをビーム粒子の通過を許容（「スイッチオン」）または効果的に非作動（「スイッチオフ」）するように制御可能である一連のアパーチャを有するパターン規定（PD）手段を照明する。アパーチャ・アレイを透過する（より正確には、アレイのスイッチオンされたアパーチャを通る）ビームは、アパーチャの空間配置によって表わされたようなパターン化情報を保有するパターン化粒子ビームを形成する。このパターン化ビームが、次に粒子光学投射システムによって、アパーチャの画像が形成された基板上に投射される。

## 【 0 0 0 4 】

このような露光装置の一つの重要な適用は、ナノ・スケール・パターン処理の分野であり、直接イオン・ビーム材料修正またはイオン・ビーム誘起エッチングおよび（または）蒸着による、ナノ・スケール・デバイス、特に100nm以下の機構サイズを有するデバイスの製造または機能化のために使用される。このような露光装置の他の重要な適用は、リトグラフ装置として半導体技術に使用される粒子ビーム・リトグラフの分野で使用される。シリコン・ウェハ上に規定されるべき回路層のような基板面上に所望のパターンを規定するために、ウェハは放射線感受性フォトレジストの層で覆われる。次に、所望の構造はリトグラフ装置によってフォトレジスト層上に作像される。こうしてパターン化されたフォトレジスト層は、前の露光ステップによって規定されたパターンに基づいて部分的に除去され、ここでエッチングのようなさらなる構造処理のためにマスクとして使用される。この工程を反復することによって、集積回路のような複雑な微細構造を形成することができる。

## 【 0 0 0 5 】

帯電粒子ビーム照射による直接パターン転写のためにアドレス可能なアパーチャ・プレートが、十年以上も前から研究されている。一つの初期の検討がマイクロ電子工学9, 1989, pp 199 - 203でB. Lischke他によってなされている。後で1997年にL. L. Berry他がJ. Vac. Sci. Technol. B, 15(6), 1997, pp. 2382 - 2386でブランク・アパーチャ・アレイおよびイオン照射システムに基づいた書き取り計画を提示した。

## 【 0 0 0 6 】

アライ他が、米国特許第5, 369, 282号でPD手段の役割を發揮するいわゆるブランク・アパーチャ・アレイ（BAA）を使用する電子ビーム露光システムを開示している。このBAAは複数のアパーチャ列を備えていて、アパーチャの画像がアパーチャ列に対して垂直をなす方向に制御された連続運動で基板の表面上を走査される。これらの列は互いに組み合わせる方法で整列され、アパーチャが走査方向に沿って見たときに折れ線を形成する。従って、折れ線が基板に相対して移動されたときに線同士間に空隙を残さずに基板表面上で連続する線を掃引し、これによって基板上に露呈されるべき総面積を覆う。米国特許第5, 369, 282号において、二列目ごとのアパーチャが整列し、また列内で近接するアパーチャ間のピッチが概してアパーチャの幅の2倍であり、列の整列が任意数nに基づいて可能であり、これによってピッチがアパーチャの幅のn倍となる。ヤスダ他は米国特許第5, 359, 202号および同第5, 260, 579号は基板をパターンで露光するために同様のBAAを使用しているが、制御線をブランク・アパーチャの各々に供給する必要性が内部構造を非常に複雑にするとともに、クロストークおよび伝送時間遅延のような望まない妨害作用をもたらす傾向にある。

## 【 0 0 0 7 】

L. L. Berry他がJ. Vac. Sci. Technol. B, 15, 1997, pp. 2382 - 2386の記事で、PDデバイスを開示しており、このデバイスが5μmのサイド長さと、列および折れ線のn = 4のアライメントを有する3000 × 3000アパーチャのアレイを伴う「プログラム可能アパーチャ・アレイ」からなる。このアパーチャ・アレイは付加的な論理回路を含んでおり、これによって電子マスク走査システムが形成され、そのパターン情報がシフト・レジスタによって列内で一つのアパーチャから次

10

20

30

40

50

のアパーチャに送られる。この記事はB A Aのアパーチャを基板上に作像するために200×縮小イオン光学系を使用することを提案している。

#### 【0008】

Berryの概念から出発して、E. Platzgummer他が米国公開特許第2003-0155534-A1(=GB2389454A)で、PML2(「投射マスクレス・リトグラフ#2」の略語)と呼ばれる多重直接書き取り概念を提示しており、一つが他方の頂部上に積層された複数のプレートからなり、その中でアパーチャ・アレイ手段(アパーチャ・プレート)とブランク手段(ブランキング・プレート)を含むPDデバイスを使用している。これらの分離プレートが、例えばケース内に規定距離で互いに取り付けられている。アパーチャ・アレイ手段は前記アパーチャを透過するビームレットの形状を規定する同一形状の複数のアパーチャを有している。アパーチャはアパーチャの複数の折れ線からなるPDフィールド内に配備され、アパーチャはこのアパーチャの幅の第一整数倍だけ前記線内で隔置されるとともに、前記整数倍の幅の端数だけ近接線同士間でオフセットしている。ブランク手段がアパーチャ・アレイ手段のアパーチャに対応する配列で配列された複数のブランク開口部を有している。特にブランク開口部の対応する折れ線を有している。PDデバイスのアーキテクチャと動作に関して米国公開特許第2003-0155534-A1の教示および特にそのブランク・プレートのアーキテクチャは、ここでは本明細書の一部として含める。

#### 【0009】

PML2の概念に基づいて、基板は各ダイ・フィールド上方の直線経路に沿って連続して移動され、走査方向と直交するビームの付加的走査は必要ではない(ただし、走査段階の横方向走行移動誤差を補正する場合は別である)。さらに、グレイ・スケールが線内に配置されたアパーチャの続く露光によって発生させることができるので、シフト・レジスタ・アプローチが効果的に適用され、基板のみを移動させる間にグレースケール・パターン(規定のビットサイズ、例えば5以上のビット)を生成することができる。PML2の概念はアパーチャ同士間またはその近傍にアパーチャの隣に配置されたアパーチャ・プレート上に複数のメモリを使用することを包含している。従来技術に対するPML2の主たる異なる特徴は、ブランク・プレート上のシフトレジスタ電子回路の配置を意図してアパーチャ・プレート上に一群をなす規則的なアパーチャ間に列オフセットが設けられていることである。

#### 【0010】

アドレス可能マスクを実行する要点は、いわゆるマイクロ電子およびマイクロ機械(MEMS)技術であり、ビーム・スイッチングおよびデータ管理の制御を必要とする電子技術と一体して100万までの複数のアパーチャの単一製造を可能にすることである。工業用MEMSデバイスの最小構造サイズが、リトグラフにおける一般的限界寸法(例えば、アパーチャおよびマイクロデフレクタのサイズ)よりも約100から200倍の大きさであるから、強力なフィールド高解像度光学投射システムが例えばマスクレス・リトグラフのようなフィールド高速書き取りの適用例における改善されたMEMS製造の開発のために必須である。

#### 【0011】

PML2に特有の多重ビーム・アプローチの主たる利点は、単一ビーム書き取りと比較して書き取り速度が大きく高揚されることである。これは帯電粒子ビームが複数のサブビームからなり、スイッチ可能ブランカー・デバイスを含むアパーチャ・プレートによって動的に構成されているという事実による。改善された生産性(アライ他およびヤスダ他のような他の従来技術に対して)主として次の特徴が揚げられる。

#### 【0012】

+ 基板に対して平行に向けられた可能な複数のサブビームとエリア当りのアパーチャ密度が相当増大し、粒子源に対する必要条件が緩和されることになる。

#### 【0013】

+ 単一ビーム・ブランクが連続データ流れと簡略化データ・ライン・アーキテクチャに

10

20

30

40

50

よって達成され、ただ一つのアパーチャ列（＝ライン数×一つのアパーチャ）がクロック・サイクル当りPDフィールドに供給され、信号がシフト・レジスタによってPDフィールドに送られる。

【0014】

+ ビームの流れが広範ビームを使用する結果として大きい断面に渡って分布されるので、空間電荷の影響が低減される。

【0015】

+ 重複の高い度合いが僅かな露光（ライン内のアパーチャ）を複数使用して所望の露光光量を積み重ねて、単一パス走査中のグレースケール発生を可能にする。

【0016】

しかし、他の従来技術と同じようにしてPLM2レイアウトによれば、次の主たる問題が挙げられる。

【0017】

- 従来技術、特にアライ他およびBerry他のBAAによる利用可能な物理的アドレス・グリッドを使用して、リトグラフ必要条件（45nmノードに対して1nmアドレス・グリッド）を満たすためにPDフィールドのサイズが大きいフィールド投射システムで制限されているので、不十分な数のグレースケールのみが単一パス露光で達成される。結果は物理的アドレス・グリッドに関して処理寛容度が低く、ライン・エッジ粗さに対して許容できない値となり、また不十分なパターン配置精度であり、あるいは多重パス計画の場合においては処理量が低減し、望ましくないアライメント誤差を生じる。

【0018】

- 大きいパターン・フィールドの歪のない画像の必要性があり、結果として（高い重複性を利用するために）走査処理中にオーバーレイ内に複数のアパーチャを設けることが必要となる。

【0019】

- 避けられない電流依存（＝パターン依存）画像歪を処理し、使用可能な電流を焦点ずれさせ、制限し、パターンの均一化を要求することが、時間のかかるデータ事前処理を包含している。

【課題を解決するための手段】

【0020】

以上の点を鑑みて、本発明の目的は従来技術の欠点を克服する方法を見出すとともに、マスクレス・リトグラフのようなアプリケーションのためのアドレス可能マスクまたはナノスケール・ビーム・パターン・アプリケーションの使用を許容することである。主たる目的はPDデバイスのブランク・プレートに必要とされる回路を簡略化するとともに、複数のアパーチャの存在を許容し、また一群のアパーチャのより融通性のある制御を許容することである。さらに、グレイ・スケールに基づいて、すなわち、最小（「黒」）と最大（「白」）の露光線量間に内挿される露光レベルにおけるターゲットで画素の露光を許容する。さらに、本発明は微細なアドレス・グリッドを実行するとともに、従来技術と比較してアパーチャの数が変わらないかまたは少ないにもかかわらず線エッジ粗さを低減する。

【0021】

この問題はブランク開口部の線に対して最初の部分で説明したようなPDデバイスによって解決され、ブランク開口部の線はいくつかのグループに仕切られ、各グループのブランク開口部の偏向手段が共通のグループ・ブランク信号に供給され、線の各グループのグループ・ブランク信号がブランク手段に供給されるとともに同じ線にある他のグループのグループ・ブランク信号とは独立したそれぞれのブランク開口部に接続されている。

【0022】

基本PML2に対する本発明の明瞭な改良点は、グレイ・スケールの改善された書込み計画であり、これらがスイッチオンされるかオフされるかに関して一群のアパーチャの確立に関係し、これがブランク・プレートへ供給される制御信号のビットによって直接制御

10

20

30

40

50

される。従って、複数のアパーチャをグループ（少なくとも二つ）に分けすることにより、PDデバイス内に設けられるべき供給線の制御信号の総数、結果的にPDデバイス内に提供されるべき供給線を非常に低いレベルに保つことができる。グループ内の開口部は同じ制御信号によって、すなわち、それぞれのグループ・ブランク信号によって制御され、この信号はBerry他、すなわち、米国公開特許第二003-0155534-A1に開示された中間記憶手段の基本レイアウトで提案されたシフトレジスタのような時間遅延手段によってグループの一つの開口部から次の開口部に好便に伝播される。

#### 【0023】

従って、本発明は改善されたデータ・パスとデータ作成を組み合わせたグレイ・スケールの明確に改善された書き取り計画を提供し、PDデバイスの物理的な実行、性能およびリスクに関する顕著な利点となる。主たる利点は、メモリのための高集積回路およびグレイ・シェードを実行するためのブランク開口部内部または開口部間のエリア内のデータ管理の必要性を無しで済ます。次に説明するように、このアプローチはメモリおよび発熱問題に対する空間必要条件のような大きい技術的課題少なくし、これと同時に空隙率（すなわち、生産性）および冗長性の増加度が示される。本発明の別の重要な利点は、個々の制御信号を伴う「補間画素」の付加的なグループの使用が可能で、微細な物理的アドレス・グリッド、以下「インターロッキング・グリッド」という、を実現し、ここでPDデバイス上のアパーチャの総数、従ってPDフィールドの必要サイズを縮小することができる。小さいPDフィールドを有する小さい照明ビーム直径を実現する可能性は、帯電粒子光学カラムの外径に関して制限があれば、非常に重要である。概して、リトグラフのためだけではなくナノスケール・ビーム・パターンに対してPML2の概念を適用する可能性はより小さい直径と複雑さが低減された光学系に対して適用可能なPML2走査ストライプ・アプローチを実行することによって範囲を拡大することができる。

#### 【0024】

さらに、本発明はPDデバイスの限界寸法を同時にダウンスケールせずに、例えば45nmから32nm線と空間解像度のリトグラフ・ノードのダウンスケールを可能にする。従って、本発明は最新のMEMS技術の構造寸法制限を迂回する助けをする。総括的に、本発明は例えば歪がなく、またいくつかのカラムを並列に使用することによって生産性を改善するような光学系性能の必要条件を緩和する目的で光学ビームの直径とPML2内の必要とされるPDデバイスを相当縮小することを可能にする。

#### 【0025】

本発明の好ましい実施例において、グループはそれぞれのグループ内のブランク開口部数に関して少なくとも二つの異なるサイズを有している。より詳しく説明すると、簡単な方法で規則的なグレイ・スケール（等距離グレイ値）を実現するために、グループ内のブランク開口部の数は一様のベース数を掛けた2の乗数に対応する。変形例において、一つのグループを除いて他の全てのグループは一様のベース数を掛けた2の乗数に対応する。従って、別の数の開口部を有する一つのグループは、パターン規定フィールド上の残りの場所またはしばしば使用されるグレイ・スケール値等で規定される。好ましくは、線内の全グループの数は16よりも少なく、またブランク開口部のそれぞれの数に関する最大グループのサイズは最小グループのサイズの少なくとも四倍である。

#### 【0026】

グレイ値のデータ処理を一連のブランク・グループ信号に簡略化するために、ブランク開口部をグループに仕切ることが全線に対して同じであれば有利である。概して、同じ仕切りが存在するということは、同じサイズのグループが異なる線内の対応する場所にもあることを意味せず、それぞれの線内のグループの異なるシーケンスが存在することになる。もちろん、全線の対応するグループが互いに近接配置されており、従ってストライプがPDフィールド上方に線の方角と直交して掛かっておれば、より簡単な構成が得られる。

#### 【0027】

本発明のさらなる発展において、グループのアパーチャが常に直線に沿って走行しているが、異なるグループのアパーチャが部分的に重なり合った線に沿って走行していてもよ

10

20

30

40

50

い。この構成は一見したところではパターンの処理を複雑にするように見えるが、実際には露呈されるべきパターン内の機構の細密解像度に匹敵する。従って、PDフィールドはラインの方向に対して垂直に少なくとも二つのドメインに分割することができる。各ドメインはブランク開口部の複数の折れ線からなり、一つのドメインの線が線の幅の端数だけ次の線に対してオフセットしており、各ドメインの各線のアパーチャが少なくとも一つのグループを代表している。二つのドメインの場合において、第二ドメインの線は線の幅の端数だけ第一ドメインの線に対してオフセットしており、第一ドメインの各グループはそれぞれのグループ内のブランク開口部に等しい数で第二ドメインの対応するグループを有しているのが好ましい、これは両ドメインのためのグレイ・スケールの対称処理が可能だからである。

10

#### 【0028】

既述したように、ブランク信号は線に沿ったそれぞれのブランク開口部のオフセットに対応する前記信号の時間遅延を実行する時間遅延手段を介して個々のブランク開口部に適用することができる。

#### 【0029】

好ましくは、アパーチャの幅は線の幅に等しく、特に正方形または矩形アパーチャが使用されるときにはそうである。しかし、変形例において、ブランク開口部の選択されたグループに関連するアパーチャの幅は線の幅よりも狭い幅を有しており、残りのアパーチャは線の幅に等しい幅を有している。さらに、この手段は露呈パターンの細密解像度に対抗するのに使用することができる。

20

#### 【0030】

本発明の好ましい実施例において、グループ・ブランク信号は一部が線と並行に走行するサイドで、一部が線と直交して走行するサイドでPDフィールドに供給される。これがさらに供給サイトにおける線の密度を低減している。

#### 【0031】

アパーチャ構成の適切な実行において、アパーチャの形状は正方形または矩形六角形のような平面を連続カバーする二次元幾何学的ベース形状と実質的に等価である。この連続カバー構成の利点は、ウェハ上の線量分布における光学画像のぼやけの景況(空間像)、特に特定構造に対して必要とされるグレイ・スケールができる限り小さくなり、これによってPDデバイスの投射画像内部にある光学画像のぼやけに見られる本質的半径方向変化を許容することができる。ぼやけがスポット・サイズの範囲であれば、同様の利点が平面の連続カバーの二次元幾何学ベース形状に実質的に等価なアパーチャのエリアを選択することによって達成することができ、一方形状は連続カバーと異なり、特にエッジに丸みをもたせるか、あるいは傾斜(斜めに切り落とす)させて多角形のベース形状のエッジに修正することによって異なるようにすることもできる。全形状は拡張してもよく、必要ならば修正形状の全面積をそのままにしてアパーチャの形状の面積を元の多角形ベース形状の面積と同じにする。これは例えば完全な正方形アパーチャの代わりに、等面積を有する角に丸みの付いた正方形アパーチャを使用することができることを意味している。後者の場合、製造工程においてより高い許容度を可能にする。概して、六角形構成が達成可能な線配置精度とPD手段内の限定数におけるアパーチャの線エッジ粗さ(PDフィールドの制限サイズ)両方を改善して対称の最高度合いを組み合わせた面積当りの画素の最高可能密度を有する利点がある。

30

40

#### 【0032】

必要とするときに、特に一つまたはそれ以上の他のブランク開口部に欠陥が見つかったときに、アクセス可能な「エキストラ」開口部の容器を設けるために、付加的なブランク開口部が備えられ、操作を実行したり停止したりする。例えば、この操作の実行/停止は合焦イオン、電子またはレーザー・ビームによる照射のような構造化ステップによって実行される。従って、グループはグループ・ブランク信号を前記ブランク開口部に供給するための少なくとも一つのブランク操作からなり、開口部は構造的修正によるデバイスの表面にアクセス可能であり、かつ電氣的に接続された状態と前記構造修正によって処理される

50

ブロック状態との間でグループブランク信号に対してその透過率を変更するように適用されている要素からなる。より詳しく説明すると、この要素は電氣的に良導電状態と非導電状態間で修正され、できる限り変更できないように適用された導電性部材として実行することができる。

#### 【0033】

好ましくは、ブランクはこれまでターゲットまたはターゲット位置にあるどのデバイスにも到達しなかったビームレットの角度の偏向のみを少し変更することによって実行される。この目的で、偏向手段がスイッチオフ状態において、粒子ビームの方向で見られるようなPDデバイス後方に取り付けられた露光装置の吸収面に粒子を偏向させるように適用することができる。

10

#### 【0034】

次に、添付図面を参照してより本発明を詳しく説明する。

#### 【発明の詳細な説明】

#### 【0035】

#### パターン規定システム

次に説明する本発明の好ましい実施例は、米国公開特許第二003-0155534-A1に開示されたパターン規定(PD)システムに基づいている。次の説明において、本発明に適切である限り、PDシステムの技術的背景はまず図1から5(米国公開特許第二003-0155534-A1のシステムに充当する修正例に対応)を参照して説明し、次にPDシステムにおける本発明の実施例を説明する。本発明は次の実施例に限定するものではなく、本発明の可能な実行例のいくつかを提示するのみであることを理解すべきである。

20

#### 【0036】

本発明の好ましい実施例を使用するリトグラフ装置の概要を図1に示す。次の説明において、本発明を説明するのに必要として与えられた詳細のみを示しており、説明を明瞭にする目的で、要素は図1において寸法は示していない。リトグラフ装置100の主要素は、-図1の垂直方向下方に走行している本実施例においてリトグラフ・ビーム1b, pbの方向に対応している-照明システム101、PDシステム102、投射システム103および基板41を伴うターゲット・ステーション104である。全装置100は高真空中に保持された真空ハウジング105内に収容されており、装置の光軸cxに沿ったビーム1b、pbの妨げのない伝播を保証している。粒子光学系101、103が静電気または電磁レンズを使用して実現される。

30

#### 【0037】

照明システムは、例えば電子銃11、抽出システム12を始めとしてコンデンサ・レンズシステム13からなる。しかし、電子の代わりとして、一般的に他の帯電粒子が同様に使用できることに注意しなければならない。電子以外に、所望のビーム-基板の相互作用に依存する投射体の選択により例えば水素イオン、重イオン、帯電分子またはクラスターとすることもできる。

#### 【0038】

抽出システム12が一般的に数keV、例えば10keVの規定エネルギーに粒子を加速する。コンデンサ・レンズ系13によって、ソース(電子銃)11から放出された粒子が、リトグラフ・ビーム1bとして作用する広い実質的にテレセントリック粒子ビームに変形される。次に、リトグラフ・ビーム1bがPDシステム102を形成するその位置を維持するのに必要とされるデバイスと一緒にPDデバイス20を照射する。PDデバイス20はリトグラフ・ビーム1bのパス内で特定位置に保持され、これによって複数のアパーチャ21(図2参照)を照射する。アパーチャのいくつかが「スイッチオン」、ないし「開」され、アパーチャがビーム(ビームレット)の一部がこれを通過させてターゲットに到達させるという意味では入射ビームを透過させ、他のアパーチャが「スイッチオフ」、ないし「閉」され、すなわち、対応するビームレットがターゲットに到達できず、従ってこれらのアパーチャはビームにとって事実上非透過性(不透明)である。スイッチオン

40

50



・アパーチャのパターンが基板上に露呈されるべきパターンに基づいて選択され、これらのアパーチャがビーム 1 b に対して透過性である P D デバイスの部分のみであり、これによってアパーチャから放射されるパターン化ビーム p b に変形される（図 1、デバイス 20 の下方）。P D デバイス 20 上方の温度分布は、適切な加熱または冷却素子によって安定して維持される。熱伝導性冷却に付加して放射性冷却のための任意手段 28, 29 が設けられている。

#### 【0039】

パターン化ビーム p b によって表わされたパターンが、電気 磁気 光学投射システムまたは純粋な電気 光学投射システム 103 によって基板 41 上に投射され、ここでスイッチオン・マスク・アパーチャ 21 の画像が形成される。投射システム 103 は二つの c 1, c 2 により例えば 200x の縮小を実行する。基板 41 は例えばフォトレジスト層で覆われたシリコン・ウェハである。このウェハ 41 はターゲット・ステーション 104 のウェハ・ステージ 40 によって保持され、位置付けられる。

#### 【0040】

装置 100 はさらにアライメント・システム 60 からなり、P D フィールド p f（図 2）のサイドで基準マスク 26 によって P D システム内に形成された基準ビームによる粒子光学系に関して基板上でマスク・アパーチャの画像（図 3、画像フィールド m f）の位置を安定化させることを許容する。アライメント・システムの原理は米国特許第 4, 967, 088 号に開示されている。例えば、画像位置および字済みの修正は多極電極 315, 325 によって実行することができ、付加的に磁気コイル 62 が基板平面内でパターンの回転を発生させるのに使用することができる。

#### 【0041】

図 1 に示した本発明の実施例において、投射システム 103 は二つの連続する電磁気光学投射器ステージ 31, 32 からなる。投射器 31, 32 を実行するのに使用されるレンズをシンボル形状のみで図 1 に示す。粒子作像システムの技術的実現化は、例えば本出願人による米国特許第 4, 985, 634 (= E P O 344 646) のような従来技術において周知である。第一投射器ステージ 31 はデバイス 20 のアパーチャの平面を中間平面 e1 に作像し、次に第二投射器ステージ 32 によって基板面上に作像される。両ステージ 31, 32 はクロスオーバー c1, c2 を介して作像工程を縮小するのに使用される。両ステージのための縮小係数は、全縮小が数百結果、例えば 200x となるように選択される。この程度の縮小は、P D デバイスにおける縮小化の問題を軽減するためにリトグラフ・セットアップに特に最適である。ストップ・プレート 204 が例えば規則的なビーム・パスから反れたビーム要素をブロックアウトするためにクロスオーバー c1 の位置を提供する。

#### 【0042】

両投射器ステージにおいて、それぞれのレンズ系は色収差および幾何学収差に関してよく補償されており、さらに第一ステージ 31 の残留色収差は第二ステージ 32 内の電極電位の適切な微細修正によって補償することができる。

#### 【0043】

全体的に横方向に、すなわち、光軸 c x と直交する方向に沿って画像をシフトする手段として、偏向手段 315, 325 が投射器ステージの片側または両側に設けられている。偏向手段は例えば多極電極システムとして実行することができ、図 1 に示すように第一ステージ偏向手段 315 をクロスオーバー近傍に配置するか、または図 1 に示す第二ステージ偏向手段の場合のようにそれぞれの投射器の最終レンズ後方に配置する。この装置において、多極電極が偏向手段としてステージ動作に関して画像をシフトするためと、アライメント・システムに関連して作像システムの修正のために使用される。これらの偏向手段 315, 325 は P D デバイス内に存在するどの付加的偏向アレイ手段と混同することはなく、個々のビームレットを修正することを主として意図したものである（本出願人によるオーストラリア特許願 A 1711 / 2003）。

#### 【0044】

10

20

30

40

50

図2はPDデバイス20内の装置の構成を示す平面図である。複数の方形アパーチャ21が設けられ、規則的なアレイ内のPDフィールド内に配備され、フィールド内でアパーチャ21が近接線p1に沿って配列され、各線p1内において同数のアパーチャが存在している。線p1と直交する方向に沿って見たときに、アパーチャは列r1, r2, r3のシーケンスを形成しており、図示実施例において、列r1 - r3は近接しておらず隔置されている。アパーチャは歪対称の規則的な配列に基づいてPDフィールドpf内に配備されており、3列目ごとのアパーチャが( $n = 3$ )で整列し、近接する列間のピッチpnがアパーチャの幅wの3倍(すなわち、 $p_n = n \times w$ )である。図2の構成において、近接する列間のオフセットpmはアパーチャの幅の四倍(すなわち、 $m = 4$ としたとき $p_m = m \times w$ )である。また、線p1内で、アパーチャのオフセットは $n \cdot p_m = 12$ である。従って、フィールドpfの面積のほんの $1 / (n \times m) = 1 / 12$ のみを覆っており、同時に $n \times m = 12$ 画像要素のただ一つが図3に示すように露光されることが可能である。他の要素はアパーチャの画像に対して「走査方向」sdに沿って基板を移動させることによって続くステップにおいて露光される。アパーチャを制御する空間配置および回路についての詳細は米国公開特許第二003 - 0155534 - A1を参照するものとする。

#### 【0045】

図3は基板上に生成される画像フィールドmfを示している。明瞭にする目的で、全アパーチャがこの図ではスイッチオンされていると仮定している。画像フィールドの幅wは投射システムの縮小係数によって縮小されたpfフィールドの幅Lである。画像フィールドは複数の画像素子 $m \times$ (画素ともいう)からなる。基板上の画像フィールドの任意の位置に対して、アパーチャ・アレイのアパーチャ21は画像素子 $m \times$ に対応しているが、アパーチャがPDフィールド域の一部を覆っているだけであり、画像素子の数の対応する部分のみが(図3においてハッチングで示す)が同時に露光される。他の画像素子も露光するために、基板がビーム下で移動され、これによって基板上で画像フィールドがシフトされる。別の方法も基板上方で画像を相対的に移動させるのに使用できることは明白である。例えば、安定基板位置でナノスケールのビームパターン処理をする一つの適切な方法において、ビームは基板上方で偏向される。図3aは可能な12( $= n \times m$ )位置を介して基板の移動する連続位置にある画素の露光を示す。画素は従ってアルファベットaからlで表わされる(ハッチングを付けて示した画素が位置aである)。全画像フィールドmfが基板41として機能するフォトレジストでカバーされたウェハの表面上方を移動され、これによって基板表面の全域を覆うことになる。走査方向sdは、ダイ・フィールドの一つのシーケンスが終了し、次のシーケンスの画像処理が開始されたときに、反転させることもできる(米国公開特許第二003 - 0155534 - A1の図4に示すよう左から右へ、次に右から左へと交互に移動する)。

#### 【0046】

図4および5はPDシステム102のアーキテクチャを示す。すなわち、図4は平面図であり、図5は長手方向断面図である。図6は図5の詳細を示し、二つのアパーチャに沿った本実施例のPDシステム102を構成する一連のプレートの形態を示す。PDシステム102は積層形態で取り付けられた複数のプレート22からなり、その要素がそれぞれの機能を発揮する合成デバイスで実行される。プレート22の各々は半導体(特に、シリコン)ウェハとして実行され、その構造は当該技術において公知のマイクロ構造技術によって形成される。リトグラフ・ビームがPDフィールドpf(図5)内のアパーチャのアレイを介してプレートを横断する。各アパーチャはプレート22(図6)内で規定された一連の開口部210, 220, 230に対応している。

#### 【0047】

プレート22の各々の厚みはアパーチャの域内で約 $500 \mu m$ から $50 \mu m$ である。それらの相互距離は $10 \mu m$ から $1 mm$ 程度である。図5および6において注意しなければならないことは、長軸(アパーチャの光軸と平行なz-軸)の寸法は拡大されており、実寸でないことである。

#### 【0048】

10

20

30

40

50

ビームレットのブランキングは、アパーチャに各々対応する開口部 220 (「ブランク開口部」) のアレイからなるブランク・プレート 202 として実行されたブランク手段によって制御される。各ブランク開口部 220 は、一連のビーム・ブランク電極 221 だけでなく例えばブランク・プレート 202 の下方表面層上に収容された電極 221a, 221b を制御するための回路 222 からなる。次に説明するようなアパーチャ規定プレートとして作用するブランク電極 221 は、最新技術を使用して垂直方向に生長させることによってブランク開口部の周りに形成される。クロストークおよび他の望まない作用に抗してブランク開口部をよりよいシールドを提供するために、電極 221a の一つをブランク・プレート 202 を越える実質的な高さを有するように形成される。好ましくは、この電極 221a は全装置に対して均一電位 (例えば、接地電位) に接続され、一方他の電極 221b には「オン」と「オフ」状態間を切り換えるための制御電圧が印加される。ブランク・プレート 202 のレイアウトとその回路 222 のさらなる詳細は、米国公開特許第二 003 - 0155534 - A1 に見ることができる。

10

#### 【0049】

PD システム 102 はさらにアパーチャ・アレイ手段からなり、横方向にビームレットの形状を規定する作用をするとともに、ここではカバーとブランク・プレート 201, 202 の後方に配置された幅 w3 を有する開口部のアレイを伴うアパーチャ・アレイ・プレート 203 (以後、短く「アパーチャ・アレイ」という) として実行される。アパーチャ・プレート 203 のレイアウトに関するより詳細は米国公開特許第二 003 - 0155534 - A1 に見ることができる。

20

#### 【0050】

好ましくは、一連の機能プレート、カバー・プレート、ブランク・プレートおよびアパーチャ・プレートは、プレート同士間の配列、PD システムのプレート内部およびプレート間の発熱と帯電効果が容易に制御できる方法で選択される。到来ビームの方向から見たときにカバー・プレートが頂部に配置され、ブランク・プレートが中央に、またアパーチャ・プレートが低部に配置された図 6 に示す構成が、ちょうど一つの可能な構成である。他の可能性は図 22 に示す PD デバイス 102 ' の構成となり、アパーチャ・プレートがカバー・プレートの機能と合成されブランク・プレート 203 上方に配置された「ビーム形成プレート」204 になる。すなわち、ビーム形成プレートはブランク・プレート上に直接接着される。この場合において、ビームレット bm は適切な幅 w3 を有するアパーチャ 230 ' を通過するように規定される。

30

#### 【0051】

リトグラフ・ビームの方向から見てアパーチャとブランク・プレート 202, 203 の前方において、カバー・プレート 201 として実行されたカバー手段が他のプレートを放射による損傷から保護するために設けられる。カバー・プレート 201 は照射リトグラフ・ビーム 1b の大半を取り上げ、粒子はブランク・プレートの通過に対応してアレイ内に形成された開口部 210 を通過するだけであり、開口部はブランク・フィールド bf の全面積の小さい部分のみに形成される。カバー・プレート 201 のレイアウトに関するより詳細は米国公開特許第二 003 - 0155534 - A1 に見ることができる。

40

#### 【0052】

幅 w3 (カバー・プレート 201 内の初期開口部ではなく) のアパーチャ 230 は、システム 102 から放射されるビームレットの横方向形状を規定している (図 2 のアパーチャの幅 w に対応)。従って、厳密に言えば、用語「アパーチャ」はビームレット規定アパーチャ 230 によって規定されたような規定形状と幅 w (図 2) の開口部に対して残しておくべきであるが、一般的な用語として使用される「開口部」とは対照的に用語「アパーチャ」は図 6 に示すように一つのビームレット bm が伝播する一連の対応する開口部 210, 230, 220 を示すのにも使用される。

#### 【0053】

ブランク開口部 220 の幅 w2 は、カバー・プレート 201 内の開口部 210 の幅 w1 よりも大きく、これによって後者開口部によって規定されたビームレット bm は、ブラン

50

ク・プレート 202 上の制御回路 222 を作動させずに前者開口部を通過させることができる。例えば、幅  $w_2$  は  $7\ \mu\text{m}$  ( $w = 5\ \mu\text{m}$  のアパーチャの規定幅と比較して) となる。

【0054】

ブランク電極 221a, 221b が付勢されなければビームレット  $bm$  はパス  $p_1$  に沿ってプレート 22 の続く開口部を越えるとともに、作像システム (図 1) 内に作像される。これはアパーチャの「スイッチオン」状態に対応している (切替状態に関して、ブランク開口部それぞれ関連するアパーチャまたはアパーチャによって規定されたビームレット間において区別はない)。「スイッチオフ」アパーチャは横断電圧を印加して電極 221a, 221b を付勢することによって実行される。この状態において、ブランク電極 221a, 221b はビームレット  $bm$  をパス  $p_1$  から偏向パス  $p_0$  に偏向させ、これによってビームレットは、例えば PD デバイスの後方どこかに配置されたストップ・プレート 204 (図 1) で吸収される。

【0055】

ビームレット  $bm$  はかなり小さい角度だけスイッチオフ状態で偏向され、またビームレットは図 6 に示したようにアパーチャ 230 をなおも通過するが、この角度による偏向は (「スイッチオフ」) ビームレットを容易にブロックする後者位置の角度で横方向に偏向されるの充分であるにことを理解すべきである。

【0056】

図 4 および 5 を参照して、プレート 22 は公知のタイプの圧電素子またはナノポジショニング素子として実現されたアクチュエータ 24, 25 によって互いに関して位置付けされたチャック 23 によって保持される。垂直アクチュエータ 25 はスペースを保持するために設けなくてよく、次にプレート間の配置をチャック 23 自体の高さによって規定し、互いに単に積層することもできる。チャックの一つ、例えば図 5 における最後のプレートのチャックは、カップ 233 として形成され、これによって他のチャックの横方向位置付けが容易になっている。好ましくは、プレート 22 およびチャック 23 は同じ材料、例えばシリコンまたは動作温度範囲で同じ伸張特性を有する材料で製造される。チャックもブランク・プレート 202 の電気供給のために設けられ、明瞭にする目的で電線は図中には示していない。

【0057】

プレート 22 において、開口部 26 が基準ビーム  $rb$  を規定するために設けられている。基準ビーム  $rb$  の形状は、例えばアパーチャ・プレート 203 内に形成された開口部内に規定され、一方他のプレート内の対応する開口部は基準ビーム  $rb$  のための放射を通過させるのに十分な広さである。基準ビーム  $rb$  およびパターン化ビーム  $pb$  は基板平面向かって作像され、しかしパターン化ビームとは逆に、基準  $rb$  は基板 41 には到達せず、これまでに説明したようにアライメント・システム 60 内で測定される。チャック 23 は、このチャック 23 とこれらを保持するプレート 22 の相対的位置付けのためのアライメント・マーカーとして機能するアライメント開口部 236 をさらに有している。

グレイ・スケール

上述した PML 2 の概念に基づいて、基板は連続して移動され、またターゲット上の同じ画素が走査動作中一連のアパーチャによって複数回覆われる。従って、ターゲット上のある位置における一つの画素を考慮して、その画素が覆われたときに全アパーチャがスイッチオンされ、これで画素の最大露光結果となり、「ホワイト」シェードが 100% に対応する。グレイ・シェード (例えば、20%) が線内のアパーチャの対応する数 (例えば、線内に 90 のアパーチャあがるときに 90 の 20% = 18 アパーチャ) をスイッチオンすることによって実行される。従って、画素の値を制御する信号がグレイ・スケール・コード、例えば  $n$  ビットの 2 進数としてコード化された整数によって表わされる。

【0058】

グレイ・レベルを実現するために、米国公開特許第二 003 - 0155534 - A1 は線内のアパーチャの全数をカラムに、所望のグレイ・レベルの数に対応するカラム数 (例えば、30 グレイ・レベルに対して 30 カラム) に副分割することを提案している。電子

10

20

30

40

50

機器においてに対する大きいスペース必要条件のためにシフト・レジスタをアパーチャの密集したアレイ間に配置しなければならないという厳しい問題がある。この問題に対する解決策として、走査速度に対する係数  $n$  を掛けた速度で連続して  $n$  ビットデータに供給し、グレイ・コンパレータに供給して 30 グレイ・レベル・カラムの各々内に 1 ビット丁度にする。1 ビットシフト・レジスタが、「ブラック・アンド・ホワイト」データ流れを各カラム内の一つのアパーチャ・サイトから次のアパーチャにトグルしている間、次のグレイ・カラムのために利用可能な  $n$  ビット・データを維持し、カラム間の相互接続がデータ流れをグレイ・カラムの出発点（すなわち、アパーチャ列のオフセットによって提供されたスペースで）に配置されたメモリ・バッファに転送する。ここでデータが、時間遅延（すなわち、前回のグレイ・カラムを通るデータ流れの全トグル時間）がバランスするまで、

10

【0059】

本発明は PD デバイスを使用して走査基板上に画像をエンコードし転送するより効果的な方法で PML2 の概念を改善することを目的としている。本発明によれば、ブランク・プレート内のブランク開口部およびブランク開口部（および対応するアパーチャ）のスイッチ状態を制御する偏向手段の制御は、個々のブランク開口部間における遅延時間の処理を考慮せずに、1 ビット信号を直接ブランク・プレートに供給することを許容する方法で組織化することは、グレイ・スケール信号に関するさらなる処理を必要とせず、特にこの目的のためにデバイスを増大または低減する必要はない。

【0060】

20

ブランク・プレートおよびグレイ・グループ

以下、本発明をアパーチャの構成が  $n = 6$  と  $m = 6$  ( $n \times m = 36$ ) の概念で説明する。ウェハに対して説明されるべき最小構成サイズは  $45 \text{ nm}$  ( $45 \text{ nm}$  の分解線とスペースを伴う  $45 \text{ nm}$  ノードとする) であり、最小スポットは  $25 \text{ nm}$  (図 3 において画素幅  $x$ 、一つのアパーチャの幾何学的画像に等しい) である。画像フィールド幅  $f_w$  は  $81 \mu\text{m}$  である。200×縮小投射システム(上記説明参照)に関するこの画像フィールドを製造するために、正方形 PD フィールドが幅  $L = 16.2 \text{ mm}$  を有し、線の数  $p_l = L/W = 3240$  に対応し、また 3240 ビット・ストリームが到来データ・ストリームによってアドレスされることになる。横断方向において、列  $r_1 - r_3$  の各々に  $f_w / (n \cdot x) = L / (n \cdot w) = 90$  アパーチャがある。

30

【0061】

本発明は次の考えに基づいている。グレイ値は例えば 0 から 31 の範囲にある値の数によって表わされる。与えられた範囲において、一連の数が範囲の全値（または範囲が完全に示す必要がなければ少なくとも全ての適切な値が、一連の数から選択され複数の和として表わすことができる。例えば、一連の数 (1, 2, 4, 8, 16) が 0 から 31 の全ての値を表わすように選択される。これは 2 の累乗分解であり、一連の数から数の選択は常に一つである。他の一連の数も同様に適しており、ある数が一回を超えて現われてもよいことに注意しなければならない。例えば、一連の数 (2, 2, 3, 6, 14) は、値 1, 12, 14, 26 を除いた 0 から 27 の範囲を表わすのに使用することもできる。この一連の数において、値 18 は  $2 + 2 + 14 = 1 \cdot 2 + 1 \cdot 2 + 0 \cdot 3 + 0 \cdot 6 + 1 \cdot 14$  またはショートハンド (11001) で表わすことができる。このショートハンドは一連のビットであり、各々一連の一つの数を表わし、関連する数が和であれば値 1 で、そうでなければ 0 をとる。

40

【0062】

総計が任意の強度になるまで加算された露光の明瞭な数を発生するために、グレイ数を表わす数のこのような分解を（直線増大または縮小を使用する代わりに）一連のビットに使用してアパーチャがスイッチオンまたはスイッチオフされるように決定することができる。この一連のビットはグレイ信号として使用され、また各ビットはブランク開口部の一つのグループ（「グレイ・グループ」）に関連している。各グレイ・グループ内の開口部の数は、グレイ・ビットを表わす数によって特定付けられる。

50

## 【 0 0 6 3 】

$N \cdot 2^M$  ブランク開口部からなる線を伴う例として、 $M$  グループを使用する実行に対応して 2 の乗数分解がグレイ・レベルのために使用され、各々  $N \cdot 2^n$  アパーチャからなり、 $n = 0$  から  $M - 1$  がグレイ・ビットの指数に対応し、また  $N$  が最低（ゼロではない）グレイ・レベルのアパーチャの数である。従って、0 から  $2^M - 1$  の  $M$  ビット範囲によってスパンされたいずれのグレイ・レベルも簡単な 2 進数によって表わすことができ、各グレイ・レベル  $x$  が  $x \cdot N$  ブランク開口部の数に対応している。（等価的に、開口部の仕切りは  $(N, 2N, \dots, 2^{M-1}N)$  である。）例えば、「0」と「31」間の値を生成するために、5 ビットに対応する直線独立基準が使用される。この例において、（デシマル）数 13 が 2 進数（01101）で表わされるので、グレイ・レベル 13 は数  $13 = 1 + 4 + 8$  の仕切りに基づいて発生され、このような方法において指数 0, 2 および 3 を伴うグループがアクティブであり、 $N$  をとると、 $2^2 \cdot N = 4 \cdot N$  および  $2^3 \cdot N = 8 \cdot N$  のブランク開口部がそれぞれ累積露光線量を受け、一方残りのグループはアクティブではなく、また全く寄与しない。複数のレベル（例えば、 $2^M$  のグレイ・レベル）を構成数（例えば、1 から  $2^M - 1$  の  $M$  2 進乗数に）仕切ることによるこのアプローチの特定する利点は、データ転送の問題がずっと簡単になることである。非 2 進乗数分解が使用された場合、同じ考えが適用される。

10

## 【 0 0 6 4 】

ブランク開口部の各グレイ・グループのために、シフト・レジスタの第一要素のみが、すなわち、グループ当り一つが到来データ流れ（または逆方向に走査するための最後の要素、走査方向を逆にするために必要な電極の詳細は米国公開特許第二 0 0 3 - 0 1 5 5 5 3 4 - A 1 に開示されている）によってリフレッシュされる。グレイ・グループに供給され、またその第一ブランク開口部のための制御信号として直接使用される信号は、以下グループ制御信号と呼ぶ。グループ制御信号はターゲットを越えてパターン画像の走査動作と一致することが必要なときに遅延を提供する遅延手段を介して一つのブランク開口部から次の開口部に渡される。単一ビット・グレイ制御信号（一線当り 1 クロック・サイクル当り 1 ビット）が、グレイ・グループのために全てそれぞれの露光を発生するのに充分である。この概念に従って、ブランク・フィールド  $b f$  へ供給されるべき供給線の数、ある先行技術、特に全てのアパーチャが外部から個々にアドレスされるヤスダ他の特許と比較して大きく低減される。さらにアパーチャ・プレートの上方面または下方サイドからデータ流れに供給されるスペースが充分になる。

20

30

## 【 0 0 6 5 】

本発明に基づくブランク・プレート 7 0 2 の一つの適切な実施例を図 7 の平面図に示す（カバーおよびアパーチャ・プレートのような PD デバイスの他のプレートはこの図を明瞭にするために取り外さなければならない）。ブランク・プレート 7 0 2 の中央において、ブランク開口部は図 2 で上述したように PD フィールドを形成する折れ線の正規アレイ内に配備されている。結果として、ブランク・フィールド  $b f$  内に各々 90 のブランク開口部を伴うブランク開口部の 3 2 4 0 の線がある。この開口部の構成はスケールで表わすことができないので、フィールド  $b f$  を図 7 においてクロスハッチングのみで表わしている。ブランク・プレート 7 0 2 の周縁において、生成されるべきデータ流れが複数のパッド接続部 7 1 3 を介して供給される。パッド接続部の必要サイズのために、その数は制限され、パターン信号がパッド接続部の数に対応するデータ幅でより高いデータ率でより小さいデータ幅に多重送信される。フィールド  $b f$  を取り囲んでより好ましく配置されたコンバータ手段 7 2 1, 7 2 2, 7 2 3, 7 2 4 が、データを制御信号にデコードし、これがフィールド  $b f$  内のブランク開口部に印加される。これらの信号は複数の供給線 7 1 1（供給線のほんの一部を明瞭にする目的で示しており、実際には供給線 7 1 1 の数は次に説明するように数千本である）を使用して供給される。

40

## 【 0 0 6 6 】

図 8 を参照して、各線のブランク開口部は次に説明するようにグレイ・グループに組織化される。各グループの開口部は連続して配置され（図 9 a も参照）、さらにグループ化

50

はブロック・プレート702の全線に対して同じである。結果として、線の対応するグループは線に対して垂直に（または、等価的に走査方向と直交して）走行するストライプを形成する。これらのストライプによって覆われた域は参照の目的で図8で破線で輪郭が描かれて、また基準シンボルa1からa6によって示されている。この実施例において、グループは次のブロック開口部の数、すなわち、図8の左から右へ8, 16, 32, 28, 2, 4を有している。このようなアパーチャの分布は0から45のレベル（レベル当り2アパーチャ）、すなわち46グレイ・レベルを発生するように許容される。同じグレイ・スケール値がグループ信号をそのように再配列し、グループ制御信号のために適切な位相シフトを適用するだけで実行することができるように、同じ構成が多くの順序で、例えばグループのサイクル的並べ替えで行なわれることに注意しなければならない。

10

#### 【0067】

図9はグループの配列の詳細を示す。より明瞭にするために（また図を簡略にするために）、ブランク開口部の配列は図9から13、15から17および図21において $n \times m = 4 \times 3 = 12$ として示している。次の実施例では実際に $n \times m = 36$ を使用しているが、次の考えを容易に取り入れることができ、またこれらのケース間で適用できることを覚えておかなければならない。

#### 【0068】

図9aはブランク・フィールドの第一線の端（図8の最も左のアパーチャ）を示す。最後の四つのブランク開口部910は最後のグループg6を形成し、これらの前二つのブランク開口部910は二番目の最終グループg5である。各グループに対して、第一ブランク開口部が供給線911（図8の線gfの一つに対応）を介してそれぞれのグループのブランク信号が供給される。供給線は普通ウェハの金属層および（または）信号と同期する電子機器上に形成されたスクリーン状導電線からなる。もしよければ、シフト・レジスタを介するトグル操作で信号をグレイ・グループに供給するのに使用することもできる。

20

#### 【0069】

図9bは一連のグループが線に対して同じであるとき、ストライプa4, a5, a6からの近接線のグループg4, g5, g6の概要がどのようになっているかを示す。（図9bは破線ボックスD9で示した図8の詳細である）。各グループ内で、信号は遅延手段921と相互接続線914からなる相互接続部によって一つの開口部から次の開口部へ伝播される。遅延手段921は、パターンがPDフィールド（米国公開特許第二003-0155534-A1、図17および18と比較して）線内の連続アパーチャ間で適切な時間遅延を提供するように作用する。図9の特定例において、遅延手段921は一連のシフト・レジスタとして実現され、また各遅延手段は接続された二つの開口部間の傾斜域を使用する。

30

#### 【0070】

マルチプレクサから各グループの第一アパーチャへのグループ制御信号の走行時間のために、例えば適切な信号位相を設定することによって事前処理中に可能な遅延が補正されれば、必要とされる信号同期化を達成するための付加的なメモリ・バッファは既に説明した遅延手段の他に何も必要ではない。付加的な高周波電子技術の迂回は従来技術のBAAレイアウトと比較して相当簡略化できる。図7のレイアウトにおいて、グループ・ブランク信号が図8に示したように全サイドから供給される。ブランク・プレート702のロジック、および特にブランク開口フィールドbfにおいて、米国公開特許第二003-0155534-A1において必須であるグレイ・コンパレータもDRAMバッファも必要ではない。コンバータ721-724のようなおも必要とされる高周波論理電子機器は、フィールドbf外部の厚いウェハ域内に形成することができる。説明したチップ・レイアウトは、複数の供給線gfに接続された熱およびタイミングの問題を軽減する。

40

#### 【0071】

従来技術に対する本発明の主たる違いの一つは、グループ・ブランク信号がブランク開口部の対応するグループの第一ブランク開口部に（より正確には、その開口部のそれぞれの制御回路に）直接配信されることである。この状態は代表する数の供給線gfにつき図

50

8に示し、各々コンバータ721-724の一つから始まり、ストライプa1-a6内のグループの一つ第一ブランク開口部のサイトで終わっている。実際に存在する(すなわち、 $3240 \times 6 = 19,440$ 本)の非常に複数の供給線のために全てこれらの線gfを図8に示していない。むしろ図8に示した線gfは線のパスの全体のアイデアを表わしている。供給線gfは交差しないことを認識することが重要で、この条件が好ましく、線のパスはフィールドbfの最も近いサイドに直接走行するように選択される。コンバータ721-724が配置された周りのレファレンス・マーク26の位置も図8に示す。

#### 【0072】

この構成の結果、アパーチャ間に付加的なスペース(米国公開特許第二003-0155534-A1の「列オフセット」のような)を必要とするメモリ・ブロックもグレイ・コンパレータも必要としない。

#### 【0073】

図10から12はブランク・プレート内のグループ制御信号の経路を示す。図10は図8(破線ボックスD10によってマークされた)の詳細を示し、ストライプa4の外側領域のブランク開口部910に供給される供給線gfを示している。これらのグループ制御信号はフィールドbfの底サイド(図8と10に関して底サイド;走査方向に関して横方向サイド)から接続フィールド912で供給される。各ブランク開口部に対して、図10から12においてボックス922(図12および12においてハッチングされた)エリアが確保され、各ブランク開口部910の遅延手段の回路が偏向素子の関連する電気制御素子(コンデンサ)の他に設けられる。従って、ボックス922は図9の部材921に対応するが、ブランク開口部のアレイに対してスペースの異なる割り当てをする。繰り返しカウント $n = 4$ のために、供給線gfは4線のグループ内に同様にグループ分けされる。

#### 【0074】

図11はそれぞれのグループ内でグループ制御信号の伝播を提供する連続ブランク開口部間の相互接続を示す。各相互接続線914はブランク開口部に属する一つのボックス922にある遅延手段の出力で始まり、次のブランク開口部の入力に走行し、ここで関連する遅延手段の入力と偏向電極の制御部に供給される。相互接続線914は、図10に示した供給線のような異なる電気層内に形成されている。

#### 【0075】

図12はグループの端にある相互接続線を示す。グループの最終ブランク・アパーチャに信号を供給する相互接続線914'は、遅延手段がこのブランク開口部に必要としないので、偏向電極制御部に直接供給されている。グレイ・グループの最終ブランク開口部が、グループを介するデータ伝播のためのデッドエンドを表わしている。線の端で信号の反射を回避することを保証するために、データ線は端末抵抗器(図示せず)のような適切な電気手段によって終端されなければならない。データ線の終端はPDフィールドの外部で実行してブランク・フィールドbf内に発生する熱の低減を許容する。線を閉止するための他の可能性は、各信号のための第二線(帰還線)となるか、または「ツイスト・ペア」のような高周波技術となる。これらの観点とは別にして、図12は11に対応する。

#### 【0076】

上述の実施例において、ブランク開口部のグループは各線において同じ順序に従っている。しかし、シーケンスは線間で変更できる。このような変形例を図13に示す。

#### 【0077】

図13は図9と類似したフィールドbfのエッジを示す。しかし、この変形例において、一連のグループは各線で異なる。各線において開口部の数はなおも仕切り(2, 4, 8, 16, 28, 32)に従っているが、実際の順序はこれら数の種々の並べ替えを表わしている。より詳しく説明すると、図13に詳細に示した一つの可能なパターンは、図13に示したような最も上の線から始まる順序であるグレイ・グループの次のシーケンス、すなわち、(16, 28, 8, 32, 2, 4), (4, 16, 28, 8, 32, 2), (2, 4, 16, 28, 8, 32), (32, 2, 4, 16, 28, 8), (8, 32, 2, 4, 16, 28), (28, 8, 32, 2, 4, 16)となり、次に始まりからの繰り返し



しとなる。このシーケンスはグループのサイクル変換を実現し、他の実施例においてこのシーケンスの反転または自由な並べ替えを使用することができる。

【0078】

P Dデバイス内でグレイ・グループの並べ替えシーケンスを使用する主たる利点は、ビーム直径の断面上で動的構成ビームの電流密度分布を効果的に滑らかにすることである。従って、電流密度分布が特定レイアウトで全く無関係となり、クーロン相互作用によるパターン関連画像歪を回避する。パターン関連画像歪はP M L 2内の使用可能電流の主たる制限要素の一つであり、生産性と全体の性能を低下させる。

【0079】

データ事前処理

図14はブランク・プレートのためのデータ事前処理およびデータ・ローディングを示す。既に説明したように、ブランク・プレートへ供給される並列データ(3240線掛ける6グレイ・グループ)の安定流れがある。ブランク・プレートに対して利用可能な線の制限数(例えば、200未満のパッド接続部713)だけがあるという事実のために、マルチプレキシング工程がこのボトルネックの周りで操作するのに使用される。換言すれば、任意の定格(例えば、8MHz)で複数の並列データ(6×3240ビット)が高いデータ定格(144×8=1152MHz)の少数データ(例えば、135ビット)に変換される。ブランク・プレート上で、データがコンバータ721-724内で並列データに変換し直され、供給線gfを介してグレイ・グループに印加することができる。ブランク・プレートでデータ定格を下げるために、供給線がP Dフィールドの全周縁の周りに配備される。例えば、上述したように25mmチップ上に生成された16.2mm幅の方形P Dフィールドで、80μm幅を有する少なくとも1250までの接着パッドが矩形フレームに沿って線に嵌め込むことができ、16ビット・マルチプレキシング工程によって128MHzまでデータ定格の低減が許容される。

【0080】

データ準備工程は、大量記憶装置に保持されたターゲット・パターンから始まり、また最新技術方法に基づいて、粒子・光学投射システム(図1)のような全ての必要な修正を考慮してグレイ・スケール・パターンに変換される。このグレイ・スケール・パターンは既に画素化フォームに規定されている。このファイルのグレイ・スケール・データは、ブランク・フィールドbf内のグレイ・グループに基づいてグレイ値の分解によってグレイ・ビット・データに変換される。こうして得られたグレイ・データ・ビットは個々の位相シフトに基づいて互いにシフトされる。グレイ・グループはブランク・フィールドbf上にあるそれぞれ第一ブランク開口部の相対位置のために必要である。このデータ処理ステップはパターン書き取り処理を制御するのに直接使用することができる位相シフト・グレイ・ビット・データ流れを発生する。しかし、好ましくはオフライン・データ準備がなされ、ストリーム・データが中間記憶装置に都合よく記憶される。この中間記憶操作のために、ビット・データを圧縮してデータ・ファイルへのコンパクト記憶を許容する中間データ形態にすることが有利である。設定されるべき位相シフトがクロック・サイクルの整数値でなければ、信号はグレイ画素データの補間によって計算しなければならない。好ましい実施例によれば、ブランク・プレート上のアパーチャの位置およびアパーチャへの信号転送回数は、位相シフトがクロック・サイクルの整数となる方法で選択され、次に位相シフトが付加的なデータ処理なしにグレイ・データ流れの順方向または逆方向へのシフトによって容易に調整される。ターゲットの実際露光の時間に、中間データ・ファイルがデコードされ、位相シフトされたグレイ・ビット・データ流れを回復する。この流れは低いハンド幅と高いデータ定格(上述したようなマルチプレキシング)のデータ・フォーマットにエンコードされる。またこの形態において、ブランク・プレートに伝送される。ブランク・プレート上で、データ流れがコンバータ手段721-724内にデコードされるとともにブランク・フィールドbfに供給される。

【0081】

このデータ事前処理経路を使用することにより、データのバッファ処理はブランク・ブ

10

20

30

40

50

レートまたはPDデバイス上で必要ではない。データ流れのグレイ・ビット（グループ制御信号）への分解とその同期化は長いCPU時間を必要とし、この処理は、露光前にオフラインで実行されるのが好ましい。

【0082】

本発明は先行技術に対して幅広い利点を提供する。

【0083】

- ブランク・プレートの複雑さが大きく低減されている。複雑な配線だけでなく高価なメモリ・ブロックまたはバッファもグレイ・スケール・データの処理のために必要としない。

【0084】

- 緩和されたリスク。ブランク・プレートのボード上の回路が低減されているので、発熱が大きく低減される。同じ理由で、製造リスクが軽減され、またX線照射に対する抵抗が改善される。ダウンスケーリングが、シフト・レジスタ電子機器とリトグラフ・ノード両方に関して促進される。付加的に、欠陥のリスクが欠陥修正概念によって低減される。

【0085】

- 大々的な性能の改善。これらはグレイ・レベルの増大数、アパーチャの増大密度（増大空隙率）、空間電荷をよりよく制御することを許容するユニークでないコーディングおよびパターン依存歪を使用する可能性による。

【0086】

- 有利なデータ事前処理。簡単な「オフライン」ルーチンが全体的低減転送定格で伝送することができる時間遅延信号を生成できる。

【0087】

エキストラ・グレイ・グループ；欠陥修正

グレイ・スケールに関連する可能な欠陥と他の問題を考慮するために、1線当りの欠陥数に依存して可能にされたり、不可能にされたりできるスペア・ブランク開口部を含めることが可能である。このオプションを提供するために、必要とする以上のアパーチャがあるチャネルまたは全チャネルのために構成することができ、あるいはより有効であると思われる、付加的な「エキストラ・アパーチャ」グループが各線に付加でき、これによって必要とするときに、例えば対応する接続線の合焦イオン・ビーム修正によって物理的に必要なとき、または設置ロジックを使用するソフトウェア制御スイッチングによって1線当りのアパーチャの特定数を「稼動」することができる。

【0088】

欠陥修正のための可能なプロシージャは、1) テスト・パターンおよびビーム分析機器を使用して校正によって1線当りのエキストラ・アパーチャの必要数を決定する。2) 個々のグループ制御信号によってアドレスすることのできるエキストラ・アパーチャの必要数を稼動するようにブランク・プレートのソフトウェア制御スイッチングまたは修正。3) 各線の最終ビットの最高達成可能修正をデータ事前処理する。

【0089】

例えば、図8の実施例において、46のグレイ・レベルで、仕切り（8, 16, 32, 28, 2, 4）の代わりに線内において、最初のグレイ・グループ内に一つの欠陥があり、また三番目のグレイ・グループ（アンダーラインを付した番号によって示す）内に二つの欠陥があるために、（7, 16, 30, 28, 2, 4）のみが利用可能であり、適切な修正が五つのグレイ・グループと一つのエキストラ・グループのグレイ・レベルに対して事前計算されれば、少なくとも三つのブランク開口部（「アパーチャ」）を有するエキストラ・グループが少ないレベルのためのみに発生する1レベル（1アパーチャに対応）1/2の最大エラー線量として0と45（1レベル当り2アパーチャ）の全値を近似するのに充分である。図15は五つのブランク開口部970を有するエキストラ・グループg7を伴う線の端部を示している。これらブランク開口部の最後の二つは不作動にされ、これによって三つの稼動ブランク開口部が残される。グループg7は他のグループのように供給線971によって制御される（図9aと比較）。ブランク開口部を容易に不作動にする方法

10

20

30

40

50

を提供するために、連続アパーチャ間の接続部 974 のセグメント 973 が表面上に実行される。例えばレーザまたはレーザビームによる構造上の修正ステップにおいて、このセグメントは非導電性とし、最終から 2 番目のセグメント 973' に対して図 15 に示したような接続部で効果的に遮断して、このセグメント後方の全ブランク開口部を不動作にすることができる。

#### 【0090】

図 13 の構成に関する一つのさらなる例において、線は各線（図示せず）内のある適切な位置で付加されたエキストラ・グループ内に 5 個のブランク開口部によって延長されている。グレイ・グループは (16, 28, 8, 32, 2, 4; 0), (3, 16, 26, 8, 32, 2; 3), (2, 4, 16, 28, 8, 32; 0), (32, 1, 3, 16, 27, 6; 5), (8, 32, 2, 4, 16, 28; 0), (28, 8, 32, 2, 4, 16; 0) となり、第二および第四線 3 および 5 のアパーチャがそれぞれ故障すれば（故障ブランク開口部を伴うグループを表わす数にアンダーラインを付す）、そのそれぞれの線内にある実際の位置にかかわらずエキストラ・グループが常に終端で書き取りされる。

#### 【0091】

図 16 は故障修正のためのエキストラ・ブランク開口部を含める別の方法を示す。グループ ge5, ge6 の終端において、エキストラ・ブランク開口部 980 が設けられている。必要があれば、これらのエキストラ開口部が例えば図 16a に詳細に示した関連する線セグメント 983 を遮断することによって作動される。この線セグメントは、例えば論理「高」電位を AND ゲート 982 の負入力に接続する線に属している。グループ制御信号のために（他の入力は浮動だから）線がゲート 982 を常開状態から伝達状態への切り換えを遮断し、これによってゲート後方のブランク開口部 980 を作動させる。別の方法として、セグメント材料が本来非導電性のものが使用され、かつ構造上修正によって導電状態に作動されることができれば、セグメント 983 はゲート 982 を設ける必要なしに図 15 に示したケースのように線内に直接設けることができる。

#### 【0092】

インターロッキング・グリッドを備えたグレイ・グループ

本発明のさらなる発展例として、「インターロッキング・グリッド」による異なるグループの配列アパーチャが実行され、基板上に付加的な露光スポットを生成する。インターロッキング・グリッドにおいて、一つまたはそれ以上のアパーチャが、アパーチャ直径の一部によって、詳しくは正方形または矩形グリッドに対して半径だけ水平および垂直方向に他のグループのベース・アレイにシフトされる。

#### 【0093】

図 17 はインターロッキング・グリッドの概念を示す。この図は二つのグレイ・グループ・ストライプ b14, b24 間の境界域の詳細を示し、簡略にする目的で、4×3 アレイを描いている。アパーチャのオフセットを二つのストライプ b14, b24 間に示している。いずれの構成もストライプ b14, b24 の下方内部エッジ内に示した正方形画素のグリッド gd14, gd24 を規定する。この図から明瞭にすると、二つのグリッドが互いに関してインターロックされる。ストライプ b14 の構成が連続しておれば、ストライプ b24 の域内にあるアパーチャの配列をハッチングされた正方形として示している。

ストライプ a24 内のアパーチャ（すなわち、ブランク開口部）は、他のストライプ a14 内のアパーチャの位置に関して垂直方向と水平方向にアパーチャ幅の半分だけシフトされる。この結果として、効果的なグリッドが両グリッド gd14, gd24 の重畳から得られ、効果的グリッドのピッチはベース・グリッドのピッチの半分になる。異なるグリッドに属するブランク開口部が分離したグレイ・グループとしてアドレスされる。

#### 【0094】

インターロッキング・アレイは空間画素補間、従って画像配置と線エッジの粗さに関して改善された融通性を許容する。このプロシージャにより、事前規定アドレス・グリッド

10

20

30

40

50

に対するグレイ・レベルの必要数は、相当低減される。この点は統計的線量ふらつき（ショット・ノイズ）による線量変化がパターン配置とCD制御のために必要とされる線量精度の範囲にあるかどうか特に重要である。ある一定の露光線量とスポット・サイズに対して、限定されたレベル数のみが統計的に区別可能である（例えば、25 nm 正方形スポットと1電子/nm<sup>2</sup>露光線量に対して約30レベルのみ）。インターロッキング・グリッドは既存の画素代表を補間して、例えばグレイ・レベルの必要数を低減し、PDフィールドのダウンスケールが望まれるときに重要になる。または小さいアドレス・グリッドを使用することで解像度を改善し、例えばトランジスタ・ゲートのような最も限界的な線に対して使用することができる。任意のグレイ画素データのための直線保管インターロッキング・グリッドの計算のような必要とするデータ事前計算が操作中またはオフラインで実行することができる。

10

#### 【0095】

直接書き取りリトグラフ内のグレイ・スケールにおける必要性は、画像配置と線エッジ粗さに関する仕様と一致させるために、半導体工業デザイン規則がますます小さくなるアドレス・グリッドを暗示していることから発していることが喚起される。例えば、約22.5 nmのぼやけと25 nmピッチのアドレス・グリッドを有する幾何学的スポット・サイズを使用して、46のグレイ・レベルを示すシミュレーションが、ウェハ上に1 nmの必要精度で構成を配置するのに充分である（線配置エラーが全グリッド位置で0.5 nm以下の線位置エラーと、0.5 nm以下の線幅エラーを意味する）。付加的に、リトグラフ仕様と一致させるために、総合線幅変動が限界寸法の約10%未満（＝公称最小線幅）である。これは単一サイド線エッジ粗さが線幅の5%未満であることを意味している。線エッジ粗さは、閾値線量でカットオフ後、露光ウェハ（空間画像）で総合線量分布のレベル・カーブの直線bの偏差によって表わされる線の直線性のための測定値である。

20

#### 【0096】

インターロッキング グリッド・グレイ画素の主たる利点は次の通りである。

#### 【0097】

- 1) グレイ・レベルの同じ数で高揚された配置制度
- 2) 任意のアドレス・グリッドに対して必要とするグレイ・レベルが相当低減
- 3) グレイ・レベル数の低減がPDフィールドのサイズのさらなる低減を許容
- 4) 最も限界的な線（解像度<ノード）の書き取りが同じ走査速度で可能
- 5) 任意のぼやけ（最小外径サイズのパーセント）に対して、小さいリトグラフ・ノードが達成
- 6) ブランク・アパーチャ・プレート内の総アパーチャの限定数に対して、小さい直径コラムの場合に、レベル当りのアパーチャ数（＝冗長性）従来のグリッドと比べてインターロッキング・グリッドに対してより高い、16.2 mmの矩形プレートの例によって説明すると、90個のアパーチャがインターロッキング・グリッドを使用してまたはそれぞれインターロッキング・グリッドなしに46個のグレイ・レベル（1レベル当り2アパーチャ）を使用して2×16のグレイ・レベル（1レベル当り3アパーチャ）に副分割することができる。

30

#### 【0098】

図18は図8のグリッドと同様に示したように、インターロッキング・グリッドを備えたPDフィールド実行グレイ・グループを示す。コンバータ手段821...824がPDフィールドを取り囲んでおり、フィールド内でブランク開口部のグレイ・グループが実行され、またグレイ・グループがここでも（図8と同様に）ストライプa11, a12, a13, a14, a21, a22, a23, a24に組織化され、PDフィールドの幅が走査方向を横断してスパンされる。しかし、この場合において、最初の四つのストライプa11...a14が第一ドメインdm1に、一方他の四つのストライプa21...a24が第二ドメインdm2に属し、グリッド・シフトがアパーチャに対応する正方形の対角線の半分だけシフトされてグリッドが実現する。従って、図17を参照してこれまでに詳述し検討したように第一dm1のストライプa11...a14の下方にあるグリッドは第二dm2のス

40

50

トライブでインターロッキングされる。

#### 【0099】

従って、各ドメイン  $dm1$  ,  $dm2$  はブランク開口部の複数の折れ線からなり、一つのドメインの線は線の幅の一部だけ他のドメインの線に対してオフセットし、各ドメインの各線のアパーチャは少なくとも一つのグループを表わしている。図18に示す特定の場合において、二つのドメインはグループの対応する仕切りを有しており、これによって第一ドメインの各グループはそれぞれのグループ内にブランク開口部の等数を有する第二ドメインの対応するグループを有している。しかし、本発明の概念内の変形は充分可能であり、一つのドメイン内のアパーチャ数またはグループへの仕切りは別のドメイン内で使用されるものとは異なる。第二ドメインのために完全な実行はいずれの場合においても必要でないことが予想されるが、主要グループはターゲット上に微細な空間解像度を形成するために適切な中間強度を実現する。

10

#### 【0100】

図18のPDデバイスのアパーチャの配列は、 $n=6$  と  $m=6$  ( $n \times m = 36$ ) に基づいた配列内で  $90 \times 3240$  のアパーチャからなる。ウェハ上で照明される画素サイズ(図3で素幅  $x$ ) は、図示実施例に使用された  $200 \times$  低減光学系と  $5 \mu m$  アパーチャに基づいて  $25 nm$  である。ストライプ  $a11 \dots a14$  ,  $a24 \dots a21$  のグレイ・グループ内のアパーチャ数は、図18の左から右へ ( $3, 6, 12, 24; 24, 12, 6, 3$ ) である。より明瞭にするために、アパーチャ・マークは図18では示していない。他の観点において、図8で考慮した同じ事項は図18においても適用する。

20

#### 【0101】

インターロッキング・グリッドを実現する他の方法があることに注意する価値がある。一例を図19と20に示す。すなわち、三角形ターゲット・グリッド(図20)にアドレスするためのPDフィールド(図19)における六角アパーチャ(または六角形に近似した形状、例えば円形または角の丸くなった方形を有するもの)である。アパーチャ(またはブランク開口部)は、三つのドメイン  $hm1$  ,  $hm2$  ,  $hm3$  内に配列される。上述の考慮に基づいてグレイ・グループに副分割できる各ドメイン内で、アパーチャは六角形アレイ(走査方向に延長される)に基づく互いの関係で配置され、ここで近接線は六角形の辺の長さの  $3/2$  だけ隔置され、また近接線内のアパーチャのオフセット  $h_o$  に対して適した値は、 $h_o = (k + 1/2) \cdot a \cdot \sqrt{3}$  であり、ここに  $k > 1$  は整数である。概して、適切な信号位相変換がオフセット線に対して提供されればどのオフセットも可能である。異なるドメイン  $d_{12}$  と  $d_{23}$  のアパーチャ間の距離はオフセット  $h_o$  または  $(k' + 1/2) \cdot a \cdot \sqrt{3}$  として等しく選択でき、あるいは一般的に、適切な信号位相変換がそれぞれのドメインに属するグループの第一アパーチャに適用されれば、どのオフセットとすることができる。距離  $d_{12}$  と  $d_{23}$  は、通常互いに等しいが、異なる値をとることもできる。これらの値で、図19の六角アパーチャは図20に示した三角形ターゲット・グリッド  $hg$  に基づく規則的な分布を発生させるために適している。この図において、ドットはターゲット(露光ドットの中心)上の物理的アクセス・グリッドを表わしており、また実線は全三つのドメイン  $hm1 \dots hm3$  のアパーチャの幾何学的スポットの包絡線を表わしている。

30

40

#### 【0102】

リトグラフ  $e$  - ビーム直接書き取りアプリケーションのためのインターロッキング・グリッドの特定する利点は、次の考えによる。

#### 【0103】

リトグラフ内で最高解像度を達成するのに適した高電圧電子ビーム・リトグラフに対して、特に  $100 keV$  電子が使用されたときに、望まない線量寄与(近似効果)がウェハ(すなわち、ターゲット)からの電子後方散乱によってもたらされる。普通  $100 keV$  後方散乱電子が、レジストで覆われた面に到達する前方約  $30 \mu m$  の寸法に実質的に放射される。これと比較して、低エネルギーで優勢である前方散乱はあまり重要でない寄与のみを生ぜしめる。 $100 keV$  電子によってもたらされた近似効果のために修正すると、

50

問題はスムーズな背景線量修正に変換することができ、また特定構造形状と実質上無関係である。

【0104】

例えば、シリコン内の100keV電子の後方散乱は、最大50%パターン密度が仮定された場合、レジスト内に溶着された線量(平均して30 $\mu$ m以上)の約14%のエキストラ線量を引き起こす。非常に低いパターン密度に対して、例えば隣にパターンのない離れた線の場合において、後方散乱は総線量に対してそんなに重要な役割を演じることはない。

【0105】

本発明によって可能となる近似修正のための有効な計画は、エッジ・スロープの調整と総線量分布(=溶着線量+後方散乱によるエキストラ線量)のカットオフ位置の調整である。これには適切なグレイ・レベルによるインターロッキング・グリッド・グレイ・レベル点を使用する。全体のアドレス・グリッドに渡る最適化エッジ・スロープで付加設計されたエッジ位置を生成する。

【0106】

インターロッキング・グリッドの説明した方法は、非常に微細なアドレス・グリッド(線位置、線幅)を許容し、その全構成は実際に同じ処理寛容度で実行することができる。ゼロ背景であるが、14%背景も存在する場合において、溶着エネルギー・プロフィールとカットオフ位置のエッジ・スロープの調整が可能であり、ローカル・パターン密度と無関係の全グリッドに対して十分な大きさの処理寛容度を許容する。

【0107】

共通の高コントラスト・レジスト材料に対して、解像度および処理寛容度が大気画像(溶着線量の空間分布)から導出される。化学的に増大されたレジストのための共通点として、潜像(すなわち、露光されたレジストおよび未露光のレジストの空間分布)は、大気画像の負密度の指数に比例する。得られたガンマ特性は、リトグラフ処理がある一定線量レベルで通常最大線量レベルの半分で大気画像を「カットオフ」することによって導出することができた後、共通の(また優れた)近似値につながる。次に示す例において、線量分布は平均線量レベルの50%でカットオフされ、本発明によって提供された新しい可能性を使用して開発後、線の達成可能幅および位置に対する印象をリーダに与える。

【0108】

説明の都合上、上述例にインターロッキング・グリッドを使用したと仮定して、三つの任意に選択されたグリッド位置に対するターゲット上に作像された線特性のためにシミュレートされた線量分布(大気画像)をゼロ背景につき図23a-cに、また14%背景につき図23d-fに示す。図23および24において、実線は総線量を表わし、また破線は線(線は充分長く線の端部がセクションに寄与しないと仮定)の断面に沿ったそれぞれの総線量に対するこのグレイ画素(ガウス形状)の寄与を表わしている。近似効果に関連する背景の最悪ケースを説明するために、全曲線はエリア当り総線量の14%だけシフトされており、上方向は図23d-f(50%パターン密度の場合および後方散乱による28%線量分布)である。明らかに、0%と14%背景間で同様の特性が見つかった。

【0109】

比較の目的で、インターロッキング・グリッドなしで、46またはさらにそれ以上のグレイ・レベル(二つのドメインに対して16+16の代わりに)を使用したことが微細傾斜角度調整をほとんど許容しない。ゼロ背景につき図24a-cのシミュレーションに示し、また14%の背景につき図24d-fに示す。本質的に、特に1nm未満の精度が必要とされれば、インターロッキング・グリッドは傾斜角度調整と線配置制御両方を同時に達成するのに必要とされる。図23a-fで証明したようにエッジ傾斜とカットオフ位置の全体的微調整は重なり領域の内部の線量分布を制御する可能性によって可能となる。

【0110】

次に適用される処理寛容度(または線量寛容度)に対する一つの量的表現は、公称線幅の変化が90%から110%を生じる線量ウィンドウとなる。処理寛容度の典型的な値は

10

20

30

40

50

、ぼやけが最小構造サイズの半分であれば、ほぼ 15 % である。本発明によるインターロッキング・グレイ画素を使用して出願人によってなされた計算が示しているのは、処理寛容度が 0 % から 14 % ( 0 - 50 % のパターン密度に対応 ) までの全グリッド位置および可変背景に対して約 14 . 5 に保持でき、一方インターロッキング・グリッドなしではほぼ 2 の要素によってグリッド位置を伴う処理寛容度の明白な変化がある。一例として、45 nm ノードを達成可能な処理寛容度は図 25 a のインターロッキング・グリッドのために与えられ、インターロッキング・グリッドのないのが図 25 b である。

#### 【 0 1 1 1 】

これまでに説明したように、PD フィールド内のアパーチャの全数 ( またはグレイ・レベル ) は、図 25 b と比較して図 25 a の線量寛容度の改善による例で示され、本発明によるインターロッキング・グリッドを使用することによって低減される。全てのグレイ・グループのアパーチャの最小数は、45 レベルで 45 アパーチャを有する一つのドメインと比較して各 16 レベルを有する 2 ドメインに対して  $1 + 2 + 4 + 8 + 8 + 4 + 2 + 1 = 30$  のアパーチャである。結果として、本発明は小さいビーム直径を有する光学カラムの使用を可能にし、線内のアパーチャの数を少なくしている。小さい直径のカラムを使用しマルチカラム・アプローチを実現してウェハの生産量を高めるとともにステージ・パラメータを低減する。

#### 【 0 1 1 2 】

構造形状とパターン密度と無関係にある処理寛容度を実現する可能性は、半導体製造業界に関する本発明の主要な利点である。実際に、リトグラフ・コントラスト、従って露光の歩止まりが処理寛容度に密接に関連があり、露光線量が公称露光線量に関して変化すれば、処理関連の限界寸法変動に対する測定値となる。グリッド位置上の処理寛容度のいかなる依存度も利用できる処理寛容度の低減を意味し、全ウェハが同じ条件下で処理されなければならない。従来技術において、走査ストライプ露光計画内の近似修正が全処理寛容度の低減と避けられない関係にあって、例え複数のグレイ・レベルを使用したとしてもである。

#### 【 0 1 1 3 】

確かに、後方散乱以外に前方散乱の修正も原則としてインターロッキング・スポットの使用によって達成される。プロシージャは簡単である。

#### 【 0 1 1 4 】

インターロッキング・グリッドを使用する別の重要な利点は、閾値レベルでのカットオフ後の空間線量分布のレベル曲線が非常に滑らかになり、従って得られた線エッジ粗さが非常に小さくなることである。インターロッキング・グリッドを使用したものと使用しないものとの間の線エッジ粗さ ( 片側 ) の比較 ( 発明者によってシミュレートした ) は本明細書の最後に記す表 1 に示した。インターロッキング・グリッドのない場合に対して、片側線エッジ粗さの最大値は、グリッドに関して  $45^{\circ}$  の角度で線に対して線幅の 4 . 32 % である。これはリトグラフ条件、すなわち、総線幅変化が線幅の 10 % 未満であることを意味し、このケースと一致することはほとんどない。概して、線エッジ粗さはレジスト処理とショット・ノイズから付加的な寄与を得る。両者は許容された 10 % 内に含まれる。本発明に基づくインターロッキング・グリッドを伴う同じ PD を使用して、例えば 32 nm の解像度であっても線エッジ粗さは充分小さく維持され、グリッドに関して  $20^{\circ}$  で 1 . 88 % のシミュレートされた最大値となる。

#### 【 0 1 1 5 】

最終的に、図 26 a , 26 b および 27 は、処理寛容度の低減絶対値を受容すること示しており、インターロッキング・グリッドの使用が図 23 と 24 で使用された同じ 22 . 5 nm のぼやけで 32 nm 線の発生も許容し、さらに可変背景線量が 0 % と 14 % の間である。ここでもまた処理寛容度が線位置と無関係になるように調整でき、また線中心と線幅エラーが全 1 nm アドレス・グリッドに渡って 0 . 5 nm 未満であり ( ドメイン当り 16 レベルを使用したシミュレーションによる ) 、同じ PD デバイスが原則として 32 nm 線と空間解像度に対して使用できる。これはインターロッキング・グリッドが、インター

10

20

30

40

50

ロックング・グリッドなしで画像ぼやけによってもたらされる制限のずっと下方に解像度になることを許容し、また例えば特徴サイズの70%のぼやけで32nm特徴に達することを許容する。

#### 【0116】

本発明は明らかにPDデバイス内の製造制限を回避する助けをし、究極の解像度に関する作像システムの最高の開発を可能にする。低パターン密度で45nmノードに対して、相当な背景は何も存在せず、45nm線に関する限り同じ値まで32nmの線量寛容度を増大させることが可能である。この可能性は例えば45nmリトグラフ処理の低減幅(32nm線)、例えばトランジスタのゲート長さの書き取り限界線に使用することができる。

10

#### 【0117】

インターロックング・グリッドの原理は、パターンがグレイ画素で構成されるあらゆる種類のパターン発生、特に(しかし、これに限定しない)合焦イオン・ビームまたは電子ビーム直接書き取りアプリケーションに使用できることを説明する価値がある。本発明の別のアプリケーションは、例えば光学マスクレス・リトグラフへのインターロックング・グリッドの使用であって、光またはX線ビームがアドレス可能ミラー・プレートによって構成され、また基板へ直接向けられる。

#### 【0118】

要約すると、インターロックング・グリッドの主な利点は、

1) グレイ・レベルの低い数が必要: 主な改良の一つは単一走査ストライプ露光処理中に可能な物理的アドレス・グリッドの低減(すなわち、近接露光スポットの距離)である。これはPDフィールド上方に適切な方法でアパーチャの利用可能数を配列し、(補間された画素情報で)適切に変換されたデータ流れによるアパーチャの一部をアドレスすることによって達成される。対応するアドレス・グリッドおよび処理寛容度が、物理的アドレス・グリッドが倍化されて各露光スポットに対するグレイ・レベルの低い数にもかかわらず相当改善される。例えば、12.5nm距離(XおよびY方向に)でインターロックング・グリッド・スポットと各スポットに対して16グレイ・レベルを有する25nm幅の露光スポットを使用することで、1nmアドレス・グリッド(線の中心のエラー<0.5nm、線の幅のエラー<0.5nm)が、14.6%処理寛容度の優れた線量寛容度で実現することができる。比較の目的で、露光スポット当たり64グレイ・レベルさえもないインターロックング・グリッドなしで、処理寛容度が係数2だけグリッド位置で変化すると、比較的低い処理寛容度を満足させない。

20

30

#### 【0119】

2) 近似修正可能性: 別の利点はいくつかの露光スポットを重ねることによって広い範囲内でスロープ角度とスロープ位置を調整することの可能性に関係し、これによって近似効果関連背景線量が、線量寛容度内の変化に至ることもなく、非常に小さいアドレス・グリッドに渡り達成できる線位置および線幅を低減することもない。

#### 【0120】

3) 高揚された解像度: 第3の利点は高いスロープ角度で構成を形成することによって画像コントラストを相当改善する可能性に基づいている。これが任意の収差ぼやけのための画像解像度の効果的な高揚に至る。例えば、5μmアパーチャと200×縮小を使用して、対応する露光スポットが32nmの画像線解像度を、さらに1nmアドレス・グリッド上に高い処理寛容度を許容する。

40

#### 【0121】

ターゲット画素の微細グリッドをアドレスする別の可能な方法を図21に示す。異なるグループのためのアパーチャの異なるサイズによる構成は、特定チャネルの解像度または強度寄与を増大するのに使用できる。ストライプa11のグループのアパーチャは線の幅よりも小さく、一方他のストライプa01, a02に属するグループのアパーチャは線の幅(「標準サイズ」)に対応している。もちろん、アパーチャの種々の形状を含めて前述の変形例の組み合わせも考慮できる。

50



## 【 0 1 2 2 】

表 1 : 線エッジ粗さ 2 × 1 6 対 4 6 グレイ・レベル (22.5nm ぼやけ)

線角度 (角)	大気映像の片側線エッジ粗さ (%)			
	2 × 1 6 グレイ・レベル 円形スポット 2 5 nm		4 6 グレイ・レベル 円形スポット 2 7 nm	
	線幅 4 5 nm	線幅 3 2 nm	線幅 4 5 nm	線幅 3 2 nm
0°	0.44	0.73	0.98	1nm アドレス・ グリッド達成 されず
5°	0.55	1.56	1.76	
10°	0.61	1.86	0.94	
15°	0.55	1.81	1.20	
20°	0.26	1.88	1.60	
25°	0.67	1.10	2.62	
30°	0.73	1.40	2.60	
35°	0.67	0.93	3.28	
40°	0.62	1.14	4.32	
45°	0.55	0.66	3.80	

10

20

## 【図面の簡単な説明】

## 【 0 1 2 3 】

【図 1】本発明を適用するリトグラフ装置のレイアウトの長手方向断面図である。

【図 2】図 1 のリトグラフ装置の P D デバイス内にある一つの可能なアパーチャ配列を示す平面図である。

【図 3】図 2 のアパーチャ配列を有する基板面上にある画像フィールドを示す図である。

【図 4】図 1 に示すリトグラフ装置の P D デバイスの上面図である。

【図 5】図 1 に示すリトグラフ装置の P D デバイスの長手方向断面図である。

【図 6】二つのアパーチャに沿った図 5 の詳細図である。

【図 7】本発明の第一実施例に基づくブランク・プレートの平面図である。

30

【図 8】ブランク開口部の「グレイ・グループ」のレイアウトおよび図 7 のブランク・プレートへの供給を示す図である。

【図 9 a】図 8 の詳細なグレイ・グループの配列、図 9 a は単一線を示す図である。

【図 9 b】図 8 の詳細なグレイ・グループの配列、図 9 b は一連の近接線を示す図である。

。

【図 1 0】図 8 の別の詳細で、グレイ・グループの供給線を示す図である。

【図 1 1】グレイ・グループ内のグループ信号の相互接続を示す図 8 の二つのさらなる詳細図である。

【図 1 2】グレイ・グループ内のグループ信号の相互接続を示す図 8 の二つのさらなる詳細図である。

40

【図 1 3】グレイ・グループの別の構成を示す図である。

【図 1 4】ブランク・プレートのためのデータ事前処理を示すフローチャートである。

【図 1 5】欠陥アパーチャのケースに使用された「エキストラ」グレイ・グループを示す図である。

【図 1 6】必要時に作動される「エキストラ」アパーチャを備えたグレイ・グループを示す図である。

【図 1 7】インターロッキング・グリッドによるアパーチャの構成を示す図である。

【図 1 8】インターロッキング・グリッド・ドメインを備えたブランク・プレートのレイアウトを示す図である。

【図 1 9】六角形アレイを有するインターロッキング・グリッドの構成を示す図である。

50

【図 20】図 19 のインターロッキング六角形アレイから得られるターゲット上のアドレス・グリッドを示す図である。

【図 21】変更される幅を有するアパーチャの構成を示す図である。

【図 22】図 6 と同様詳細に変形 PD デバイスを示す図である。

【図 23 a】図 18 のインターロッキング・グリッド PD デバイスによって生成された 45 nm の断面に沿った線量分布を示す図である。

【図 23 b】図 18 のインターロッキング・グリッド PD デバイスによって生成された 45 nm の断面に沿った線量分布を示す図である。

【図 23 c】図 18 のインターロッキング・グリッド PD デバイスによって生成された 45 nm の断面に沿った線量分布を示す図である。

10

【図 23 d】図 18 のインターロッキング・グリッド PD デバイスによって生成された 45 nm の断面に沿った線量分布を示す図である。

【図 23 e】図 18 のインターロッキング・グリッド PD デバイスによって生成された 45 nm の断面に沿った線量分布を示す図である。

【図 23 f】図 18 のインターロッキング・グリッド PD デバイスによって生成された 45 nm の断面に沿った線量分布を示す図である。

【図 24 a】図 8 の PD デバイスによって生成された 45 nm 線の断面に沿った線量分布（インターロッキング・グリッドなし）を示す図である。

【図 24 b】図 8 の PD デバイスによって生成された 45 nm 線の断面に沿った線量分布（インターロッキング・グリッドなし）を示す図である。

20

【図 24 c】図 8 の PD デバイスによって生成された 45 nm 線の断面に沿った線量分布（インターロッキング・グリッドなし）を示す図である。

【図 24 d】図 8 の PD デバイスによって生成された 45 nm 線の断面に沿った線量分布（インターロッキング・グリッドなし）を示す図である。

【図 24 e】図 8 の PD デバイスによって生成された 45 nm 線の断面に沿った線量分布（インターロッキング・グリッドなし）を示す図である。

【図 24 f】図 8 の PD デバイスによって生成された 45 nm 線の断面に沿った線量分布（インターロッキング・グリッドなし）を示す図である。

【図 25 a】インターロッキング・グリッドを備えた（図 25 a）PD デバイスとこれを備えていない（図 25 b）を使用して得られた処理寄与を示す図である。

30

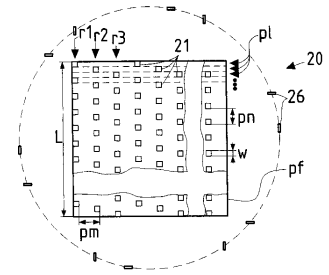
【図 25 b】インターロッキング・グリッドを備えた（図 25 a）PD デバイスとこれを備えていない（図 25 b）を使用して得られた処理寄与を示す図である。

【図 26 a】インターロッキング・グリッドを使用して生成された低減幅（32 nm）の断面線に沿った線量分布を示す図である。

【図 26 b】インターロッキング・グリッドを使用して生成された低減幅（32 nm）の断面線に沿った線量分布を示す図である。

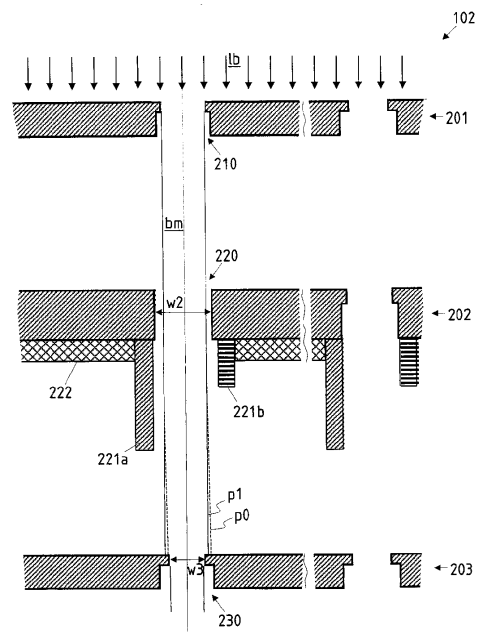
【図 27】図 26 に示した低減幅（32 nm）の画素に関する処理寄与を示す図である。

【圖 2】

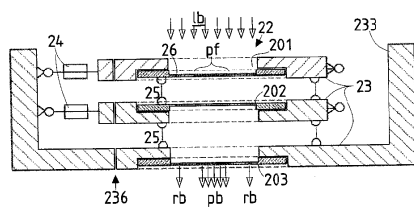


The diagram illustrates the proposed method for generating a 2D grid of feature maps. The main grid is composed of smaller sub-grids, each containing a 3x3 kernel. The grid is labeled with 'sd' (stride) and 'mf' (feature map). The grid is also labeled with 'fw' (feature width) and 'mx' (max). An inset shows a 3x3 grid of feature maps with labels 'a' through 'l'.

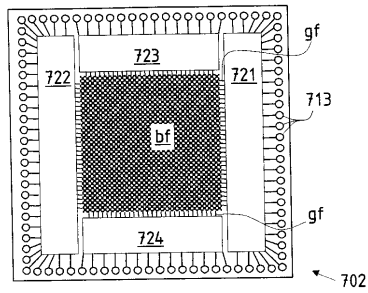
【 図 6 】



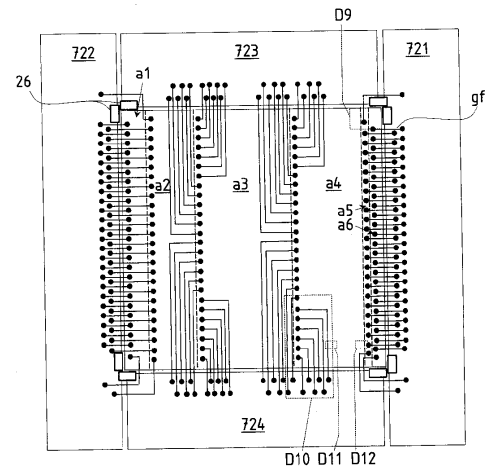
【圖 5】



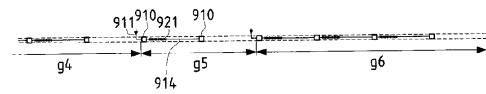
【図 7】



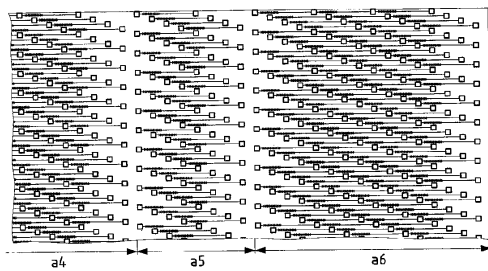
【図 8】



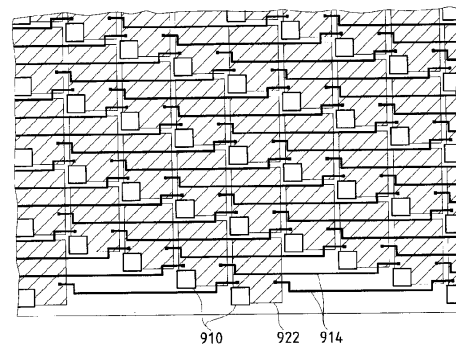
【図 9 a】



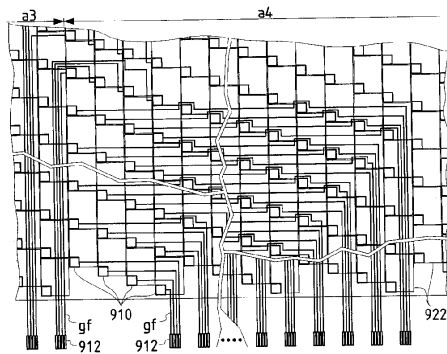
【図 9 b】



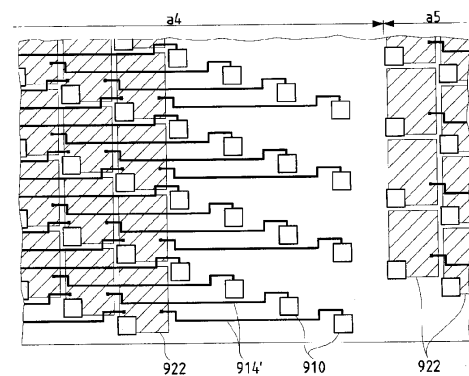
【図 1 1】



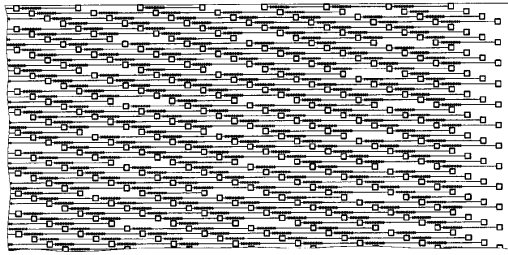
【図 1 0】



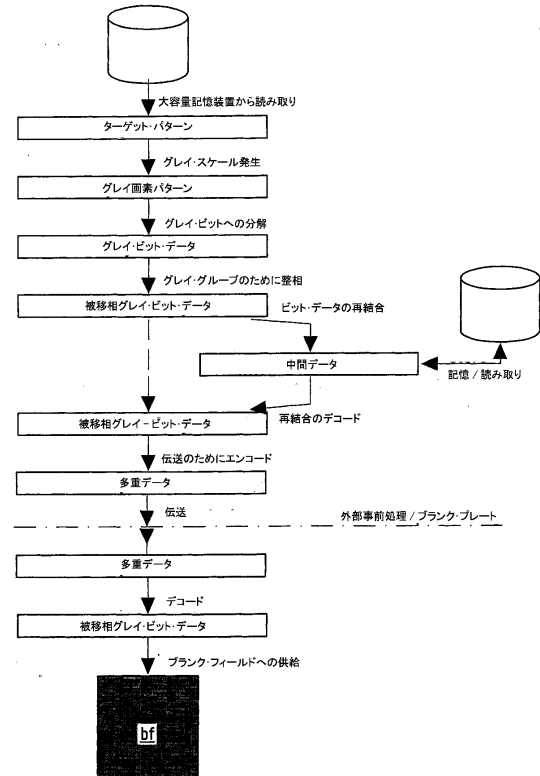
【図 1 2】



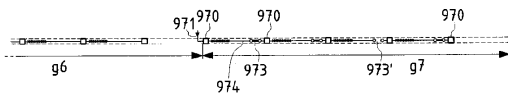
【図 13】



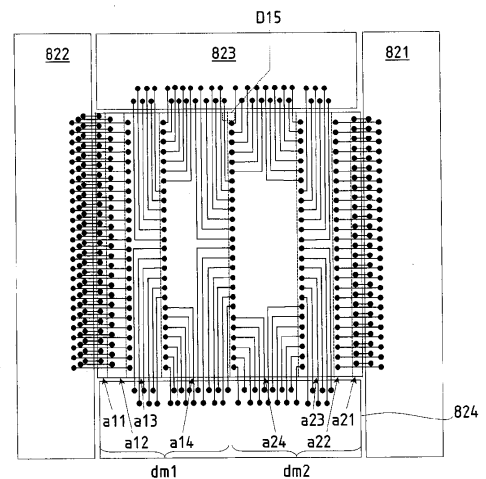
【図 14】



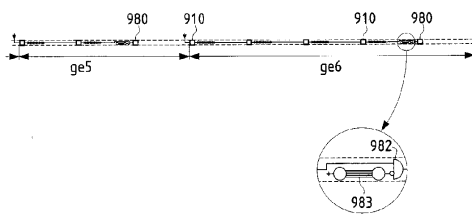
【図 15】



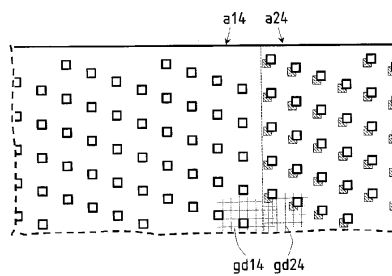
【図 18】



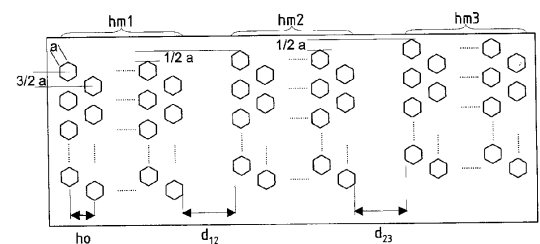
【図 16】



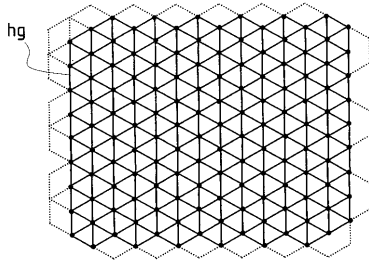
【図 17】



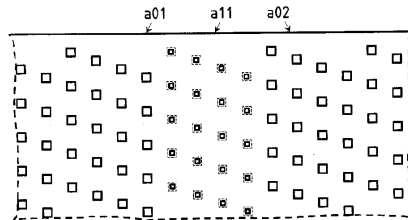
【図 19】



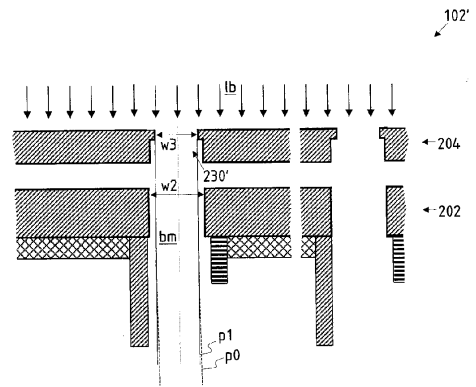
【図 20】



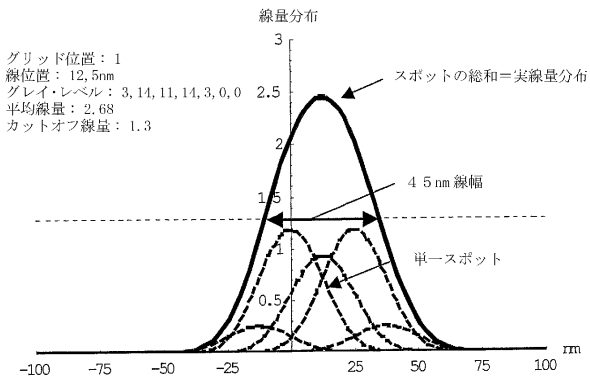
【図 21】



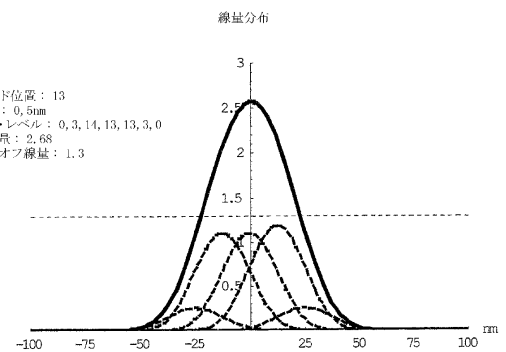
【図 22】



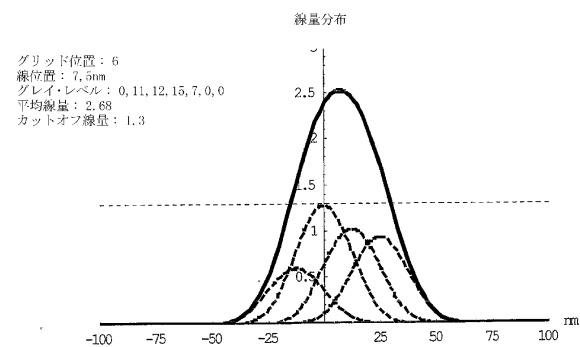
【図 23 a】



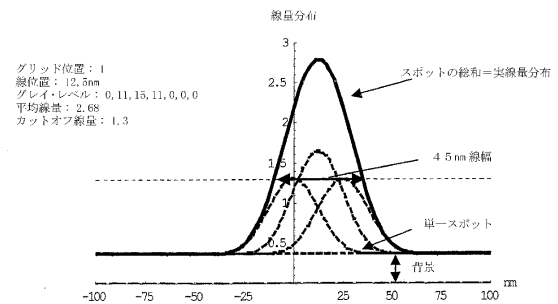
【図 23 c】



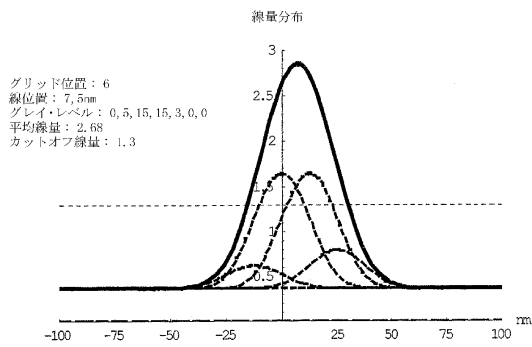
【図 23 b】



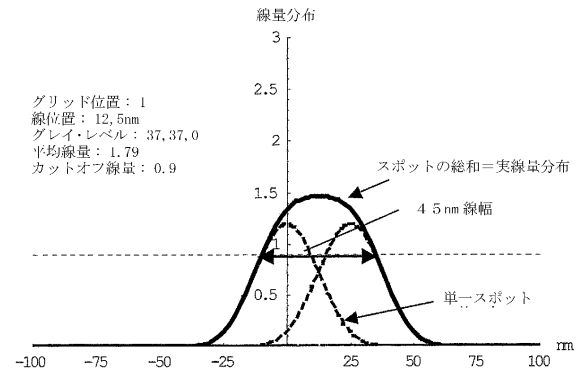
【図 23 d】



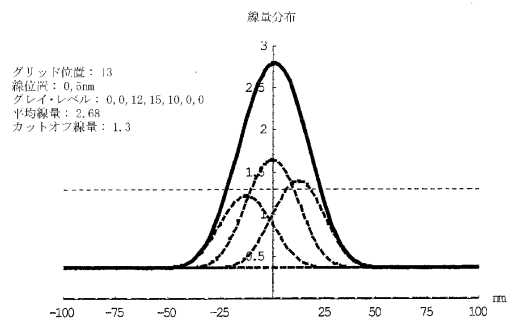
【図 2 3 e】



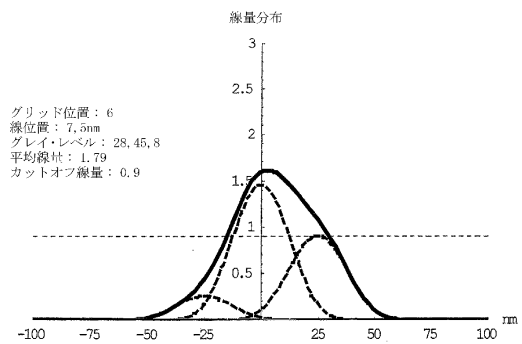
【図 2 4 a】



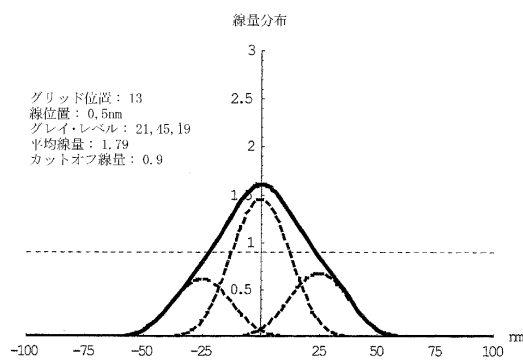
【図 2 3 f】



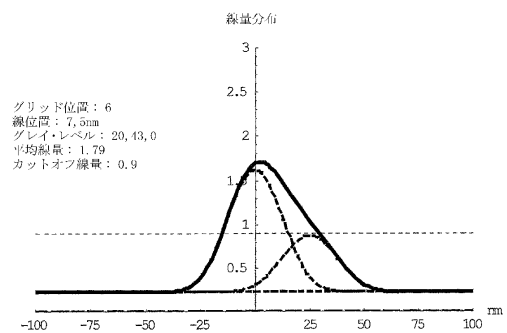
【図 2 4 b】



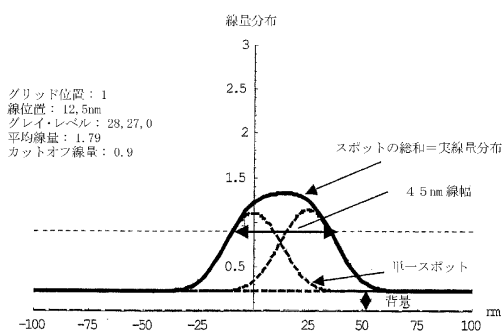
【図 2 4 c】



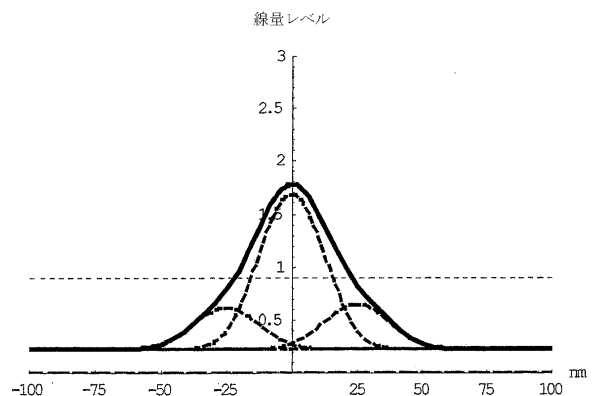
【図 2 4 e】



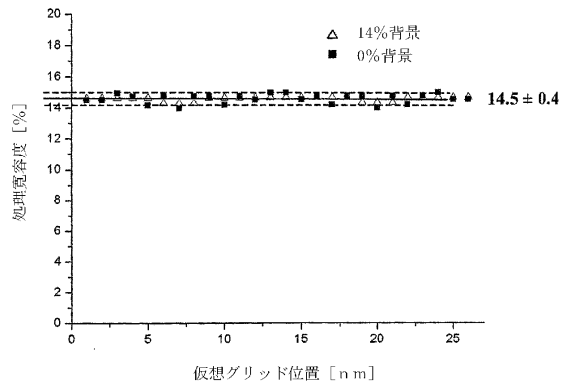
【図 2 4 d】



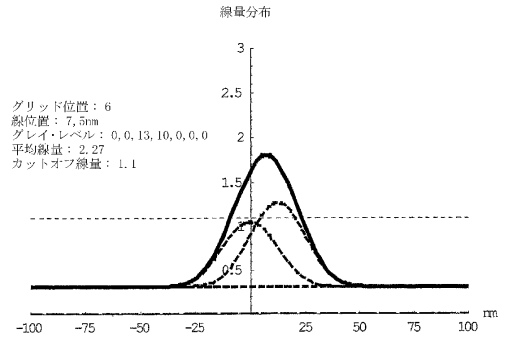
【図 2 4 f】



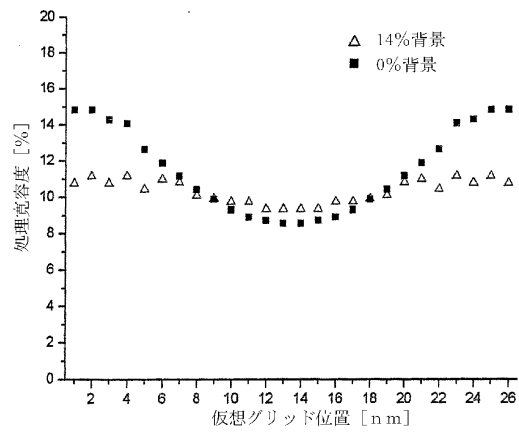
【図 25 a】



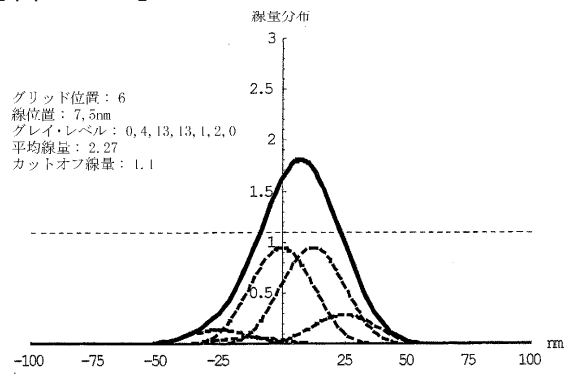
【図 26 a】



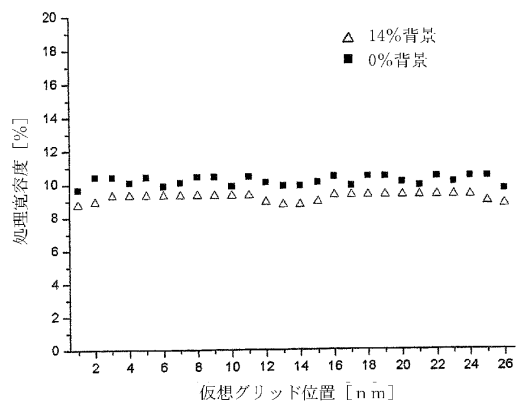
【図 25 b】



【図 26 b】



【図 27】





---

フロントページの続き

(56)参考文献 特開2004-040076(JP,A)  
特開昭61-069125(JP,A)  
特開平07-273006(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/027		
G03F	7/20	-	7/24
H01J	37/305		