

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4353052号
(P4353052)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年8月7日(2009.8.7)

(51) Int.Cl.

H04B 1/38 (2006.01)

F I

H04B 1/38

請求項の数 2 (全 38 頁)

(21) 出願番号	特願2004-290890 (P2004-290890)	(73) 特許権者	000005108
(22) 出願日	平成16年10月4日(2004.10.4)		株式会社日立製作所
(65) 公開番号	特開2006-108953 (P2006-108953A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成18年4月20日(2006.4.20)	(74) 代理人	100100310
審査請求日	平成18年11月13日(2006.11.13)		弁理士 井上 学
		(72) 発明者	田中 博志
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	津野田 賢伸
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	本村 哲朗
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項 1】

夫々が複数の演算機能を有する複数のALUセルをアレイ状に配置したセルアレイ構造と、前記ALUセルの演算機能を決定する情報と前記ALUセル間のデータの転送方向を決定する情報とを含む構成情報を切替るための切替制御部とを有するリコンフィギュラブル回路を具備する半導体集積回路であって、

前記複数のALUセルの夫々は、前記構成情報に基づいて、前記演算機能及び前記データの転送方向が決定され、

前記切替制御部は、複数の遷移チャネルを有する状態遷移テーブルと遷移条件判定ブロックとを有し、

前記複数の遷移チャネルのそれぞれは、遷移先の構成情報を示す第1情報と、遷移元の構成情報を示す第2情報と、前記遷移先の構成情報に遷移するための遷移条件と、前記遷移元の構成情報を参照するか否かを示すマスク情報とを保持し、

前記遷移条件判定ブロックは、前記マスク情報が前記第2情報を参照しないことを示す場合は、前記状態遷移テーブルが保持する第2情報に関わらず、前記セルアレイ構造から入力された遷移条件と、前記状態遷移テーブルが保持する遷移条件が一致した遷移チャネルを選択し、遷移先の構成情報を決定し、

前記切替制御部は、前記遷移条件判定ブロックの決定に基づいて、前記複数のALUセルの構成情報を変更することを特徴とする半導体集積回路。

【請求項 2】

10

20

請求項 1 において、
前記半導体集積回路は、前記リコンフィギュラブル回路を制御する CPU を更に有し、
前記複数の遷移チャンネルのそれぞれは、更に、遷移する際に前記 CPU に割り込みを通知するか否かを示す第 3 情報を有することを特徴とする半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、動的にコンフィグレーション情報が変更可能な半導体装置又はその半導体装置を用いたソフトウェア無線装置に関し、特に、二次元アレイ構成を備える半導体装置及びそれを利用したソフトウェア無線装置に適用して有用なものである。

10

【背景技術】

【0002】

近年、情報処理機器の普及と高性能化に伴い、さまざまな無線通信方式が登場している。これらの無線通信方式に対して、無線通信に必要な送受信の信号処理をソフトウェアで実現し、ソフトウェアを交換することで、複数の異なる無線方式に対応するソフトウェア無線機が提案されている。

【0003】

ところが、最近の無線通信方式をソフトウェアで実現するには、プロセッサの汎用性と、高い処理性能が必要となり、現在パーソナルコンピュータやサーバで用いられている汎用プロセッサでは実現が困難であるといった問題がある。さらには、現在、半導体製造技術の進歩により LSI で実現できる回路規模が拡大しており、大きな回路を有効利用した LSI が求められている。

20

【0004】

こうした問題に対して、FPGA に代表されるような、ハードウェアをどのように構成するかを指定したコンフィグレーション情報を変更することで動作を変える LSI を用いることで解決を図る例が、特許文献 1 や、特許文献 2 に開示されている。かかる先行技術では、FPGA に代表されるような回路ではコンフィグレーション情報に従ってハードウェアを変更することにより専用回路に近い構成を実現することが可能であるため、要求性能を達成できることが予想される。

【0005】

30

さらに、汎用性を保ちつつ、大きな回路を有効利用して処理能力を向上させている LSI として、ハードウェアをどのように構成するかを指定したコンフィグレーション情報を変更することで動作を変える LSI のうち、リコンフィギュラブル LSI と呼ばれる技術が注目されてきている。このリコンフィギュラブル LSI の動的なコンフィグレーション制御構造が、特許文献 3 に開示されている。

【0006】

かかる先行技術ではスループット向上のために、他のコントローラや CPU の介在なしに自立的に動的なリコンフィギュレーションを行うための制御構造が提示されているが、以下の技術内容となっている。演算機能を持つ演算セルと、演算セル間のデータの流れを切り替える切替セルの 2 種類のセルを持つ二次元アレイに対する制御方法であり、動的なリコンフィギュレーションを行うため、ユーザが設定するコンフィギュレーション状態の遷移テーブルの構造が状態遷移の数に比例する構造となっている。

40

【0007】

【特許文献 1】特開平 11 - 22043 号公報

【0008】

【特許文献 2】特開 2003 - 318802 号公報

【特許文献 3】特開 2001 - 312481 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

50

特許文献 1 や特許文献 2 に示される従来の方法では、既存の F P G A や P L D を想定しているため、コンフィグレーションの切り替えに比較的長時間が必要である。そのため、一つの通信方式を行っているときにはコンフィグレーションの切り替えを実行しないで、無線方式を切り替えるときにのみ、コンフィグレーションの切り替えを行う。特許文献 3 には、無線方式についての記載はない。この場合、例えば送信と受信や、受信中の処理である同期と復調の回路は同時に動作することはないが、あらかじめ両方を用意しておく必要がある。そのため、回路の面積が増加してしまうという問題が発生する。

また、特許文献 3 に示される従来の方法では、リコンフィギュラブル回路方式に対する汎用性、ハードウェア容量、およびユーザインターフェースに対して、課題が残されている。以下でこれらの課題について、順に述べる。

10

【 0 0 1 0 】

一番目の課題は、演算セル内でデータの流れを切り替える構造のセルに対しては適用できないという問題である。セル構造として、演算セル内にデータの流れを切り替える機能が包含されても、特に実現性の阻害にはならないため、汎用性の点で、難点がある。

【 0 0 1 1 】

二番目の課題は、動的なリコンフィギュレーションを制御するモジュール内でのコンフィギュレーションの状態遷移を表現するテーブル構造の問題である。従来の方法では、状態遷移の数にテーブル容量が比例する構造となっており、さらに、制御論理も複雑化するため、状態遷移数が増加した時には L S I の作り直しが起こりうるという問題である。一般に、状態遷移表現において、状態遷移の数は状態の数の 2 乗に比例するため、この構造を採用している限り、将来の仕様変更に対する柔軟性と適用範囲の汎用性が損なわれ、L S I 製造後にコンフィギュレーションを変更してシステム機器の多様性に応えることが困難となる。

20

【 0 0 1 2 】

三番目の課題は、二次元アレイからのリコンフィギュレーション制御モジュールへの遷移イベント（トリガ）の発行方法は、特に開示がなく、二次元アレイ上でコンフィギュレーションを作成するユーザの使いやすさの点が未配慮という問題である。

【 0 0 1 3 】

四番目の課題は、状態遷移に伴う他の動作の指定、例えば、C P U への割込み要求動作などは、その方法が開示されておらず、C P U との連動した動作という点が未配慮という問題である。

30

【 0 0 1 4 】

本明細書に開示される発明の一つの目的は、送信と受信、あるいは、同期と復調を時分割で処理可能なハードウェアおよびソフトウェアを考案し、ソフトウェア無線処理を少ない回路面積で実現することである。

また、本明細書に開示される発明の他の一つの目的は、ソフトウェア無線処理等に代表される処理量の多いアプリケーションにおいて、自律的にコンフィグレーションを変更するために最適のコンフィグレーションの変更方法を実現することである。

【課題を解決するための手段】**【 0 0 1 5 】**

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。

40

無線信号処理は、動的にコンフィグレーションの変更が可能な回路（Dynamically Reconfigurable Circuit、以下、D R C と称する）と汎用プロセッサを含んだ、ソフトウェア無線チップを用いて処理する。

【 0 0 1 6 】

D R C は高速にコンフィグレーションの変更が可能な構成とし、さらに A D コンバータ、D A コンバータといった外部デバイスと接続するためのインターフェースを備える。ソフトウェア無線チップ中の汎用プロセッサでは、無線通信処理のうち、プロトコル層の処理を行い、D R C では、物理層の処理を行うように処理を分担する。

50

【 0 0 1 7 】

D R C が実行する物理層の処理は、送信と受信、同期と復調など、複数の異なる処理を時分割で行うことにより回路面積を削減できる。

回路の利用効率の向上と、面積削減のため、無線信号処理の一部は専用回路を用いて行う。ここで専用回路としている処理は、複数の無線信号処理で共通に用いられる処理であるため、複数の無線通信方式において利用することが可能である。

【 発明の効果 】

【 0 0 1 8 】

本発明の構成および方式により、ソフトウェア無線に代表される処理量の多いアプリケーションを面積の小さいハードウェアで実現できる。

10

【 発明を実施するための最良の形態 】

【 0 0 1 9 】

以下、本発明による代表的な実施例を図面に従って詳細に説明する。なお、以下においては、同じ参照番号、記号は同じものもしくは類似のものを表わすものとする。

図 1 は、車 1 0 0 に搭載されたテレマティクス端末 1 0 4 の一例を示すものであり、テレマティクス端末の一部をなすソフトウェア無線機 1 0 6 のシステム適用の例である。ここで、ソフトウェア無線機とは、従来、途中で切り替えることのなかった無線機の仕様を、ソフトウェアにより変更する無線機である。

【 0 0 2 0 】

ソフトウェア無線機は、将来の無線仕様の変化や、1 0 1 や 1 0 2 の無線基地局の設置状況や電波状況により走行中に最適な無線仕様が変化したときに、この変化に柔軟に対処して無線仕様を切り替える。

20

切り替え対象の無線仕様としては、例えば、無線 LAN、ETC (D S R C)、地上 D T V 通信などがある。

以下では、このソフトウェア無線機の構成と、ダイナミックリコンフィギュラブル回路を利用した D R チップの位置付け、構成、利用方法を述べる。

1. ソフトウェア無線機の構成と D R チップの位置付け

図 1 において、テレマティクス端末 1 0 4 は、カーナビゲーションシステム 1 0 7 の画像や音声などの情報処理をつかさどり、カーナビゲーションシステム 1 0 7 に情報データを通信するために、ソフトウェア無線機 1 0 6 を利用する。

30

カーナビゲーションシステム 1 0 7 とソフトウェア無線機 1 0 6 間のインターフェース 1 0 8 は、USB などの標準のデータ通信インターフェースを利用する。

【 0 0 2 1 】

図 2 は、1 0 6 の内部構成を示すブロック図である。無線データは、アナログ処理部 2 0 2 を通ってデジタルデータに変換され、デジタル処理をダイナミックリコンフィギュラブル (D R) チップ 2 0 3 で行い、インターフェース 1 0 8 を通して、カーナビゲーションシステム 1 0 7 に転送される。データを送信する場合には、この逆の経路を通る。D R チップは、動作中にコンフィギュレーション情報を変更することにより、その回路構成を処理すべき演算を高速に行えるように変更可能なチップである。本実施例では、データを受信する第 1 期間とデータを送信する第 2 期間とで、その回路構成を変更することにより D R チップを共有し、小面積で実現できるようにしたものである。

40

【 0 0 2 2 】

アナログ処理部 2 0 2 は、アンテナ 2 0 0、RF・IF 回路 2 0 1、アナログデジタルコンバータ (A D C)・デジタルアナログコンバータ (D A C) からなる。A D C は受信時、D A C は送信時に利用する。デジタル処理部の F L A S H 2 0 5 は、各種のプログラムを格納しておくために利用する。

【 0 0 2 3 】

図 2 のアナログ処理部 2 0 2 の別の実施の形態として、周波数帯により、複数のアナログ処理部を利用する構成を示したのが図 3 である。図 3 において、3 0 1、3 0 2、3 0 3 が、各々、周波数帯により、用意したアナログ処理部である。利用する無線仕様を決定

50

する制御信号 3 0 4 により、無線信号スイッチ部 3 0 5 が動作し、どのアナログ処理部をデジタル処理部と接続するかを選択する。制御信号 3 0 4 は図 2 の 2 0 7 の一部である。デジタル化されたデータは、同じく 2 0 7 の一部である 3 0 6 を通って、デジタル処理部に送られる。

【 0 0 2 4 】

次に、ソフトウェア無線機 1 0 6 が、カーナビゲーションシステム 1 0 7 とどのような手順で無線データをやり取りするのかを、図 4 に従って以下に述べる。図 4 (a) は、カーナビゲーションシステム 1 0 7 からデータを送信する場合の手順を示し、図 4 (b) は、カーナビゲーションシステム 1 0 7 が、ソフトウェア無線機 1 0 6 を通してデータを受信する場合の手順を示す。

10

【 0 0 2 5 】

図 4 (a) に示す送信時には、まず、カーナビゲーションシステム 1 0 7 でデータをフレームという単位に分割する (4 0 0)。ここで、フレームとは無線通信時にデータを転送する単位であり、図 5 に示す無線データ構造においては、フレーム領域 5 0 3 の中でヘッダなどを除いたデータ部分である。

【 0 0 2 6 】

次に、カーナビゲーションシステム 1 0 7 からソフトウェア無線機 1 0 6 に送信要求 4 0 1 を行い、ソフトウェア無線機 1 0 6 が送信受付 4 0 2 を行い、送信受付信号 S D R - A c k 信号をカーナビゲーションシステム 1 0 7 に返した後、カーナビゲーションシステム 1 0 7 からソフトウェア無線機 1 0 6 にフレーム単位のデータを転送する。このデータを受けて、ソフトウェア無線機 1 0 6 は、1パケットの構築と送信 4 0 6 を行う。ここで、パケットとは無線通信データの最小単位であり、図 5 の 5 0 4 である。パケット 5 0 4 は、元のデータを含むフレーム領域 5 0 3 の他、パケットの先頭を検出するためのプリアンブル領域 5 3 1 と、ヘッダ領域 5 0 2 から構成される。

20

【 0 0 2 7 】

パケットを全て送信し、送信が終了したら、受信局からの受付信号 A c k を、カーナビゲーションシステム 1 0 7 に転送し、送信終了 4 0 5 の処理となる。もし、この時、送信に失敗したら、ソフトウェア無線機 1 0 6 は再度送信を行う。

【 0 0 2 8 】

図 4 (b) に示す受信時には、ソフトウェア無線機 1 0 6 が1パケット受信とフレーム取出し 4 0 8 を行い、カーナビゲーションシステム 1 0 7 に受信データを受け付けるよう要求する受信受付要求 4 0 9 を行う。カーナビゲーションシステム 1 0 7 は、受信開始 4 0 7 を行うため、受信受付信号 N a v i - A c k をソフトウェア無線機 1 0 6 に転送する。これを受けて、ソフトウェア無線機 1 0 6 は、受信データ転送 4 1 0 を開始し、1フレームの受信データをカーナビゲーションシステム 1 0 7 に転送する。カーナビゲーションシステム 1 0 7 では、受信受付 4 1 1 を開始する。ソフトウェア無線機 1 0 6 は、全ての受信データをカーナビゲーションシステム 1 0 7 に転送し終わったら、終わりを示す転送終了信号 E N D をカーナビゲーションシステム 1 0 7 に転送する。その後、カーナビゲーションシステム 1 0 7 は、フレームの組立 4 1 2 を行うと同時に、送信局に返す A C K 信号をソフトウェア無線機 1 0 6 に転送する (A C K 送信動作 4 1 3)。A C K 送信は送信動作の一種であり、ソフトウェア無線機 1 0 6 は図 4 (a) の動作を行う。

30

40

【 0 0 2 9 】

図 4 の二つの動作を、ソフトウェア無線機 1 0 6 で切り替える方法を示したのが、図 6 である。図 6 は、同一のハードウェアの回路構成を変更することで、同一のハードウェアで受信と送信を両立させるための処理フローである。

【 0 0 3 0 】

図 6 で、システムリセット 6 0 1、受信ウェイト 6 0 2 などの左半分は、ソフトウェア無線機 1 0 6 の受信動作を示し、送信ウェイト 6 0 5、送信可否判定 6 0 6 などの右半分は、送信動作を示す。

【 0 0 3 1 】

50

まず、受信動作では、システムリセット 601 を行ったあと、送信が起こるとき以外は、常時動作する。1パケットのデータの先頭がアナログ処理部 202 から送付されるまで、DRチップ 203 は受信ウエイト 602 を行う。データが送付され始めると、データの復調などの受信動作 603 を開始し、データ復調が終了すると、受信終了 604 する。送信動作は、受信の合間を縫って行う。受信を行っているあいだ、送信はウエイトする(605)。受信終了の後、送信動作を実施してよいかどうかの送信可否判断 606 を行い、OK となったら送信開始 607 を実行し、1パケットデータを送信したら送信終了動作 608 を行う。

以上のように、受信と送信を同一のハードウェアで処理することによりソフトウェア無線機に搭載される半導体集積回路を小面積で実現できる。

10

【0032】

本実施例では、一つのハードウェアの回路構成を変更することで受信動作及び送信動作を行う場合は、受信動作のトリガは外部の無線基地局より送信させるため、ソフトウェア無線機ではその送信タイミングを知ることはできない。従って、待機状態を受信動作を行うフローとすると都合がよい。

2. DRチップの構成、および、ソフトウェアとハードウェアのインターフェース

以下では、図7を用いて、ディジタル信号処理を行うDRチップ203の構成と、ソフトウェアとハードウェアのインターフェースについて述べる。ここで、ソフトウェアは、DRチップ203上の中央処理装置CPU700で実行する。

【0033】

20

2.1 DRチップの全体構成

図7に示すように、DRチップは、ADC/DAC206、カーナビゲーションシステム107、および、ROMであるFLASH205とのインターフェース回路と、受信・送信データの復調・変調動作を行うダイナミックリコンフィギュラブルエンジンDRE708、および、全体処理の制御と受信・送信データ復調・変調の前処理を行うCPU700から構成する。

【0034】

まず、DRチップ203の周辺インターフェースについて述べる。ADC/DAC206は、入出力信号線207を介してDRE708と接続する。カーナビゲーションシステム107は、入出力信号線108を介してUSBインターフェース704と接続する。プログラムなどを格納するFLASH205は、入出力信号線204を介してフラッシュインターフェースFL-IF705と接続する。FLASH205には、CPU700で実行するソフトの他、DRE708で実行するコンフィグレーションデータなどを格納する。ここでコンフィグレーションデータとは、DREのハードウェア構成(回路構成)を指定するためのデータである。

30

【0035】

次に、DRE708とCPU700とのインターフェースを述べる。CPU700は、CPUバス702を介して、DRE708、内蔵メモリMEM701、および、周辺インターフェース制御回路USB704、FL-IF705や割り込み制御回路INTC706と接続する。CPUバス702とこれらの回路は、ブリッジ回路703、および、ブリッジ回路707を介してデータ転送を行う。

40

2.2 無線ソフトウェアのDRチップ上の動作概要

次に、図8に従い、無線ソフトウェアのDRチップ上での動作概要を述べる。DRチップ上で行う無線処理は、プロトコル処理800、無線API801、およびDRE処理802の3階層に分かれる。プロトコル処理800、無線API801はCPU700で実行され、DRE処理802はDRE708で実行される。

【0036】

DRE処理802では、受信データの復調と、送信データの変調といった物理層の処理と、一部のMAC層の処理を行う。無線API801では、DREでの処理が実行できるように、DRE上のレジスタやメモリとのアクセスを処理する。820から828までが

50

、主要な無線 A P I の種類である。プロトコル処理 8 0 0 では、エラー回避のためのデータ作成とチェックや、通信に必要なヘッダの作成などの処理を行う。プロトコル処理 8 0 0 と D R E 8 0 2 との通信は、基本的に無線 A P I を用いておこなう。図 8 で、8 2 0、8 2 1、8 2 2 などの長方形は無線 A P I を示し、8 2 4、8 2 5 などの角に丸みがある囲いは、割り込みによる D R E から C P U への状態通知を表す。

【 0 0 3 7 】

図 8 の D R E 8 0 2 のラインで、S 8 0 7 のラインは、送信動作のラインで、太線 8 0 5 や 8 0 6 が、データ送信中を示し、点線は送信動作を行っていないことを示す。R 8 0 8 のラインは、受信動作のラインで、8 1 0 などの細い矢印は有効な受信データを探索する同期動作と呼ばれる処理を、太い矢印 8 0 9 は、有効なデータを復調して受信中を示し、点線は受信動作を行っていないことを示す。

10

【 0 0 3 8 】

8 2 0 から 8 2 2 までは、初期化に当たる部分である。ハードウェア初期化 8 2 0 が、メモリやレジスタの初期化などハード的な初期化を D R E に対して行う。ソフトウェア無線初期化 8 2 1 では、D R E を無線処理用に初期化する。コンフィグレーションデータの格納や、無線通信に使うパラメータの格納などである。起動 8 2 2 では、C P U が無線通信動作の開始を D R E に指示する。ここで、D R E は受信の同期動作 8 1 0 を開始する。また、D R E は、有効なデータが受信されていない状態では、送信要求 8 2 3 に応じて送信動作を行う。送信要求 8 2 3 は、C P U から発行され、要求の発行と同時にデータを D R E に転送する。D R E は 8 0 5 の時間に送信動作を行う。送信が終了したら、割り込みで送信終了 8 2 4 を伝える。

20

【 0 0 3 9 】

受信動作は、送信が実施されている区間は待機しており、送信終了と共に再び同期動作を開始する。同期が終了したら同期完了を通知し (8 2 5)、データの復調動作を実施する。復調動作は 8 0 9 の区間で行う。全てのデータの受信、復調を終えると、受信終了を割り込みで C P U に通知する (8 2 6)。C P U はこれを受けて、復調済みのデータを取得する受信データ取得 (8 2 7) を行う。全ての受信データを取得後、a c k の送信要求 8 2 8 を行う。D R E は送信可能であれば 8 0 6 の区間に a c k を送信し、a c k 送信の終了後、送信終了 8 2 4 を通知する。

【 0 0 4 0 】

30

本実施例では、C P U と D R E との通信は、同期完了、受信終了、送信要求、送信終了等の割り込みとそのためのデータのみであり、D R E のコンフィグレーションの変更は C P U は指示しない。したがって、C P U と D R E の通信量を削減でき、図 7 の内部バス 7 0 2 の使用量を削減できる。また、C P U は、一度 D R E に起動指示をすることによりその後は、一連の送信動作、受信動作が終わるまで D R E に指示する必要があるため並列動作が可能となり、L S I 全体の高速動作が可能となる。更には、送信と受信を時分割で行うことにより、同一のハードウェアで実現し、半導体集積回路の小面積かを実現している。

【 0 0 4 1 】

3 . D R E の無線通信動作と構成

40

ここでは、図 8 に示される D R E の無線通信の動作と、そのための構成を述べる。

3 . 1 D R E の無線通信の動作の概観

図 9 は、D R E の無線通信の動作を示す。D R E は受信動作 9 0 0 と送信動作 9 0 2 に示す受信と送信動作を主要機能とし、図 8 に示す A P I は全てこれらの動作に関連する。送信動作は、他の無線装置が送信を行っていないタイミングを見つけて行うため、また、送信と受信を時分割で行うため C C A と呼ばれる送信管理 9 0 1 も行う必要がある。

【 0 0 4 2 】

受信動作 9 0 0 は、本無線機が利用する無線周波数帯が現在利用されているかどうかを確認するため、基本的には常時動作する必要がある、優先的に扱われる。受信動作 9 0 0 は、送信管理 9 0 1 に対して、9 0 4 に示す受信動作の状態通知を行う。また、送信管理

50

901から送信が許可906され、かつ、CPUのプロトコル管理903から送信要求908を受け取った状態で、受信する信号がないことが確認できた場合は、送信動作902に対して送信開始指示909を通知する。

【0043】

受信動作900が送信管理901に通知する情報は、有効なパケットを検出して1フレームデータの受信処理を開始したことを示す1フレーム開始通知と、受信終了割り込み826と同時に発行する1フレーム終了通知である。1フレーム終了は、受信が失敗したときにも発行する。

【0044】

CPUのプロトコル処理903は、現在の送信管理の内部状態910と、カーナビゲーションシステム107からの送信要求401を受けて、送信管理901に対する内部状態の遷移を決めるための送信の許可または禁止の指示情報907の発行と、受信動作900への送信要求908を行う。CPU側からは、その他、リセット指示も行う。

送信動作902は、受信動作900からの送信開始指示909により、送信動作を開始する。また、送信管理901に1フレームデータの送信の開始と終了の通知を行い、次の送信動作の可否の判断材料を送信管理901に提供する。

【0045】

送信管理901は、受信と送信の状況を示す904と905、および、プロトコルレベルでの次送信許可/禁止指示907から、送信可否を決定する。送信可否の判定結果をもとに、送信許可/禁止の指示906を受信動作900に発行する。

3.2 DREの受信と送信動作

ここでは、図10と図11に従って、図9の中の受信と送信動作をDREで実現する状態遷移フローを述べる。ここで、受信動作に必要な処理、送信動作に必要な処理の夫々を更に分解し、各ステートに割り当てることで、同一のハードウェアで時分割に処理を行い、DREチップの小面積化を図っている。

【0046】

(1) 受信動作

受信動作は、まずR1ステートのパケット検出から実施する。この時、前処理として、F1ステートによりパケット検出が可能となるデータ量をフィルタ処理する。パケット検出は、無線データ構造図11の1100のうち、プリアンプル1101中のSYNC1105をパケットの始まりとして検出することにより行う。SYNC1105は、通常ALL1などの決まったコードとなっており、パケット検出ではその一部のビットの検出を行う。パケットは、常に通信経路に存在するわけではないので、対象とするコードが検出されるまで処理を行う。パケットが検出されるとR2ステートへ遷移する。

【0047】

また、R1ステートでは送信を行うS1ステートへの遷移の判定も行う。送信管理1030が送信を許可しており、かつ、CPU700からの送信要求が発行されている状態で、パケットが検出されていない場合にはS1ステートへ遷移する。

【0048】

次に、シンボル検出を、R2ステートとR3ステートで行う。ここで、シンボルとは、情報データ1ビット分のデータに当たるデータ群である。また、シンボル検出とは、もっとも確からしいデータが得られるように、利用するデータの読み込みタイミングを決める動作である。シンボル検出は、SYNCの残りビットを用いて行う。このため、シンボル検出でも、R2ステートの前処理として、F1ステートにより必要なビット数分に相当するデータに対してフィルタ処理を行う。R3ステートで、シンボル検出が成功したならば、次のR4ステートに遷移する。シンボル検出が失敗したならば、データの不具合などの原因で受信は失敗したと判定し、当該受信処理は終了してR1ステートに遷移する。

【0049】

第3番目に、図11におけるSFD1106以降のデータに対して、復調処理をR4ステートとR5ステートで行う。復調処理においても、必要ビット数だけのデータをF1ス

10

20

30

40

50

テートでフィルタ処理を行ってから処理する。R 5 ステートでは、データの保護のためのスクランブル処理や、エラー検出のためのCRC処理を無線特殊演算 1 0 3 1 にて行いながら復調する。1ビット復調されると、1シンボル終了として、R 6 で実施する検出処理が実施できるまで、または、データが全て復調されるまで繰り返す。

【 0 0 5 0 】

最後に、R 6 ステートでは、復調結果からフレームの始まりを検出するSFD検出や、誤りデータがないことを判定するCRC判定を行う。SFD 1 1 0 6 は、無線システムにより所定のビット列が決まっており、SFD検出は、所定ビット列と復調結果が一致するかの判定により行う。CRC判定は、無線特殊演算 1 0 3 1 にてヘッダ 1 (1 1 0 7) に対してCRC演算を行った結果が、パケット 1 1 0 4 に格納されているCRC - H 1 1 0 8 と一致するか否かを判定する。CRC - D 1 1 1 1 は、ヘッダ 2 (1 1 0 9) とデータ 1 1 1 0 のCRC演算結果である。CRC - D 1 1 1 1 の判定はCRC - H 1 1 0 8 とは異なり、データ 1 1 1 0 のCPU 7 0 0 への転送を無線特殊演算 1 0 3 1 から直接行うために、無線特殊演算 1 0 3 1 にて行う。したがって、CRC - Dを無線特殊演算 1 0 3 1 へ送った時点で復調終了とする。

10

【 0 0 5 1 】

R 6 ステートの各種判定に引き続く処理を述べる。まず、SFD検出がOKであれば、引き続くデータを復調するためR 4 へ遷移する。SFD検出がNGなら、R 1 ステートへ遷移し、受信失敗として終わる。ヘッダ 1 (1 1 0 7) のCRC判定がOKならR 4 ステートへ遷移するが、NGなら受信失敗としてR 1 ステートへ戻る。ヘッダ 2 (1 1 0 9) とデータ 1 1 1 0 のCRC判定がOKならば、データを無線特殊演算 1 0 3 1 からCPU 7 0 0 に送付し、復調終了としてR 1 ステートへ遷移する。

20

【 0 0 5 2 】

(2) 送信動作

送信動作は受信動作と異なり、無線通信データの誤り検出の結果を条件とする分岐が不要であるため、S 1 ステートのみで実現する。

CPU 7 0 0 は、データの前にヘッダなどの無線通信のための情報を付加したあと、DRE 7 0 8 へ転送し、送信要求を発行する。CPU 7 0 0 から送られたデータは、無線特殊演算 1 0 3 1 でCRC処理やスクランブルを行なった後、S 1 ステートで無線通信用データへの変換を行い、さらに、F 2 で送信用のフィルタ処理を行う。その後、DRE 7 0 8 からADC / DAC 2 0 6 へ無線通信用データを送信する。送信処理終了後は、S 1 ステートからR 1 ステートへ遷移する。

30

【 0 0 5 3 】

(3) 送信管理とのインターフェース

3 . 1 で述べた送信管理 9 0 1 と、受信動作 9 0 0 と送信動作 9 0 2 のインターフェースの実現方法を、以下で述べる。

受信動作におけるインターフェース 9 0 4 のうち、1フレーム開始情報は、パケットが検出され、受信が開始された時点で行う。即ち、R 1 ステートからR 2 ステートへの遷移が確定した時に1フレーム開始を発行する。1フレーム終了または受信NGの情報は、パケット検出後、受信が失敗するか、1フレームの復調が終了した時点で行う。即ち、R 3 からR 1 への遷移が確定した時点のシンボル検出NGか、R 6 からR 1 への遷移が確定した時点の受信失敗であるSFD検出NG、または、ヘッダCRCのNGか、1フレーム復調終了で1フレーム終了を発行する。

40

【 0 0 5 4 】

これらの通知を受けて、送信管理 1 0 3 0 は、送信可能なタイミングを決定する。例えば、1フレーム終了後1フレーム開始が一定期間行われないケース、受信NG後1フレーム開始が一定期間行われないケース、および1フレーム終了が一度もなく1フレーム開始が一定期間行われないケースなどを受信終了または受信なしと判断して、送信可能とする。

【 0 0 5 5 】

送信管理 1 0 3 0 からの送信許可 / 禁止情報 9 0 6 を受け取る時期は、上記の基準から

50

すると、R 1 ステートでのパケット検出の繰り返し処理の開始時が適当となる。何故なら、上記の送信許可基準では、送信許可の決定がなされるのは、1フレーム開始が行われない時であり、これはR 1ステートでしか起こりえないからである。

R 1ステートにおいて、送信許可9 0 6を受け取り、かつ、送信要求をC P U 7 0 0から受け取った状態で、パケット検出の繰り返し処理の開始時に到達した場合にS 1ステートに遷移し、送信を開始する。

【 0 0 5 6 】

次に、送信動作におけるインターフェース9 0 5について述べる。まず、送信開始情報は、送信状態S 1に遷移することが確定した時に送付する。送信終了は、S 1で送信が終了し、R 1への遷移が確定した時に送付する。

以上のように、送信動作と受信動作の切り分けにとどまらず、送信動作、受信動作の夫々を切り分けることで、D Rチップを小面積化することが可能となる。なお、本実施例で示した各ステートの切り分けは、ソフトウェア無線に適した一例であり、そのD Rチップの構成等に基づいて自由に切り分けていいことは言うまでもない。

【 0 0 5 7 】

3 . 3 D R E の構成

ここでは、3 . 1 から3 . 2 で述べた無線通信を実現するためのD R E 7 0 8の構成を図1 2に従って述べる。D R E 7 0 8は、A L Uアレイエンジン(A L U A r r a y E n g i n e) A L U A E 1 2 0 2と無線専用回路W C E (W r e l e s s C o m m u n i c a t i o n E n g i n e) 1 2 0 1と、内部バス1 2 0 0と外部入出力スイッチE X I O S 1 2 0 3から構成される。

【 0 0 5 8 】

A L U A E 1 2 0 2は、図1 0に示す送受信の状態遷移を、自律的ダイナミックリコンフィグレーションにより実現する回路モジュールである。自律的ダイナミックリコンフィグレーションとは、自身が計算した結果により、自身のコンフィグレーションを変更することを意味する。即ち、C P Uからの指示を受けずに図1 0に示される各ステート間の遷移タイミングを検出し、次のステートの処理に対応する回路構成に自立的に変更することによって、C P UとD R Eの通信量を削減している。E X I O S 1 2 0 3は、A L U A E 1 2 0 2と外部とのデータアクセス先を選択する回路であり、アクセス先としてW C E 1 2 0 1と、L S I外部のA D C / D A C 2 0 6がある。図8に示される送信終了や受信終了等のC P Uへの割込みは、7 1 0を介して割り込みコントローラI N T C 7 0 6に要求を通知することにより行う。また、A L U A E 1 2 0 2とW C E 1 2 0 1の通常のデータ転送は、内部バス1 2 0 0を介して実施できる。C P U 7 0 0とA L U A E 1 2 0 2、または、W C E 1 2 0 1とのデータ転送は、B r i d g e 1 (7 0 7)と内部バス1 2 0 0を介して行う。

W Cエンジン1 2 0 1は、後に詳述するがA L U A E以外で処理をすることが望まれる送信管理1 0 3 0と無線特殊演算1 0 3 1を実現する回路モジュールである。

【 0 0 5 9 】

4 . A L U A E の構成と設定レジスタについて

4 . 1 概要

ここでは、A L U A E 1 2 0 2の構成と設定レジスタについての概要を述べる。図1 3に構成を示す。A L U A E 1 2 0 2は、バスコントローラB S C 1 3 0 0を介して内部バス1 2 0 0と接続される。B S C 1 3 0 0は内部バス1 2 0 0からの入力を各部に振りわけることが主な機能である。アレイエンジンコントローラA E C T L 1 3 0 1は、A L U A E 1 2 0 2の制御の他、割り込みコントローラI N T C 7 0 6に割り込み要求を出す。

【 0 0 6 0 】

各種処理をつかさどるメインブロックは、A L UアレイA L U A 1 3 0 5である。A L U A 1 3 0 5はアレイ状に並べられたA L Uセルにより構成される。A L Uアレイは、各A L Uセルの演算機能や各A L Uセル間の接続関係を変更することで各ステートの処理を実現する。A L U A 1 3 0 5とメモリや外部デバイスとのデータ転送にはロードストアア

10

20

30

40

50

レイ L S A を利用する。L S A は、右に位置する L S A R 1 3 0 4 と A L U セルを挟んだ左に位置する L S A L 1 3 0 6 がある。A L U A 1 3 0 5 への入出力は、L S A R または L S A L を介して行われる。

【 0 0 6 1 】

内部ローカルメモリ L M E M (1 3 1 2、1 3 1 3) は、L S A L 1 3 0 6 と、L S A R 1 3 0 4 の隣に配置されており、内部にローカルメモリと、そのインターフェースを備える。L M E M に対する入出力は L S A または I O P より行われる。

I O P (1 3 0 8、1 3 0 7) は L M E M の隣に配置されており、B S C 1 3 0 0 を介した内部バスとの通信を行う。また、配線 1 3 2 1、1 3 2 2 から E X I O S を介して W C E、および、D R チップ外部の A D C / D A C との通信を行う。

10

【 0 0 6 2 】

上記の A L U A 1 3 0 5、L S A (L S A R 1 3 0 4 と L S A L 1 3 0 6)、L M E M (1 3 1 2、1 3 1 3)、I O P (1 3 0 7、1 3 0 8) は、機能やアクセス先の変更のため、コンフィグレーションをダイナミックに、すなわち、処理実行中に変更可能である。

また、これらのモジュールの動作を指示するのがコンフィグレーションレジスタであり、図 1 4 (b) に示す種類と機能がある。コンフィグレーションレジスタを変更するための一時格納用のバッファは C N F G C にある。

【 0 0 6 3 】

A L U A 1 3 0 5、L S A (L S A R 1 3 0 4 と L S A L 1 3 0 6)、L M E M (1 3 1 2、1 3 1 3)、I O P (1 3 0 7、1 3 0 8) は、いずれも 8 行単位のクラスタに分割されており、クラスタ単位にコンフィグレーションの変更が可能となっている。

20

以下で述べる本実施の形態では、簡単のためクラスタは 2 個の場合を述べるが、クラスタの個数は限定されない。また、上記で述べたコンフィグレーションレジスタの詳細は後で述べる。C N F G C のバッファについては、一般的なバッファで構成することが可能である。

【 0 0 6 4 】

アレイエンジンコントローラ A E C T L は、図 1 4 (a) (c) に示すように、A L U A E 1 2 0 2 の全体の制御とコンフィグレーション切り替えに関する制御を行う。起動終了などのハードウェア一般の制御とステータス通知のほか、A L U A 1 3 0 5、L S A (L S A R 1 3 0 4 と L S A L 1 3 0 6)、L M E M (1 3 1 2、1 3 1 3)、I O P (1 3 0 7、1 3 0 8) のコンフィグレーションを A L U A E 自身で自律的に切り替える制御、現在のコンフィグレーションの状態、切り替えに伴う割り込み通知、およびエラー通知の可否指定と制御も行う。A E C T L 1 3 0 1 への入力 1 3 3 0 はコンフィグレーションの切り替えに用いる。これらのレジスタと動作の詳細は、4 . 2 と 4 . 5 にて述べる。

30

【 0 0 6 5 】

C N F G C 1 3 0 9 は、先に述べたコンフィグレーションレジスタを持つ対象に対して、コンフィグレーションデータの書き込みの制御を行う。制御内容は図 1 4 (a) に示すとおりである。レジスタの詳細は、4 . 2 にて述べる。4 . 2 A E C T L、C N F G C 制御・ステータスレジスタ

40

ここでは、A E C T L 1 3 0 1 と C N F G C 1 3 0 9 の制御 / ステータスレジスタについて述べる。

【 0 0 6 6 】

(1) A E C T L の制御 / ステータスレジスタ

A E C T L 1 3 0 1 には、図 1 5 に示す制御レジスタ 1 5 0 0 と割り込み制御レジスタ 1 5 1 0 が含まれる。制御レジスタ 1 5 0 0 は一般の制御とステータス通知、割り込み制御レジスタ 1 5 1 0 は割り込みに関する設定を行う。ここで、A E C T L 1 3 0 1 は状態遷移を制御するための複数の状態遷移制御レジスタ 2 6 0 0 も持つが、このレジスタと状態遷移の動作については 4 . 5 にて説明を行う。

【 0 0 6 7 】

50

制御レジスタ1500中のENとSTは、ハードウェア的にALUAEを起動または終了する指示(EN)と、その結果であるステータスの通知(ST)を行う。ENを1にすると起動指示、0にすると終了指示を行う。また、STが1だと動作状態、0だと休止状態を示す。ERRは、エラー状態であることを通知する。1はエラー状態、0は正常状態を示す。INI1とINI2は、ALUAEの内部状態の初期化を指示する。INI1がクラスタ1(上方8行分)の初期化、INI0がクラスタ0(下方8行分)の初期化を指示する。初期化は、内部の記憶要素を全て0、または1に設定する。C1STとC0STは、現在のALUAEの使用中のコンフィグレーション番号を示す。C1STがクラスタ1のコンフィグレーション番号、C0STがクラスタ0のコンフィグレーション番号を示す。本実施の形態では、C0ST、S1STにそれぞれ4ビットを割り当てており、16個のコンフィグレーション切り替えを制御することが可能となっている。

10

【0068】

次に、割り込み制御レジスタ1510について述べる。割り込み制御レジスタ1510のERRは、ALUAE内でエラーが起こったときに、割り込み要求を行うか否かを指定する。1の時は割り込みを行い、0の時は割り込みを行わないことを示す。割り込み制御レジスタ1510のSIRQFは状態遷移時に割り込みを行うか否かを指定する。SIRQは、後で説明する状態遷移制御レジスタ2600の数と同じだけのビット数を備え、それぞれの状態遷移ごとに割り込みを行うか否かを設定可能である。割り込み制御レジスタ1510のSIFは割り込み要因を示す。SIFの各ビットはSIRQの各ビットがあらわす割り込みに1対1に対応する。割り込み要因を示すSIFの0リセットは、DRE外部からの書き込み、または、DREのリセットにより行われる。

20

【0069】

(2) CNFGCの制御/ステータスレジスタ

CNFGCのレジスタを図16の1600に示す。1600中のWREQは、コンフィグレーション対象のセルへの書き込み指示を行う場合に1にセットする。W0およびW1は、書き込み先のクラスタを示す。W1が1ならクラスタ1へ書き込み、W0が1ならクラスタ0へ書き込む。CSTは、書き込み先のコンフィグレーション番号を示す。AROWおよび、ACOLは、コンフィグレーションを変更するALUセルの選択信号であり、各クラスタ中の行と列を選択する。

【0070】

4.3 ALUセルの構成とコンフィグレーションレジスタ

ここでは、ALUA1305を構成するALUセルの構成と、その利用方法を明らかにするためコンフィグレーションレジスタについて述べる。本節では、(1)でALUA1305での処理をどう実現するかの大略を述べ、次に(2)でALUセルの構成を述べる。最後に(3)でALUセルのコンフィグレーションレジスタについて述べる。

【0071】

(1) ALUA1305の利用イメージ

図17は、ALUセル1700を4行4列のアレイ状に並べ、図10に示されるF1ステートの処理を簡略化したフィルタリング処理を実行するためのコンフィグレーション情報の一例を示した図である。図17を用いて4行4列のセル・アレイの動作を説明する。図17のALUセル1700内に書かれたブロック内の記号($\times C0$ 、 $\times C1$ 、 $\times C2$ 、 $\times C3$ 、 $+$)は、セルの演算器ALUが実行する機能を表し、直線及び矢印はデータの流れを表す。また、セル内の直線上に示されている黒丸1701はデータ転送のみを1サイクルで行うフリップフロップを表している。

40

【0072】

図17に示されたコンフィグレーション情報は下式で表される値を求めるためのものである。

$$f[t] = e[t] \times C0 + e[t-1] \times C1 + e[t-2] \times C2 + e[t-3] \times C3$$

上記の式において、 $f[t]$ は時刻 t におけるフィルタの出力、 $e[t]$ は時刻 t にお

50

るフィルタへの入力、C 0 から C 3 はフィルタ定数である。e [t] は、L S A L 1 3 0 6 から入力し、f [t] は L S A R 1 3 0 4 に出力する。

【 0 0 7 3 】

本コンフィグレーション情報によれば、1 行目のセルでデータの右側のセルへの転送と乗算を実行し、2 行目、及び 3 行目のセルを用いて加算を行う。このコンフィグレーション情報により設定された A L U A 1 3 0 5 に対し 1 行 1 列目のセルより入力 e を毎時刻入力することで、9 クロック・サイクル以降は毎サイクル、フィルタ出力 f を 3 行 4 列目のセルより得ることができる。なお、この処理での計算結果は、L S A を介して内部ローカルメモリ L M E M に格納される。

【 0 0 7 4 】

本実施例では、F 1 ステートを簡略化したフィルタについて説明したが、例えば、F 1 ステートから R 1 ステートに遷移する場合は、コンフィグレーション情報を切り替えることにより A L U セルの夫々の演算機能及びそれらの接続関係を変更し、R 1 ステートに対応する回路構成を得ることができる。

【 0 0 7 5 】

(2) A L U セルの構成

ここでは、A L U セル 1 7 0 0 の構成を図 1 8 に従い、以下に述べる。

A L U セル 1 7 0 0 のデータパス系の機能は、1 8 0 0 で示す A L U による演算とデータ転送の機能である。A L U は、セクタ A i 0 - s e l と A i 1 - s e l の出力を 2 つの入力とし、結果をフリップフロップ C F F 0 と C F F 1 に出力する。データ転送を行う場合は、セクタ R 0 - s e l 、R 1 - s e l の出力を、それぞれフリップフロップ R F F 0 、R F F 1 の入力とする。

【 0 0 7 6 】

セクタ A i 0 - s e l と A i 1 - s e l 、R 0 - s e l と R 1 - s e l への入力は、1 8 1 0 、1 8 1 1 、1 8 1 2 、1 8 1 3 入力端子と、フリップフロップ C F F 0 と C F F 1 、R F F 0 、R F F 1 の出力から選択される。これら信号の選択はコンフィグレーションレジスタファイル 1 8 0 1 の内、セクタ C - s e l で選ばれた信号 1 8 0 2 の値により決まる。

A L U セルの出力はフリップフロップ R F F 0 、R F F 1 、C F F 0 、C F F 1 の出力を各スイッチで選択し、1 8 1 4 、1 8 1 5 、1 8 1 6 、1 8 1 7 の出力端子より出力される。

【 0 0 7 7 】

入力端子と出力端子は、上下左右の 4 方向にそれぞれあり、上下左右の隣接する A L U セルへ直接接続する。本構成では、上方向は 1 8 1 0 と 1 8 1 4 、下方向は 1 8 1 1 と 1 8 1 5 、左方向は 1 8 1 2 と 1 8 1 6 、右方向は 1 8 1 3 と 1 8 1 7 が接続される。ただし、A L U A の左右端の A L U セルの左右の配線は、内側は A L U セルに、外側は L S セルに接続する。また、上下端のセルの上下の配線は、内側は A L U セルに接続し、外側は基本的には接続しない。ただし、四隅の A L U セルの外側向きの上下の配線は A L U A 1 3 0 5 からの入出力線 1 3 2 0 に接続される。

【 0 0 7 8 】

端子や配線は、データ用 1 6 ビット、制御用 1 ビットをそれぞれ有し、制御ビットは加算におけるキャリー、または、L S セルとのインターフェースでのロードストアのイネーブルビットなどに用いる。さらに、データ信号、制御信号それぞれに、その信号が有効か否かをあらわす信号 (V a l i d 信号) が付属する。V a l i d 信号はデータ信号、または、制御信号が有効な場合に 1 、無効な場合に 0 となる。信号が有効となるのは A L U A 外部から入力されたデータか、または、有効なデータに対して演算を行った結果のデータである。

【 0 0 7 9 】

A L U セルへの入力は、上下左右それぞれ、U i n - b r 、D i n - b r 、L i n - b r 、R i n - b r の入力端子に入力され、それぞれの入力を、R 0 - s e l 、R 1 - s e

10

20

30

40

50

1、A i 0 - s e l、A i 1 - s e lのセレクトにすべて接続する。

A L Uセルからの出力は、データ転送レジスタR F F 0、R F F 1と、A L U出力レジスタC F F 0、C F F 1の値を、上下左右それぞれ、U o 0 - s e lとU o 1 - s e l、D o 0 - s e lとD o 1 - s e l、L o 0 - s e lとL o 1 - s e l、R o 0 - s e lとR o 1 - s e lのスイッチで選択する。例えば、右方向のセレクトR o 0 - s e lは、R F F 0かC F F 0のいずれかを選択し、R o 1 - s e lは、R F F 1、C F F 1のいずれかを選択して出力する。

【 0 0 8 0 】

セレクトR 0 - s e l、R 1 - s e l、A i 0 - s e l、A i 1 - s e lは、4方向の入力各々2セットと、フリップフロップの出力セレクトS - b rの出力と、コンフィグレーションレジスタファイル1 8 0 1からC - s e lで選択された一つのコンフィグレーションレジスタの中の定数値1 8 0 3から、1つを選択する。

【 0 0 8 1 】

図17での「×C 0」と記述されたA L Uセルでは、定数値1 8 0 3をA i 0 - s e lで選択した値C 0と、左端子L i n - b rからの入力信号をA i 1 - s e lで選択した値を、A L Uで乗算する。結果はC F F 0とC F F 1に出力され、D o 0 - s e lでC F F 0を選択し、D o 1 - s e lでC F F 1を選択して下方の出力端子1 8 1 5に出力する。また、右方向へのデータ転送は入力端子1 8 1 2からR 0 - s e l、R F F 0を通過し、R o 0 - s e lより出力端子1 8 1 7に出力する。

【 0 0 8 2 】

上記で述べた、種々のセレクトでの選択と、A L Uで何の演算を行うかの選択は、いずれも、C - s e lの出力信号1 8 0 2の値により決定する。

信号1 8 0 2は、現在の状態のコンフィグレーションレジスタ1 9 0 0（図19）の値を示す。この信号1 8 0 2は、コンフィグレーションレジスタファイル1 8 0 1の中から、現在のコンフィグレーションを選択する信号1 8 0 4に従い、C - s e lで選択された値である。

【 0 0 8 3 】

コンフィグレーションレジスタファイル1 8 0 1が更新されるための制御について述べる。コンフィグレーションレジスタファイル1 8 0 1は、図16で示すC N F G C 1 3 0 9により更新される。C N F G C 1 3 0 9中の制御レジスタ1 6 0 0によりA L Uセルを指定することにより、入力端子1 8 0 5がこのA L Uセルのコンフィグレーションレジスタファイル1 8 0 1のアドレスを示す信号となる。入力端子1 8 0 5の値がD E Cでデコードされ、指定されたレジスタへの書き込みイネーブル信号となる。入力端子1 8 0 6は、当該状態のレジスタへのデータ書き込みに用いる。1 8 0 5、1 8 0 6の二つの信号により、コンフィグレーションレジスタファイル1 8 0 1の更新を行う。1 8 0 5と1 8 0 6は、図13におけるC N F G C 1 3 0 9からの出力信号の一部の信号である。C - s e lの動作を決める入力端子1 8 0 4の信号は、図13のA E C T L 1 3 0 1から出力される1 3 1 1の一部である。

上記のコンフィグレーションレジスタファイル1 8 0 1とC - s e lに関する機構は、他のコンフィグレーション対象ブロック、L SセルとI O C T Lについても同様な仕組みとなっている。

【 0 0 8 4 】

（ 3 ）コンフィグレーションレジスタ

（ 2 ）で述べた動作を実現するためのA L Uセルのコンフィグレーションレジスタ1 9 0 0について以下で説明する。

レジスタ1 9 0 0の中で、1 9 0 1の領域はR 0 - s e l、R 1 - s e l、A i 0 - s e l、A i 1 - s e lの選択信号であり、L i n - b r、R i n - b r、U i n - b r、D i n - b rのそれぞれへの2組の入力端子、S - b r、および1 9 0 0中のI M I Dの計1 0組の入力の中から一組の1 7ビットを選択する。R 0 S、R 1 S、A I 0 S、A I 1 Sは、それぞれ、R 0 - s e l、R 1 - s e l、A i 0 - s e l、A i 1 - s e lの選択

10

20

30

40

50

コードをあらわす。

【0085】

1902の領域は、左方への出力セクタLo0 - sel、Lo1 - sel、同じく、右方への出力セクタRo0 - sel、Ro1 - sel、上方への出力セクタUo0 - sel、Uo1 - sel、下方への出力セクタDo0 - sel、Do1 - selの制御信号である。例えば、LOSはLo0 - selおよびLo1 - selの制御信号を示す。同様にして、ROS、UOS、DOSは、各方向への2つのセクタの制御信号を表わす。

EXEは、ALUの演算を表わす。乗算、加算、減算などの算術演算や、シフト、ANDなどの論理演算を搭載する。IMIDは定数を表わし、上記に述べたように、RO - selなどのALUと転送レジスタへの入力セクタへの入力の一組となる。

10

【0086】

4.4 データのロードストア機構

ここでは、ALUアレイ1305から見たデータのロードストア機構について述べる。ロードストアは、2種類に大別される。一方は、1312および1313に付随のローカルメモリへのアクセス。もう一方は、ALUAE1202の外部のハードウェアモジュールやDRチップ外部IOとのアクセスである。これらのいずれのアクセスも、LSセルというロードストア専用セルを通して行う。

【0087】

以下では、LSA(1306, 1304), LMEM(1312, 1313), IOPA(1308, 1307)について説明する。まず、(1)でLSセルとALUセルのインターフェースについて述べ、(2)LSA, LMEM, IOPAの構成概要をのべ、(3)でLMEM2200へのアクセス機構を、(4)でIOPA2100を通した外部とのアクセス機構について述べる。

20

【0088】

(1) LSセルとALUセルのインターフェース

図20は、LSA内のLSセル2000と、ALUセル1700とのインターフェースを示す。

ALUセル1700の出力データ端子1816の上位半分でアドレスとR/Wビットを、下位半分でALUセル外部へ出力するデータを送る。また、端子1812でLSセルから入力するデータを受け取る。LSセル2000は、ALUセル1700の端子それぞれについて、端子2002、2003、2004、2005、2006と接続する。

30

【0089】

(2) LSA, LMEM, IOPAの構成概要

図21は、LSA(1306, 1304), LMEM(1312, 1313), IOPA(1308, 1307)の構成の概要を示した図である。LSA, LMEM, IOPAはALUAの左右で対象であるため、以下ではまとめて、LSA2300, LMEM2200, IOPA2100として説明する。

LMEM2200は、LSA2300とIOPA2100の両方からのアクセスが可能である。また、LMEM2200は、LSセル2000から通常のメモリとして利用されると共に、LSセル2000が外部とアクセスするための中間バッファの役目も果たす。

40

【0090】

IOPA2100は、ALUAE1202と直結する外部IOや他のモジュールと通信するためのモジュールである。本実施の形態では、ADC/DAC206が外部IOであり、WCE1201が他のモジュールに当たる。また、IOPA2100は、内部バス1200のBSC1300とのインターフェースも持ち、外部IOへのアクセスか内部バス1200へのアクセスのいずれかを、各IOP2106を通して選択する。

【0091】

(3) LMEMへのアクセス機構

ここでは、LSセル2000からLMEM2200へのアクセスについて述べる。LM

50

EM2200は、LSセル2000に対応した複数のメモリセル2102から構成する。メモリセル2102は、LSセル2000、または、IOP2106よりアクセスできるメモリMEM2103と、MEM2103へのアクセスをコントロールするMctl2104で構成される。この構成により、LSセルからメモリセルへのアクセスが行くと並列に実行可能である。

ここで、Mctl2104は、メモリセル2102が、IOP2106からもアクセスされるため、LSセル2000とのアクセスとの選択を行うことがその役割である。

【0092】

LSセル2000がLMEM2200にアクセスするための命令やモードを指定するのが、図22に示すLSセル用コンフィグレーションレジスタ2200である。以下でその機能を述べる。

EN2201は、LSセルのデータアクセスが可能か否かを示す。LS/PP2202は、アドレスをALUセル1700から与えるか、LSセル内部でアドレスを自動発生するかを指定する。RW2203は、データをリードするか、ライトするかを指定する。

【0093】

以下では、LSセル内部でアドレスを自動発生する場合のレジスタ設定方法を説明する。LI/D2204は、アドレスを自動的にインクリメントするか、デクリメントするかを指定する。LBAS2205は、ベースアドレスを指定する。LADD2007は、インクリメント、または、デクリメントの幅を指定する。ITER2206は、何回繰り返してアクセスするかを指定する。なお、繰り返し最大数までアクセスした後は、ベースアドレスに戻る

(4) ALUアレイ外アクセス機構

ここでは、IOPA2100を通したALUAE外部へのアクセス機構について述べる。まず、IOPA2100からLMEM2200へのアクセスを述べ、次に、IOPポートアレイ2100と外部とのアクセスを述べる。

【0094】

(a) LMEMへの外部からのアクセス

IOPA2100は、メモリセル2102の2個セット2110に対して、IOP2106を通してアクセスする。IOP2106は、入力ポート2113と出力ポート2112を1セットとしてもち、さらにBSC1300と配線2109を介して接続される。IOP2106は、2つのメモリセル2102を中間バッファとして、LSセルと接続する。2つのメモリセル2102のいずれかに、入力ポート2113と出力ポート2112を接続する。また、IOP2106は入出力ポートのほかにCPUバス2109との接続も選択可能である。

【0095】

上記で述べたIOP2106の各種モードを指定するのが、図23で示すIOPポートコンフィグレーションレジスタ2300である。以下でその機能を述べる。

IEN2207は入力ポート2113のアクセスが可能か否かを示す。同様にOEN2301は出力ポート2112のアクセス可否を示す。これらのいずれもアクセス不可であったときには、IOP2106はCPUバス2109とのアクセスを選択する。

【0096】

LSSEL2302は、入力ポート2113と出力ポート2112が、2つのメモリセル2104のセット2110の内、いずれとアクセスするかを選択する。この指定により、LSセル2000のセット2111のいずれとアクセスするかも決まる。なぜなら、LSセル2000とメモリセル2102は一対一で接続されているためである。

【0097】

IOP2106は、外部からのアクセスでは、アドレス自動発生でメモリセルのセット2110とアクセスを行う。このとき、LSセルコンフィグレーションのLI/D2204、LBAS2205、LADD2207に相当して、II/D2303、IBAD2305、IADD2306を指定する。意味は、LSセルと同様であるため、説明は割愛す

10

20

30

40

50

る。LSセルと異なる点は、メモリの最大アドレスに達するまでアクセスを繰り返す点である。

【0098】

(b) 外部アクセス

上記で述べたIOP2106を用いて外部とアクセスする機構を、図24と図25に従い、以下で述べる。

図24に示すように、IOPA2100は、ALUアレイ外部モジュールであるWCE1201や、LSI外部IOを介してAD/DA206とのデータアクセスを行う。ここで、IOPA2100は、IOP2106を、1クラスタ分、集めたブロックである。

【0099】

IOPA2100は、最上位のクラスタと最下位のクラスタの各々に対して、左右一対ある。信号線群1321は、図21のIOポートセル2106の入出力信号線2112と2113を、左の最上位クラスタと最下位クラスタ分を束ねたものを表す。同様に、信号線群1322は、左の最上位クラスタと最下位クラスタ分、入出力信号線を束ねたものを表す。

これらの信号線群1321と1322は、EXIOS1203の中のスイッチ2403で、アクセス先の信号線1206と207に選択的に接続される。スイッチ2403の接続関係を指定するのが、図25で示すEXIOSのコンフィグレーションレジスタ2500と2510である。

【0100】

2500は、最下位クラスタのIOP2106からの入出力の接続先を指定し、2510は、最上位クラスタの入出力の接続先を指定する。2500で、LRP3selは、最下位クラスタの右のポート3の接続先を選択する。ここで、ポート3とは、クラスタ内の最上方のIOポートセル2106を指し、下方に向かって、ポート2，ポート1，ポート0と続く。同様にして、LLP3selは、最下位クラスタの左のポート3の接続先選択を指定する。2510も、2500と同様に、URP3selは、最上位クラスタの右のポート3の接続先選択を、ULP3selは、最上位クラスタの左のポート3の接続先選択を指定する。他のポートについても同様である。

【0101】

EXIOS1203のチップ外部への端子は、図24に示す207が接続されているLSI外部端子であり、入力と出力をセットで2個備える。WCEへの配線1206が接続されているALUAE以外の外部モジュールへの端子は、入力と出力をセットで4個備える。

EXIOS1203のコンフィグレーションレジスタ2500と2510の各々のIOPに対応するビットは、LSI外部端子選択用、外部モジュール端子選択用がある。LSI外部端子選択用のビットは、LSI外部端子1、または、LSI外部端子2を選択する。外部モジュール端子選択用のビットは、ALUAE外部モジュール端子1、ALUAE外部モジュール端子2、ALUAE外部モジュール端子3、ALUAE外部モジュール端子4を選択する。

【0102】

4.5 DR状態遷移と遷移テーブル

ここでは、図10に示すような、コンフィグレーションの状態遷移を実現するためのハードウェア機構と、状態遷移テーブルなどの設定レジスタについて述べる。

【0103】

(1) 状態遷移のためのハードウェア機構

ALUA1305で行われる処理で、次へ遷移する条件が整ったら、ALUAの4隅にあるALUセルから、トリガー信号1320を発行する。次に、EXIOS1203では、トリガイネーブルレジスタ2520の設定に従い、MSK2409で、有効なトリガー信号はそのまま、無効な信号は0にマスクする。最後に、AECTLでは、図26に示す状態遷移制御レジスタ2600の設定に従い、現在の状態およびトリガー信号の値を参照

10

20

30

40

50

して、次の状態を決める。次の状態は、図 13 の状態信号で A L U セル、L S セル、I O C T L に通知され、切り替えが実行される。A E C T L の中身の詳細は、後述する。

【0104】

(2) 状態遷移の設定レジスタ

ここでは、図 26 に従い、A E C T L の状態遷移制御レジスタ 2600 を説明する。A E C T L は内部に複数の状態遷移制御レジスタ 2600 を持ち、これらをまとめて状態遷移テーブルと呼ぶ。

まず、A L U A の 4 隅の A L U セルからトリガー信号を発行するには、上側の A L U で上側にデータを出力するか、下側の A L U セルで下側にデータを出力する。

【0105】

次に、図 25 のトリガイネーブルレジスタ 2520 にてマスクを行う。L R T E N は右下の A L U セルのトリガー信号をイネーブルにするか否かのコードである。有効にするときには 1、無効にするときには 0 を設定する。無効にしたときには、図 24 の M S K 2409 で、これに該当するビット列は全て 0 にマスクされる。同様に、L L T E N は左下の A L U セルのトリガー信号のイネーブル、U R T E N は右上 A L U セルのトリガー信号のイネーブル、U L T E N は左上の A L U セルのトリガー信号のイネーブルを示す。図 24 の M S K 2409 でマスクされた信号は配線 1330 を介して A E C T L 1301 へ送られる。

【0106】

最後に、状態遷移制御レジスタ 2600 を説明する。A S T は、A L U A E 1202 の状態が休止または動作中であることを、切り替え条件とすることを意味する。0 が休止中、1 が動作中を示す。最初の休止状態から、動作状態へ移るときなどに利用する。C S T A T には、現在実行中のコンフィグレーション番号を遷移の条件とする場合に、コンフィグレーション番号を指定する。C M S K は、現在のコンフィグレーション番号を遷移条件に入れるか否かを示す。1 が遷移条件に入れない、0 が入れる。N S T A T には、遷移先のコンフィグレーション番号を指定する。E M S K は、遷移テーブルの容量削減のため、複数の状態遷移を一つの状態遷移レジスタ 2600 で扱うため、トリガー信号 2121 にマスクをかける。トリガー信号 2121 と E M S K の値の論理 O R をとり、結果がすべて 1 であるときに遷移を実行する。例えば、C M S K を 1 にセットすることで、E M S K で設定したトリガーが発生した場合に、現在のコンフィグレーション番号によらず遷移が実行される。

【0107】

5. W C E の設定レジスタ

W C E 1201 の動作と設定レジスタについて以下で述べる。以下、5.1 で送信管理 1030 について、5.2 で無線特殊演算 1031 について述べる。これらの処理は、常に動作する必要があるため A L U A E で実行できなかつたり、また、A L U A E の構成を変更することで処理するよりは、専用回路で行ったほうが効率的であるため専用回路を設けている。

5.1 送信管理

ここでは、送信管理 1030 について、図 27 で動作を、図 28 で設定レジスタについて述べる。送信管理 1030 は、A L U A E 1202 からの情報 2700、2701、1020、1023 と、C P U 700 からの情報 907 を元にして、送信可否に関する状態を決定する。その結果、A L U A E 1202 へは送信許可/禁止情報 906 を、C P U 700 へは、内部状態 910 をそれぞれ送信する。このように送信管理用の専用回路を設けることにより C P U の介在なしに A L U A E が自立的に受信、送信の管理を行うことが可能となる。

【0108】

(1) 通常データの送信動作時の送信管理

通常のデータ送信時の動作を述べる。まず、C P U 700 が、カーナビゲーションシステム 107 から送信要求と共に送信データを受け取ると、C P U 700 は、送信管理 10

10

20

30

40

50

30に次送信許可907を発行し、ALUAE1202に送信要求を発行する。送信管理1030は、これまでの通信履歴から送信可能状態、または、送信不可能状態のどちらかにある。

【0109】

ALUAE1202は、受信動作900の中の受信待機状態の時に、CPU700からの送信要求908と、送信管理1030からの送信許可906を受けると送信動作902に遷移する。

送信動作902は、送信開始時に送信管理1030中の通信開始フラグSFLGをセットする。送信管理1030はSFLGがセットされると送信不可状態2709となり、ALUAE1202に対して、送信禁止906を発行する。

10

【0110】

送信動作902は送信が終了すると、送信管理1030中の通信終了フラグEFLGをセットし、受信動作900に遷移する。送信管理1030はEFLGがセットされ、かつ、CPU700から次送信許可907がセットされているならば、タイマ2(2708)でカウントを開始する。送信管理1030はあらかじめタイマ2(2708)に設定されたカウントが終了すると送信可状態2703に遷移し、ALUAE1202に対して、送信許可906を発行する。

【0111】

(2) 受信動作時とACK送信の送信管理

受信動作時の送信管理は、3種類ある。受信動作が行われている時には送信不可状態2709にするという管理、受信終了後、ACKを送信するため送信可能状態2703にするという管理、および受信失敗時(NG)、次送信可能状態2703にするという管理である。

20

【0112】

最初の管理は、受信動作900でパケットが検出され、1フレームの受信が開始されたと判断された時、1フレーム開始情報2700がフラグとしてSFLGにセットされた時に行う。SFLGがセットされると、送信不可状態2709に遷移する。

2番目の管理は、1フレームの復調終了と判断された時に起こる。この判断は、EFLG2707がセットされ、かつ、次送信許可フラグがセットされた時に行われる。

【0113】

送信管理1030はEFLGがセットされ、かつ、CPU700から次送信許可907がセットされているならば、タイマ1(2711)でカウントを開始する。送信管理1030はあらかじめタイマ1(2711)に設定されたカウントが終了すると送信可状態2703に遷移し、ALUAE1202に対して、送信許可906を発行する。

3番目の管理は、受信失敗(NG)と判断され、かつ、次送信許可フラグがセットされた時に行われる。後の動作は2番目の管理と同様である。

30

【0114】

(3) 送信管理の設定レジスタ

CPU700とALUAE1202から見た設定レジスタは、図28に示す制御/ステータスレジスタ2800である。EN2801は、送信管理をハード的にイネーブルするか否かの制御レジスタであり、CPUから設定する。

40

SFLGとEFLG2802は、フレーム(通信)の開始と終了を示すフラグで、ALUAE1202からセットされ、CPU700からは読み込みのみ可能である。SFLGは、送信開始1020と受信の1フレーム開始2700にセットされ、(1)、(2)で述べた状態遷移が終わるとリセットされる。EFLGは、送信終了1023と、受信1フレーム終了/受信NG2701でセットされ、(1)、(2)で述べた状態遷移が終わるとリセットされる。

【0115】

STAT2803は、送信管理の内部状態910を示し読み出しのみ可能である。無線仕様によっては、図27で示すだけの状態では不十分であるが、ここでは、無線仕様の詳

50

細に触れることが目的でないため、基本的な枠組みを示すのみであり、必要なら状態を追加することは容易に可能である。SEN2804は、次送信許可/禁止907を意味し、CPUによりセットされる。許可時1、禁止時0がセットされる。

【0116】

ACNT、CNT1からなる2805は、各種タイマのカウント値を示す。ACNTが、タイマ1(2711)で利用され、CNT1がタイマ2(2708)で利用される。無線仕様によっては、他にもカウンタが必要であるが、この基本的な枠組みに、必要ならカウンタを追加することは容易に可能である。

【0117】

このように、送信管理1030は、送信、受信の管理にカウンタを用いる。このカウンタは、ALUAEが実際に送信動作や受信動作を行う間もカウント動作を行う。従って、送信管理1030をALUAEで実現しようとするとき常にカウンタを構成するALUセルを確保しなければならず、効率が悪くなる。そこで、本実施例では、専用回路として設けている。

10

【0118】

5.2 無線特殊演算

ここでは、無線特殊演算1031について、送信用無線特殊演算2920と受信用無線特殊演算3120の各々について、そのハードウェア構成および動作と設定レジスタについて述べる。無線特殊演算1031は、1ビット単位で処理するため、例えば16ビット単位で処理するALUAEで処理すると効率が悪い処理等を行う。これらの1ビット単位での処理を専用回路とすることでALUAEで処理するより面積効率がよいためである。

20

【0119】

(1) 送信用無線特殊演算

ここでは、送信用無線特殊演算2920について、図29でハードウェア構成および動作を、図30で設定レジスタについて述べる。

まず、CPU700から、送信設定用レジスタ2900に初期設定する。送信用レジスタには、図30に示す制御レジスタ3000と送信データ長レジスタ3010がある。

【0120】

図30の制御レジスタ3000のEN3001は、送信用無線特殊演算2920をハード的に有効にする。送信用無線特殊演算2920は、本実施の形態では、スクランブルとCRCの二つの処理を行う。図11のデータ構造1100において、CRC処理はヘッダ1(1107)と、ヘッダ2(1109)とデータ(1110)のセットについて行い、それぞれの結果をCRC-H1108、CRC-D1111として付加して1100の形式とする。スクランブルは、1100の全てのビットについて先頭より行う。

30

【0121】

SCLN3003は、スクランブル演算のビット長を指定する。0が初期値で7ビット長、1は10ビット長である。HCRCLとDCRCLの3004は、CRC演算のビット長を指定する。それぞれ、0が32ビット、1が16ビットとなる。

送信データ長レジスタ3010は、CPU700から送付されてくる元のCRC演算とスクランブル処理を実施する前のデータの長さを領域毎に指定する。1100のデータ構造に従い、PLENでプリアンブル領域1101のビット長を、HLENでヘッダ1 1107のビット長を、DELNでデータ領域1103のうち、ヘッダ2(1109)とデータ1110を足し合わせたビット長を指定する。CPU700から順にデータが送られたら、送信用無線特殊演算2920にて、CRCとスクランブルを処理し、ALUAE1202に結果を転送可能となる。

40

【0122】

送信コンフィグレジスタ2930には、スクランブルおよびCRCの動作を指定するパラメータを入力する。初期設定が終了したら、CPU700は、入力バッファ2901に、プリアンブル領域1101、ヘッダ1 1107、ヘッダ2 1109とデータ1110の順にデータを送付し、順に所定の演算を行う。

50

2901以降の処理を、述べる。処理の流れとしては、CRC処理を行った後に、スクランブル処理を行う。まず、入力選択2903で入力バッファを選択する。CRC/Scramble演算2904では、プリアンブル領域1101に対しては何も演算を行わないで出力バッファ2906に出力する。ヘッダ1(1107)に対しては、送信データ長レジスタ3010のHCRCで指定したヘッダ長と、送信コンフィグレジスタ2930で指定したCRCの動作に従って、CRC/Scramble演算2904でCRC演算が実施され、CRC-Hを付加して、出力バッファ2906に出力する。ヘッダ2(1107)とデータ2(1110)に対しては、送信データ長レジスタ3010のDCRCで指定したヘッダ長と、送信コンフィグレジスタ2930で指定したCRCの動作に従って、CRC/Scramble演算2904でCRC演算が実施され、CRC-Dを付加して、出力バッファ2906に出力する。

10

【0123】

次に転送先選択2905で入力選択2903方向が選択され、入力選択2903では転送先選択2905からの入力を選択される。出力バッファにあるCRC処理済みのデータに対して、CRC/Scramble演算2904でスクランブル処理を実施し、再び出力バッファに格納する。スクランブルの動作の指定は、送信設定用レジスタ2900と、送信コンフィグレジスタ2930によって決まる。

スクランブル処理が終了すると、転送先選択2905はビット長拡張2907方向が選択される。ビット長拡張2907では、ここまで1ビットとして扱われてきたデータを、ALUAE1202にあわせ、上位7ビットに0を挿入して8ビットに拡張する。この後EXIOS1203を介して、ALUAE1202からの要求があれば随時出力を行う。なお、上記の送信無線特殊演算2920内の処理はシーケンサ2910によって制御される。

20

【0124】

(2) 受信用無線特殊演算

ここでは、受信用無線特殊演算3120について、図31でハードウェア構成および動作を、図32で設定レジスタについて述べる。

まず、CPU700より、受信用設定レジスタ3100に初期設定する。受信用設定レジスタ3100には、図32に示す制御レジスタ3200と受信データ長3210がある。図32の制御レジスタ3200のEN3201は、受信用無線特殊演算3120を有効にする。1が有効、0が無効。その他のコードの意味は、3000と同様であるため割愛する。但し、受信の場合、プリアンブル領域中のパケット検出に用いるSYNCは、受信用無線特殊演算3120には送られない。この点が、送信の場合と異なる。受信データ長レジスタ3210の意味も、3010と同様であるため割愛する。

30

【0125】

初期設定が終了して、ALUAE1202で受信が始まると、SYNC1105以外のデータが受信用無線特殊演算3120に送られ、CRCとスクランブル処理を実行し、結果が出力バッファ3113に格納される。ヘッダ1の結果、および、CRCの結果はEXIOSを介してALUAE1202に送られ、CRC判定を行う。そのほかのデータはCPU700からの要求に応じて出力される。

40

【0126】

処理の流れとしては、SFD1106がALUAE1202で1ビット復調が終了するごとに、受信無線特殊演算3120に送付される。送付時はALUのビット長で送付されるので、有効な下位1ビットを有効ビット選択3101にて選択し、入力バッファ3110に蓄える。SFD1106および、ヘッダ1(1107)のデータが送られてくると、随時CRC/Scramble演算3112にてスクランブルを実行し、出力バッファ3102に蓄える。これらの結果はALUAE1202の要求に応じて、EXIOS1202へと出力される。

【0127】

また、ヘッダ1(1107)は、転送先選択3113、入力選択3111を介して再び

50

CRC / Scramble 演算 3112 に入力され、CRC—H 1108 が計算される。CRC の結果も他と同様に出力バッファに蓄えられ、ALUAE 1202 の要求に応じて出力される。ALUAE 1202 は、ヘッダ 1 (1107) の値を解析し、得られたヘッダ 2 (1109) とデータのビット長を、受信設定用レジスタ 3100 の受信データ長レジスタ 3210 に入力する。その後、ヘッダ 2 (1109) およびデータ 1110 が入力され、CRC / Scramble 演算 3112 にてスクランブルと CRC を計算して、出力バッファ 3102 に蓄えられる。

CRC の結果は ALUAE 1202 からの要求で、EXIOS 1202 を介して返され、CRC 判定を行う。ヘッダ 2 (1109) およびデータ 1110 は、CPU 700 の要求に応じて CPU 700 へと出力される。その他の部分で、送信無線特殊演算 2920 と同じ名前がついているものに関しては同様の動作を行う。

10

【0128】

6. DRE の利用例

6.1 無線 API による無線通信動作の実現

DRチップを用いて無線通信動作を実現するために必要となる無線 API と、これによる無線通信動作の実現方法を述べる。無線 API は、CPU により実行される。

【0129】

6.1.1 無線 API の機能

無線通信動作を実現するために、9つの無線 API を定義する。9つの無線 API とは、

20

- (1) ハードウェア初期化、
- (2) ソフトウェア無線初期化、
- (3) 起動 (受信動作開始)、
- (4) 次送信許可 / 禁止、
- (5) 送信要求、
- (6) 受信データ取得、
- (7) ack 送信要求、
- (8) 割り込み要因取得、
- (9) 送信管理状態取得、

である。以下これらの API について説明する。

30

【0130】

(1) ハードウェア初期化は、DRE 708 の全ての構成を、ハードウェア的に初期化する。初期化フラグがある構成物はフラグをオンにし、その他は、レジスタなどの値を初期設定する。

【0131】

(2) ソフトウェア無線初期化は、実現したい無線仕様に合わせた DRE 708 の初期化である。ALUAE 1202 は、コンフィグレーションデータの設定、割り込み設定、状態遷移テーブルの設定を行い、WCE 1201 には、無線通信処理用にパラメータやタイマ用カウンタを設定する。ALUAE 1202 の初期化におけるコンフィグレーションデータの設定は、CNFGC 1309 にあるバッファにコンフィグレーションデータを格納し、制御レジスタ 1600 の設定により、ALUA 1305 や LSAR 1304 や LSAL 1306 に必要なコンフィグレーションデータを格納することにより行う。割り込みの設定は、AECTL の制御レジスタ 1500 の設定による。状態遷移テーブルの設定例は、後述する。

40

【0132】

(3) 起動 (受信開始) は、各種ハードウェアを待機状態から動作状態にすることである。これにより、ALUAE 1202 は受信動作を開始し、WCE 1201 は CPU 700 や ALUAE 1202 からの各種情報を受付可能となる。

【0133】

(4) 次送信許可 / 禁止は、送信管理 1030 に次の送信に対して許可や禁止を与える

50

。これは現在の状況からの第一次許可／禁止の判定であり、送信管理 1 0 3 0 ではタイムによる時間測定などの詳細な判定により、最終的な判定を行う。

【 0 1 3 4 】

(5) 送信要求は、A L U A E 1 2 0 2 に送信要求を発行すると共に、送信データを送信用無線特殊演算 2 9 2 0 に送付する。送信要求では、最初に、A L U A E 1 2 0 2 内のローカルメモリを参照し、前回の送信が終了しているかどうかを確認する。終了していないならば、A P I はエラーを返し終了する。終了しているならば、送信データを送信用無線特殊演算 2 9 2 0 へ送り、送信設定用レジスタに処理の開始を設定する。さらに、A L U A E 1 2 0 2 内のローカルメモリの所定のアドレスにフラグを立てることにより、送信要求を通知する。

10

【 0 1 3 5 】

(6) 受信データ取得は、受信終了割込みを A L U A E 1 2 0 2 から受けた後、受信データを受信無線特殊演算 3 1 2 0 の出力バッファ 3 1 0 2 から取得することにより行う。

【 0 1 3 6 】

(7) a c k 送信要求は、送信要求と基本的に同じ処理であるが、送信優先度が最も高いため、前回の送信が終了していない場合はこれをキャンセルし、以降は送信要求と同様に送信の手続きを行う。また、前回の送信をキャンセルした場合は、キャンセルしたことを示す値を返す。

【 0 1 3 7 】

20

(8) 割込み要因取得は C P U 7 0 0 に対して発行された割り込みに対して、その要因を取得する。具体的には A E C T L 1 3 0 1 内の割り込み要因レジスタ 1 5 1 2 の値を参照、解析して割り込み要因に対応した値を返す。

【 0 1 3 8 】

(9) 送信管理状態取得は、送信管理 1 0 3 0 からの状態取得を行う。6 . 1 . 2 無線通信動作の実現例。

上記で述べた無線 A P I により実現される無線通信動作の一例の主要動作を図 3 3 に従い述べる。図では、初期化動作は省略した。図で、実線は動作中、点線は休止中または待機中、太線は特に強調したい動作を示す。特に送信管理 1 0 3 0 は送信可能状態の時のみ実践で示し、タイムによるカウントは図 3 3 では特に示さない。

30

【 0 1 3 9 】

まず、起動 A P I 8 2 2 が実行されると、A L U A E 1 2 0 2 の受信動作 R 8 0 8 が開始される。ここでは受信処理の内、同期処理 8 1 0 が実行される。

次に、次送信許可／禁止 A P I 3 4 0 0 により、送信管理 1 0 3 0 の制御／ステータスレジスタ 2 8 0 0 の許可フラグ S E N 2 8 0 4 がセットされる。これにより、1 0 3 0 の内部状態遷移が可能な状態になる。

【 0 1 4 0 】

送信要求 A P I 8 2 3 が発行されると、無線特殊演算 1 0 3 1 へ送信データが転送され、スクランブルや C R C 動作を行う。また、A L U A E 1 2 0 2 のローカルメモリ上の送信要求フラグがセットされる。

40

同期処理 8 1 0 で同期する無線信号がなく、送信管理 1 0 3 0 が送信可能状態で、上記の送信要求フラグがセットされると、A L U A E 1 2 0 2 による送信動作 8 0 5 が開始される。送信動作は、図 1 0 に示される S 1 ステートの処理と F 2 ステートの処理とをコンフィグレーション情報に従って回路構成を変更して実行する。

A L U A E 1 2 0 2 は、送信開始に伴い、送信管理 1 0 3 0 へ送信開始の通知 3 4 0 1 をする。また、A L U A E 1 2 0 2 は送信が終了すると、送信終了通知 3 4 0 2 を送信管理 1 0 3 0 へ行うとともに、送信終了割込み 8 2 4 を実行する。

【 0 1 4 1 】

送信終了後、A L U A E 1 2 0 2 は再び同期動作 8 1 1 を実行する。同期動作中の S F D 検出では、無線特殊演算 1 0 3 1 も利用される (3 4 0 3)。S F D 検出が成功すると

50

、同期完了割込み 8 2 5 を実行し、有効なデータの復調動作 8 0 9 を開始する。受信し、復調されたデータは無線特殊演算 1 0 3 1 に送られ、CRC とスクランブルの処理を実行した後、出力バッファに格納される。ALUAE 1 2 0 2 は、1 パケットの受信が終了すると、受信終了割込み 8 2 6 を実行し、受信終了を送信管理 1 0 3 0 にも通知する。

【 0 1 4 2 】

CPU 7 0 0 では受信終了割り込み 8 2 6 を受けて、受信データ取得 API 8 2 7 を実行し、無線特殊演算 1 0 3 1 での演算済みのデータを取得する (3 4 0 4)。受信を完了し、受け取ったデータが自局宛のデータであった場合は、ack 要求 API 8 2 8 を実行する。

ack 要求 API 8 2 8 の動作は、送信要求 API 1 7 8 2 3 の動作と同様であるため、割愛する。送信動作 8 0 6 で ACK 送信が行われたあと、ALUAE 1 2 0 2 は、再び受信動作を開始する。

【 0 1 4 3 】

6 . 2 コンフィグレーション遷移の設定例

ここでは、図 3 4 に示す状態遷移図を例にとり、コンフィグレーション遷移の制御を行うための設定レジスタと、AECTL 1 3 0 1 の内部動作の概要を述べる。6 . 2 . 1 状態遷移に関連する設定レジスタ

図 3 4 の状態遷移図では、状態遷移以外に、遷移が決定した時点で行う二つの動作を示した。一つは状態遷移に伴う割り込み 1 0 1 8 であり、もう一つはWCEとの通信 1 0 2 8 である。以下では、(a) で状態遷移テーブルによる状態遷移の設定と、状態遷移に伴う割り込み発生を述べ、(b) でWCEとの通信の設定について述べ、(c) 状態遷移テーブル方式の特徴的な設定例を割り込み動作がないについて述べる。

【 0 1 4 4 】

(a) 状態遷移テーブルの設定

状態遷移テーブルの設定を、図 3 4 と図 3 5 に従って、以下で述べる。状態遷移テーブルとは自律的に状態遷移を行うために、現在の状態と次に遷移先を決定するための情報をあらかじめ設定したテーブルである。最も単純なのは、図 3 4 の状態遷移図に記載される各ステートをつなぐ矢印の数だけテーブルを持つことであるが、ここでは、そのテーブルを小さくするための方法を述べる。

【 0 1 4 5 】

図 3 4 に示す状態遷移図を、次に遷移する状態 (遷移先状態) で区別し、さらに、割り込みの有無により、区別したのが図 3 5 である。複数の現在の状態があっても、遷移先状態が同一であれば、同一の状態遷移制御レジスタ 2 6 0 0 で定義することが可能である。ただし、割り込みがあるか否かで区別する必要がある。上記の区別の結果、3 5 0 0 から 3 5 1 2 までの 1 3 個の状態遷移制御レジスタで表現できる。ただし、一つの現在の状態から、複数の状態への遷移がある場合はトリガー信号の値により区別する。

【 0 1 4 6 】

トリガー信号の項目では、右下 (L R)、左下 (L L)、右上 (U R)、左上 (U L) の 4 つの ALU セルのうち、どのトリガー信号からどんな値を出力するかを示している。これらを、LR、LL、UR、UL の順に、最上位ビットからつなぎ合わせ、3 2 ビットのトリガー信号とし判定する。各々、トリガー信号に設定する数値を 1 6 進で記載している。 - と記述してある場所は全て 0 とする。

このようにテーブルを構成すると、例えば、遷移 No . 3 5 0 4 や 3 5 0 5 のように複数の状態遷移をまとめてテーブル管理できるため、テーブルを小さくすることができる。

図 3 4 の状態遷移に対応した図 3 5 のトリガー信号の割り当て例について以下で説明する。

【 0 1 4 7 】

まず、遷移 3 5 0 0 は、R 1 が現在の状態であるため、R 1 を現在の状態に持つ 3 5 0 5 と、3 5 1 1 とは、トリガー信号で区別する必要がある。これらは、いずれも左上セルの出力がトリガー信号となるため、1 のビット位置が異なる H 0 1、H 0 2、H 0 4 を割

10

20

30

40

50

り当てる。

次に、遷移 3 5 0 1 は、F 2 が現在の状態である。他に現在の状態を F 2 に持つチャンネルはないが、右上セルの出力で区別する遷移の中で、現在の状態に依存しない遷移 3 5 0 4、3 5 0 5、3 5 0 8 とはトリガー信号で区別する必要がある。結果、これら 4 つの遷移は、H 0 1、H 0 2、H 0 4、H 0 8 と、1 のビット位置が異なるコードを割り当てる。

【 0 1 4 8 】

3 番目に、遷移 3 5 0 2 は、S 1 が現在の状態であるため、遷移 3 5 1 1 と区別する必要があるが、トリガー信号を出力する位置が異なるため先のような問題は発生しない。そのほか、遷移 3 5 0 1 と同様に、遷移 3 5 0 4、3 5 0 5、3 5 0 8 とともに区別する必要がある。そこで、遷移 3 5 0 2 は H 1 0 を割り当てる。ここで、遷移 3 5 0 2 は、遷移 3 5 0 1 と同一のトリガー信号でも問題ないが、わかりやすさのため異なる設定としている。以下、同様にして、他のトリガー信号を決定することができる。図 3 6 (b) に図 3 5 に対応した状態遷移テーブルの設定を示した。図 3 6 (a) は各状態に番号を割り当てた表である。図 3 6 (b) の N S T A T は遷移先状態、C S T A T は現在の状態、C M S K は現在の状態を状態遷移の条件に含むか否かのマスク、I N T E は遷移時に割り込みを実行するか否かの設定、^ E M S K は E X I O S の M S K 2 4 0 9 に与えるマスクをビット反転した値を示す。ここで、割り込み設定の I N T E は割り込み制御レジスタ 1 5 1 0 の S I R Q に相当する部分であるが、説明の都合上、本表に加えて記述する。

【 0 1 4 9 】

上記の過程は、トリガー信号決定条件を厳密に説明したが、トリガー信号のビット数と、状態遷移テーブルに余裕がある場合には、各遷移に状態遷移制御レジスタ 2 6 0 0 を割り当てると、容易に設定は可能である。

【 0 1 5 0 】

(b) W C E との通信の設定

送信管理 1 0 3 0 への 1 フレーム開始または終了の状況を知らせるには、A L U A E 1 2 0 2 より L S セルと E X I O S を介して W C E 1 2 0 6 に書き込みを行う。具体的には、送信管理 1 0 3 0 の制御 / ステータスレジスタ 2 8 0 0 の S F L G または E F L G にフラグを立てる。

【 0 1 5 1 】

L S セルより、A L U A E 1 2 0 2 の外部へアクセスするには、L S セルのコンフィグレーションレジスタ 2 2 0 0 の L S / P P ビット 2 2 0 2 を 0 にし、P P モードを選択する。次に、E X I O S のコンフィグレーションレジスタ 2 5 0 0、2 5 1 0 で、利用するポートを配線 1 2 0 6 に接続するように指定することにより、アクセス可能となる。W C E 1 2 0 1 内のどのレジスタにアクセスするのかは、A L U A E 1 2 0 2 から与えるアドレスにより指定する。

【 0 1 5 2 】

(c) 割り込み動作がない場合の状態遷移テーブルの設定

ここでは、図 3 4 に含まれる割り込み動作がない場合、即ち、純粹に状態遷移だけが起る場合を取り上げ、本実施の形態が状態遷移テーブルのテーブル容量削減に、いかに効果的かを示す。結論から述べると、状態の数だけの状態遷移制御レジスタ 2 6 0 0 だけで、状態遷移は表現できる。通常では、状態遷移の遷移数だけのレジスタ数が必要であるため、これがトリガー信号と M S K 2 4 0 9 によるマスクの効果である。

【 0 1 5 3 】

図 3 7 に割り込みをなくした場合の状態遷移テーブルの設定を示した。図 3 6 (b) の中で、I N T E に 1 が設定されている 3 5 0 0 などを 0 に設定した結果、例えば、3 5 0 0 と 3 5 0 1 は、遷移先が同一になり、現在の状態を遷移条件からはずすことができる。これと同様にして、遷移先が同一の状態遷移は一つの状態遷移制御レジスタ 2 6 0 0 で表現できるため、全部で 9 個の状態遷移制御レジスタ 2 6 0 0、即ち、状態の数だけの状態遷移制御レジスタ 2 6 0 0 で表現可能である。この表現では、トリガー信号を示す ^ E M S K は、1 が立つビット位置は全て異なる設定として、トリガー信号だけ

で判別できる構成としたが、現在の状態が異なる遷移ではトリガー信号を同一にできるため、トリガー信号のビット数を削減することが可能である。

6.2.2 AECTLの実現方法の概要

ここでは、AECTL 1301の内部の動作を実現する論理図の一例を図38で示し、実現方法の概要を述べる。

【0154】

AECTL 1301は二つのブロックに分かれている。一つ目は3900であり、状態遷移制御レジスタ2600で設定した条件を判定するブロックである。3900は、状態遷移レジスタ2600の数だけ存在する。実際には、クラスタごとにブロック3900は存在するが、ここでは一つのクラスタのみを代表した図としている。二つ目は3920であり、3900の複数のブロックからの出力を入力とし、AECTL 1301の外部のモジュールへ次の状態を示す信号1311と、割り込み要求信号710を出力する。以下で、それぞれのブロックについて述べる。

【0155】

(a) 遷移条件判定ブロック3900

3900は、EXIOS 1203のMSK 2409でマスクをかけた後のトリガー信号1330を入力して、遷移チャネルごとに遷移条件の判定を行なう。3900で、太線は複数ビットからなる束の信号線を示し、太線を入力する比較器3901は、複数ビット同士の比較を示し、AND論理3911は、各ビットのAND論理の集合を示す。

【0156】

まず、現在の状態を判定する論理について述べる。現在の状態がCSTATによる指定と同一かどうかを判定する比較器3901と、現在の状態を条件に含めないかどうかのCMSKのOR論理3902で判定される。CMSKが1なら、無条件に条件成立となる。比較器3901の判定は、チャネルレジスタのCSTAT指定と現在の状態を示す1504が同一かどうかを判定し、結果を3904として得る。3900では、クラスタごとの詳細は割愛しているので、1504のCOSTを代表して入力している。比較器は、比較結果が同一であれば1を同一でなければ0を、3903に出力する。

【0157】

次に、トリガー信号が成立するか否かの条件を判定する論理を述べる。3905と3906の論理で実現する。トリガー信号判定は、EMASKでマスクされていないビットがALL 1であることを判定することにより行う。そこで、3905で、全てのビットについて、EMSKが立っているか、またはトリガー信号が1かの判定を行い、3906でEMSKが立っていないビットで少なくとも一つは、トリガー信号ビットは1であるかどうかの判定を行う。3905と3906のAND論理を取れば、少なくとも一つのビットはEMSKが0でトリガー信号が有効であり、これらの有効ビットは全て1であることが信号3907として判定できる。

【0158】

最後に、3904と3907とのAND論理で、このチャネルは有効か否かが判定される。全てのチャネルについてこの判定結果を信号3908として出力する。

各チャネルについて、次の状態を出力する論理は、有効判定信号3908と各チャネルのNSTATのANDとして信号3909で得られる。有効でなければ全て0、有効であればNSTATが出力される。チャネルごとの割り込み許可信号は、チャネルごとの有効判定信号3908とINTEのAND論理で、信号3910として出力する。

【0159】

(b) AECTLからの出力信号生成ブロック3920

チャネルごとに、生成された3908、3909、3910の信号は、AECTLの出力信号生成ブロック3920に入力され、コンフィギュレーションの次状態信号1311と割り込み要求信号710として出力する。信号1311は、ALUアレイ1305、LSアレイ<1304・1306>、IOP 1308、EXIOS 1203へ出力し、信号710はINTC 706に出力する。以下で、1311と710を生成する論理について述

10

20

30

40

50

べる。

【 0 1 6 0 】

まず、次状態信号 1 3 1 1 を生成する論理を、3 9 2 0 の下半分で示し、以下で述べる。この論理は、一つのチャンネルしか有効とはならないことを前提としている。複数のチャンネルが有効となるのは、状態遷移制御レジスタ 2 6 0 0 のユーザの設定誤りであり、エラーチェックが必要であるが、ここでは割愛する。エラーチェックは、チャンネルごとの有効判定信号 3 9 0 8 が、複数のチャンネルに対して 1 とならないことをチェックすれば容易に実現できる。また、3 9 2 0 内の太線は、3 9 0 0 内と同様に束の信号線を示し、太線が入力する O R 論理 3 9 1 4 は、単一ビット同士の O R 論理の集合体を示し、フリップフロップ群 3 9 1 5 は、複数ビットのフリップフロップの集合体を示す。

10

【 0 1 6 1 】

上記の前提の下では、各チャンネルの有効判定信号 3 9 0 8 と次状態信号 3 9 1 0 は、有効となるチャンネル以外は 0 である。このため、次状態信号 1 3 1 1 を出力するフリップフロップ群 3 9 1 5 は、3 9 0 8 の全チャンネルについての O R の結果 3 9 1 7 をイネーブル信号とし、3 9 1 8 の全チャンネルについての O R 論理の結果 3 9 1 6 を次の状態信号とする。フリップフロップ群 3 9 1 5 はクロック同期であるため、イネーブル信号 3 9 1 7 と c l k との A N D 論理の結果 3 9 1 3 を、イネーブル端子 3 9 1 2 に入力する。次の状態信号 3 9 1 6 は、入力端子 3 9 2 1 に入力し、クロック c l k が有効になると、結果を次状態信号 1 3 1 1 として出力する。

【 0 1 6 2 】

20

次に、割り込み要求信号 7 1 0 を生成する論理を、3 9 2 0 の上半分に従い述べる。7 1 0 を生成する論理も、1 3 1 1 と同様に、一つのチャンネルしか有効とはならないことを前提としている。フリップフロップ 3 9 1 8 は、1 3 1 1 と同一信号 3 9 1 3 をイネーブル端子に入力する。入力信号も、1 3 1 1 と同様に、各チャンネルの割り込み許可信号 3 9 1 0 の全チャンネルについての O R 論理の結果 3 9 1 9 を入力し、クロック c l k が有効になると、結果を割り込み要求信号 7 1 0 として出力する。

【 0 1 6 3 】

以上、ソフトウェア無線の実施例で説明してきたが、本節のコンフィギュレーションの設定例は、無線に限られるものではなく、種々のアプリケーションで応用可能であることは言うまでもない。

30

7 . 送信キャンセルする無線 A P I の利用例

無線通信動作において、送信要求がキャンセルされる場合における無線 A P I 利用の一例について、図 3 9 を用いて述べる。図では、初期化動作は省略した。各種の制御 / ステータスレジスタとバッファ、およびローカルメモリ 2 1 6 0 2 が、アドレスマップされており C P U 7 0 0 からアクセス可能である。図で、実線は動作中、点線は休止中、太線は特に強調したい動作を示す。

【 0 1 6 4 】

まず、起動 A P I 8 2 2 が発行されると、A L U A E (A A E) 1 2 0 2 の受信動作 R 8 0 8 が開始される (8 1 0) 。

次に、次送信許可 / 禁止 A P I 3 4 0 0 により、送信管理 1 0 3 0 の制御 / ステータスレジスタ 2 8 0 0 の許可フラグ S E N 2 8 0 4 をオンにする。これにより、1 0 3 0 の内部状態は送信可能状態に移る。

40

【 0 1 6 5 】

その後、しばらく、受信がないが、受信動作 S 8 0 7 は、S F D 検出を行い続けるとため、受信動作はハード的には行っていることになる (8 1 1) 。S F D 検出では、無線特殊演算 1 0 3 1 も動作する (3 4 0 3) 。

受信動作 8 1 0 は同期が完了すると、同期完了の通知の割り込み 8 2 5 を要求する。また、送信管理 1 0 3 0 に対して同期終了のフラグのセット 4 8 0 0 を実行する。さらに、A A E 1 2 0 2 は有効なデータの受信動作 8 0 9 に移る。

【 0 1 6 6 】

50

次に、送信要求 A P I 8 2 3 が実行されるが、A A E 1 2 0 2 は受信動作 8 0 9 中であるため、すぐに送信は行われず、送信データと送信フラグのセットを、それぞれ無線特殊演算 1 0 3 1 回路と A A E 1 2 0 2 に対して行う。

有効なデータの受信動作 8 0 9 が終了すると、A A E は、3 4 0 2 で送信終了通知を送信管理 1 0 3 0 へ行くとともに、送信終了割込み 8 2 4 を要求する。

受信終了に伴い、受信データ取得 A P I 8 2 7 が発行され、無線特殊演算 1 0 3 1 での演算済みのデータを取得する (3 4 0 4) 。

【 0 1 6 7 】

C P U は受信したパケットを解析し、自身に対するパケットであれば、a c k 要求 A P I 8 2 8 を起動する。この時、a c k の送信を優先して行うため、前回の送信要求 8 2 3 はキャンセルされる。もし、受信したパケットが自身に対するものではない場合は、送信要求 8 2 3 のキャンセルは行われぬ。a c k 要求 A P I 8 2 8 の動作は、送信要求 A P I 8 2 3 の動作と同様であるため、割愛する。8 2 6 で A C K 送信が行われたあと、A A E 1 2 0 2 は、再び、受信動作を開始する。

以上、実施例に基づいて本発明を説明してきたが、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。

【図面の簡単な説明】

【 0 1 6 8 】

【図 1】本発明の一つの実施形態である車搭載のソフトウェア無線機の利用方法と位置づけを示す図である。

【図 2】本発明の一つの実施形態であるソフトウェア無線機の構成図である。

【図 3】本発明の一つの実施形態であるソフトウェア無線機の前処理部の第 2 の構成を示す図である。

【図 4】本発明の一つの実施形態であるソフトウェア無線機とカーナビゲーションシステムとの無線実現手順を示すフロー図である。

【図 5】本発明の一つの実施形態である無線データ構造を示す図である。

【図 6】本発明の一つの実施形態である無線の送信と受信を切り替えるフローを示す図である。

【図 7】本発明の一つの実施形態であるダイナミックリコンフィグレーション (D R) チップの構成図である。

【図 8】本発明の一つの実施形態である無線処理を D R チップ上で実現するための動作フロー図である。

【図 9】本発明の一つの実施形態である D R E で送信管理を実現する動作フロー図である。

【図 1 0】本発明の一つの実施形態である受信・送信動作の状態遷移図である。

【図 1 1】本発明の一つの実施形態である無線データ構造の詳細を示す図である。

【図 1 2】本発明の一つの実施形態である D R E の構成図である。

【図 1 3】本発明の一つの実施形態である A L U A E の構成図である。

【図 1 4】本発明の一つの実施形態である A L U A E の設定レジスタの概要を示す図である。

【図 1 5】本発明の一つの実施形態である A E C T L の制御 / ステータスレジスタの構成図である。

【図 1 6】本発明の一つの実施形態である C N F G C の制御 / ステータスレジスタの構成図である。

【図 1 7】本発明の一つの実施形態である A L U セルを利用して、フィルタリング処理を実行する場合のコンフィグレーション情報を示す図である。

【図 1 8】本発明の一つの実施形態である A L U セルの構成図である。

【図 1 9】本発明の一つの実施形態である A L U セルのコンフィグレーションレジスタの構成図である。

【図 2 0】本発明の一つの実施形態である L S セルと A L U セルのインターフェースを示

10

20

30

40

50

す図である。

【図 2 1】本発明の一つの実施形態である I O ブロックと、その構成要素である I O C T L の構成図である。

【図 2 2】本発明の一つの実施形態である L S セルのコンフィグレーションレジスタの構成図である。

【図 2 3】本発明の一つの実施形態である I O C T L のコンフィグレーションレジスタの構成図である。

【図 2 4】本発明の一つの実施形態である A L U A E が外部とデータアクセス機構と、E X I O S の位置づけを示す図である。

【図 2 5】本発明の一つの実施形態である E X I O S のコンフィグレーションレジスタの構成図である。

10

【図 2 6】本発明の一つの実施形態である A E C T L の状態遷移制御レジスタの構成図である。

【図 2 7】本発明の一つの実施形態である送信管理モジュールのインターフェースを示す図である。

【図 2 8】本発明の一つの実施形態である送信管理モジュールの制御 / ステータスレジスタの構成図である。

【図 2 9】本発明の一つの実施形態である送信時の無線特殊演算モジュールの動作フローを示す図である。

【図 3 0】本発明の一つの実施形態である無線特殊演算モジュールの送信用レジスタを示す図である。

20

【図 3 1】本発明の一つの実施形態である受信時の無線特殊演算モジュールの動作フローを示す図である。

【図 3 2】本発明の一つの実施形態である無線特殊演算モジュールの受信用レジスタを示す図である。

【図 3 3】本発明の一つの実施形態である無線通信の代表的な動作で、無線 A P I の利用例を示す図である。

【図 3 4】本発明の一つの実施形態である状態遷移図で、状態遷移テーブルで設定する動作を示す図である。

【図 3 5】本発明の一つの実施形態である状態遷移図から、状態遷移を分類した結果を示す図である。

30

【図 3 6】本発明の一つの実施形態である状態遷移図から、状態遷移テーブルのコード設定例を示す図である。

【図 3 7】本発明の一つの実施形態である状態遷移図から、割り込み要求動作を削除した場合の状態遷移テーブルの設定例を示す図である。

【図 3 8】本発明の一つの実施形態である A E C T L の内部の動作を示す図である。

【図 3 9】本発明の一つの実施形態における無線通信の動作で、送信をキャンセルする無線 A P I の利用例を示す図である。

【符号の説明】

【 0 1 6 9 】

40

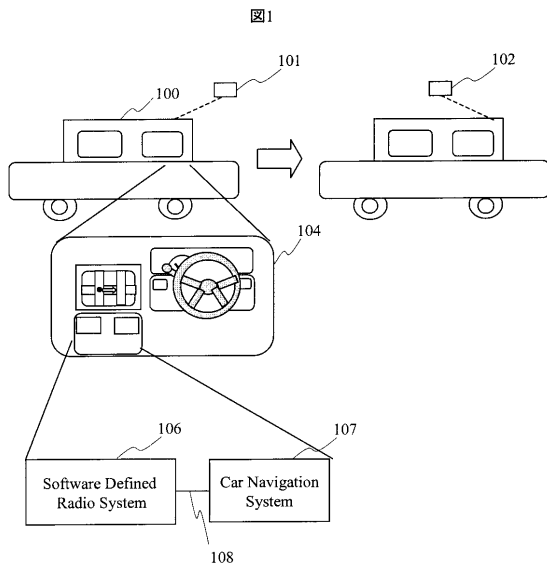
1 0 6 ... ソフトウェア無線機、1 0 7 ... カーナビゲーションシステム、2 0 2 ... ソフトウェア無線機の前処理部、2 0 3 ... ダイナミックリコンフィギュラブル (D R) チップ、2 0 6 ... A D C / D A C、2 0 5 ... F L A S H ロム、5 0 0 ... 無線データ構造、7 0 0 ... C P U、7 0 6 ... 割り込みコントローラ I N T C、7 0 8 ... D R エンジン、1 2 0 2 ... A L U A E、1 2 0 1 ... W C エンジン、2 1 2 3 ... C N F G C、1 3 0 5 ... A L U アレイ、< 1 3 0 4 ・ 1 3 0 6 > ... L S アレイ、1 3 0 4 ... L S A R、1 3 0 6 ... L S A L、1 3 0 1 ... A E C T L、2 1 2 0 1 ... I O ブロック、2 1 0 0 ... I O C T L、2 1 6 0 2 ... ロールメモリ、1 2 0 3 ... E X I O S、1 3 1 1 ... コンフィグレーションの次状態信号、7 1 0 ... 割り込み要求信号、1 0 3 0 ... 送信管理、1 0 3 1 ... 無線特殊演算、9 0 6 ... 送信許可 / 禁止、9 1 0 ... 内部状態、2 7 0 4 ... 送信要求、2 6 0 0 ... 状態遷移制御レジス

50

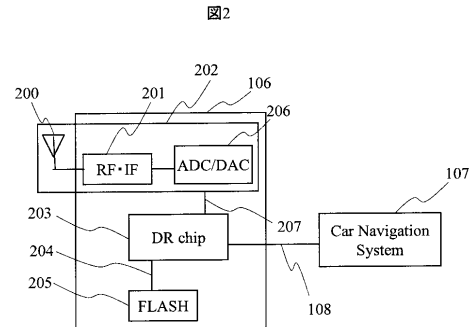
タ、2200...LSセルのコンフィグレーションレジスタ、2300...IOCTLのコンフィグレーションレジスタ、2500...EXIOSの最下位IOポート用コンフィグレーションレジスタ、2510...EXIOSの最上位IOポート用コンフィグレーションレジスタ、2520...EXIOSのトリガー信号用コンフィグレーションレジスタ、2001...ALUセル、2500...ALUセルのコンフィグレーションレジスタ、2000...LSセル、2800...送信管理用制御/ステータスレジスタ、3000...無線特殊演算の送信用制御/ステータスレジスタ、3010...無線特殊演算の送信用無線データ長レジスタ、2907...無線特殊演算の送信用出力ポートレジスタ、3200...無線特殊演算の受信用制御/ステータスレジスタ、3210...無線特殊演算の受信用無線データ長レジスタ、3103...無線特殊演算の受信AAE側出力ポートレジスタ。

10

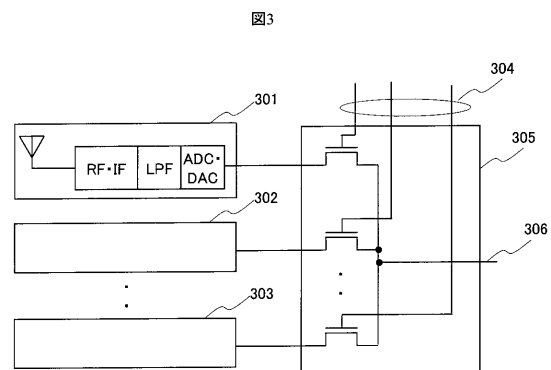
【図1】



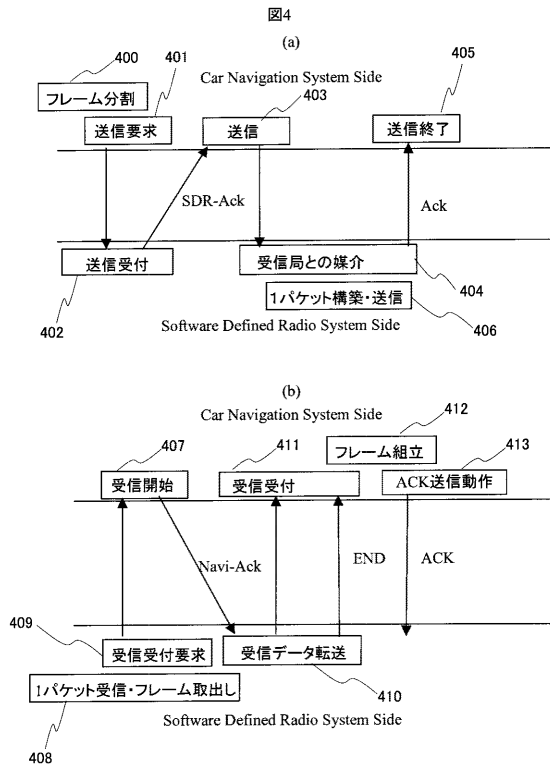
【図2】



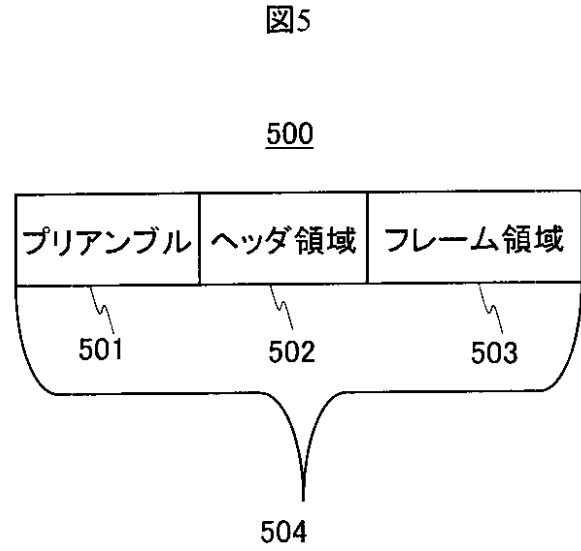
【図3】



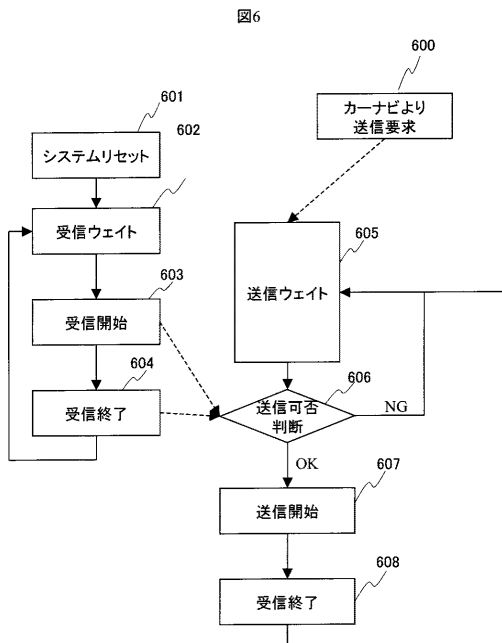
【図 4】



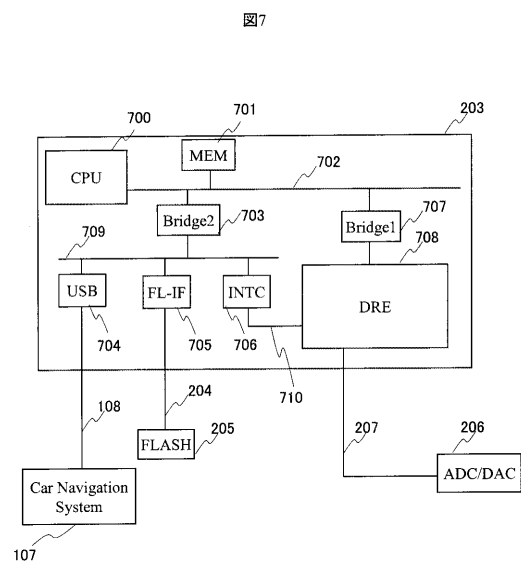
【図 5】



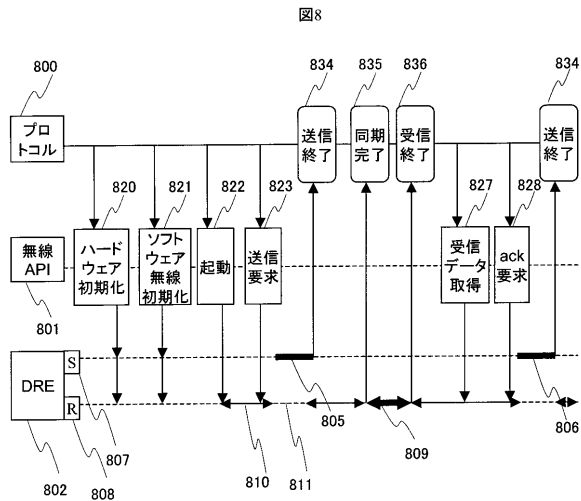
【図 6】



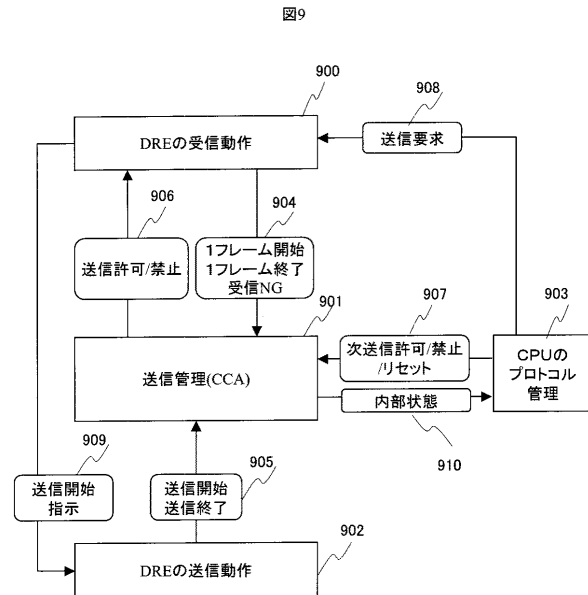
【図 7】



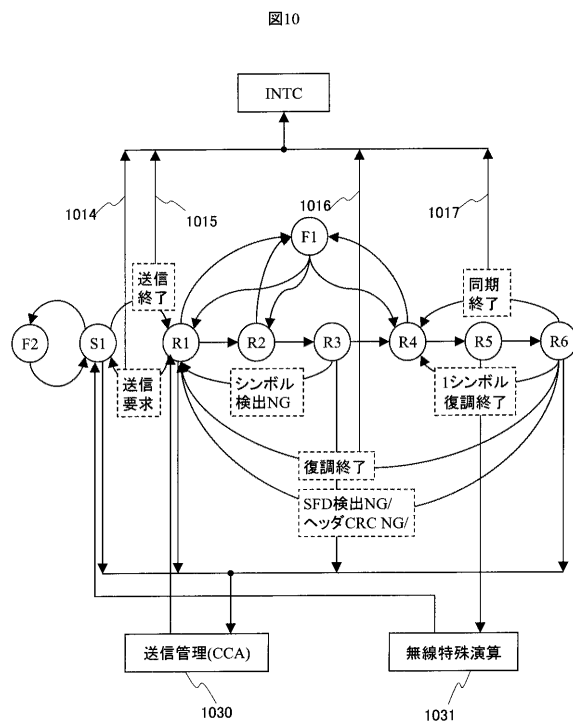
【図 8】



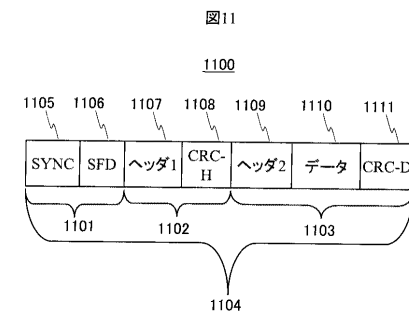
【図 9】



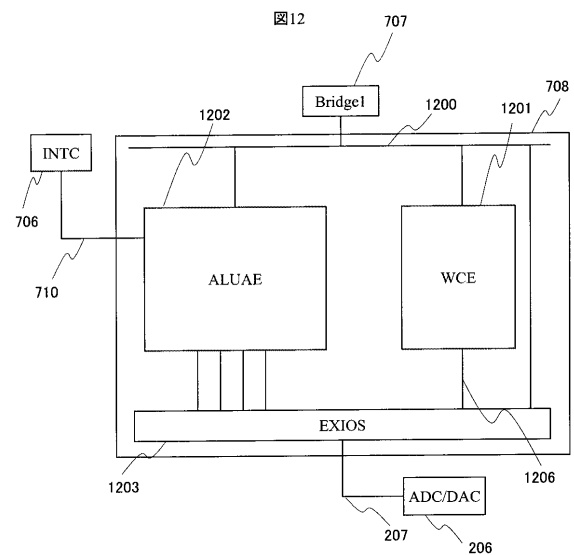
【図 10】



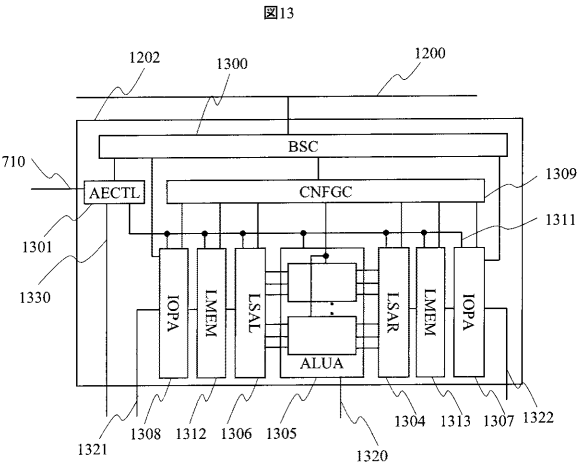
【図 11】



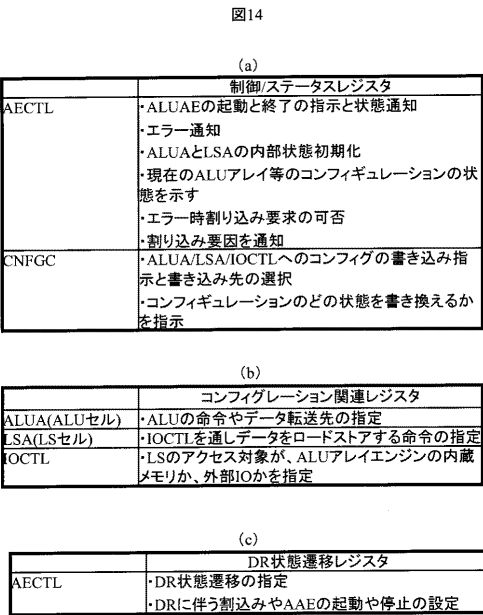
【図 12】



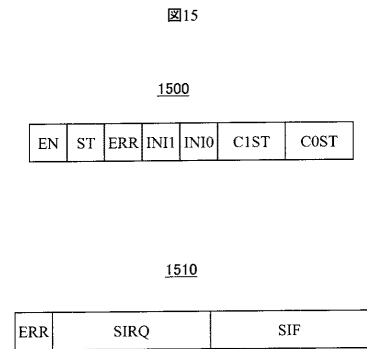
【 図 1 3 】



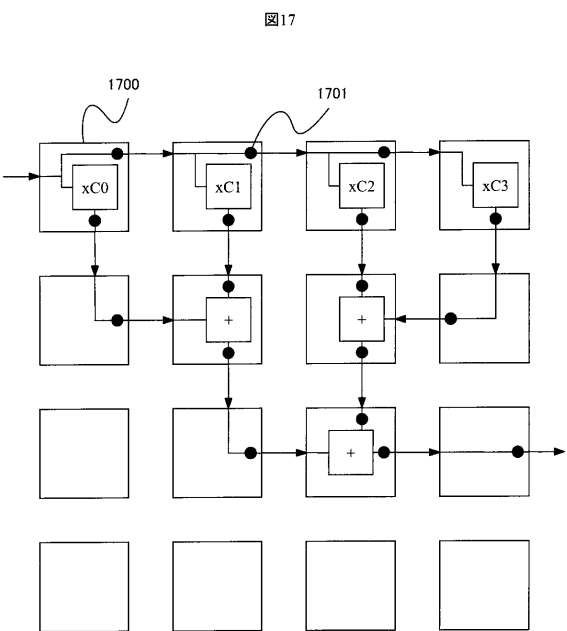
【 図 1 4 】



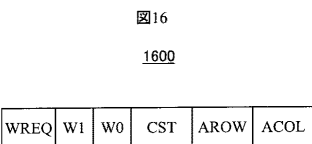
【 図 1 5 】



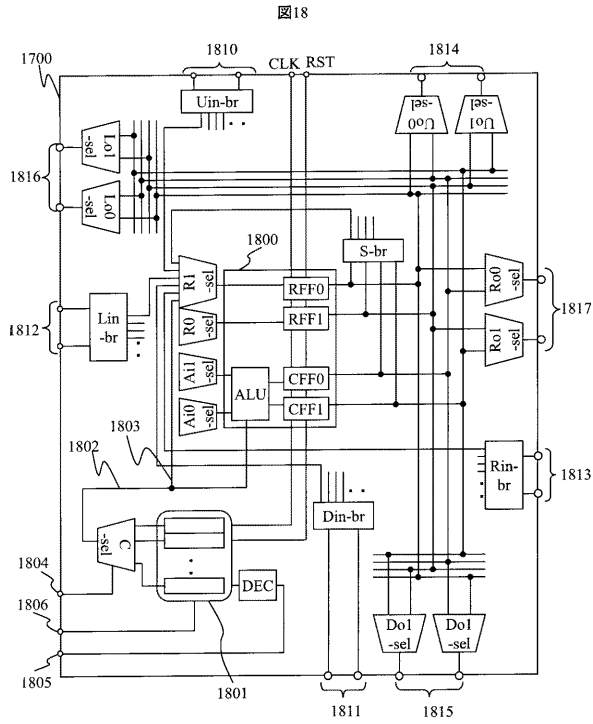
【 図 1 7 】



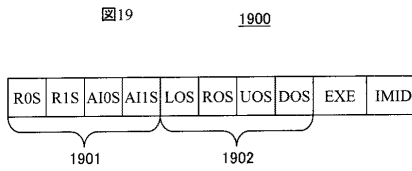
【 図 1 6 】



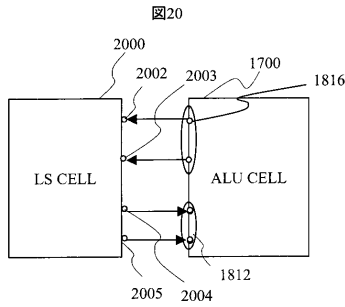
【図18】



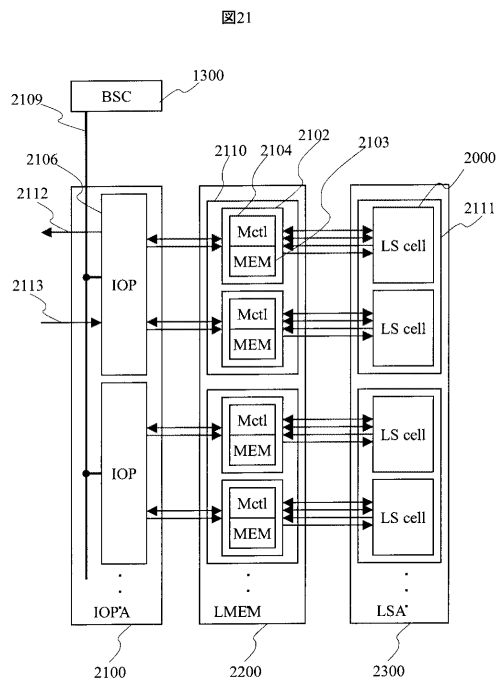
【図19】



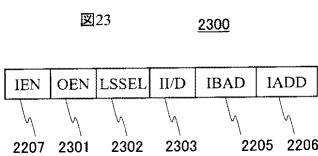
【図20】



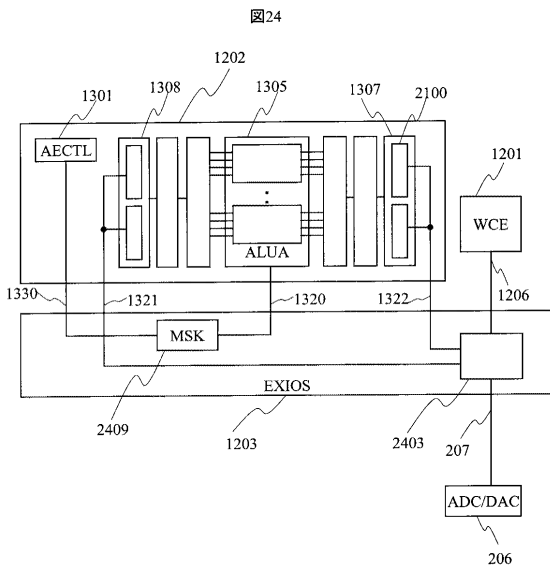
【図21】



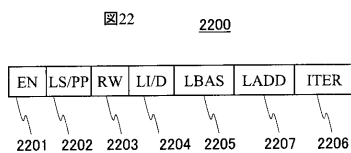
【図23】



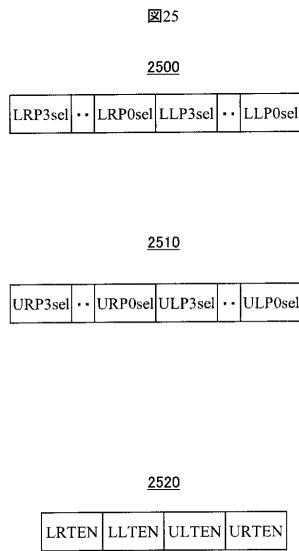
【図24】



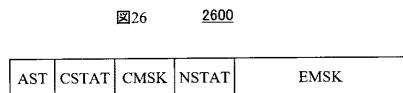
【図22】



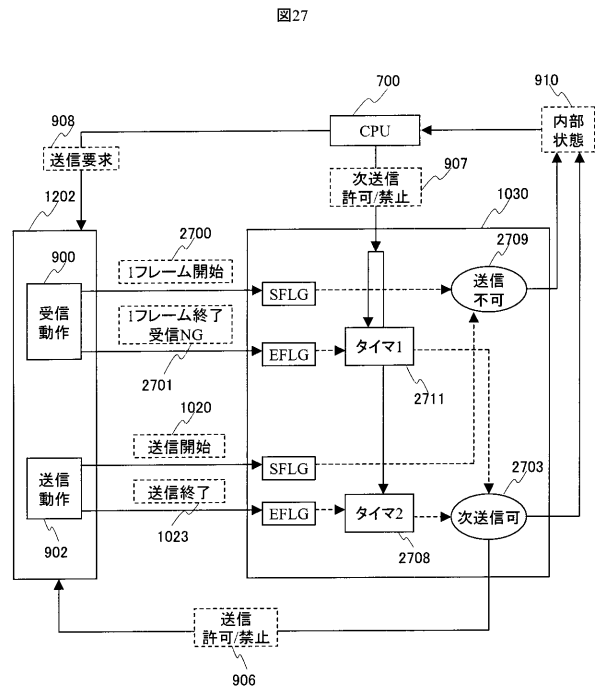
【図 25】



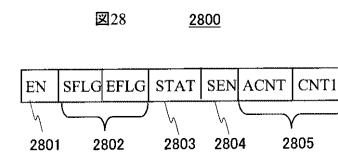
【図 26】



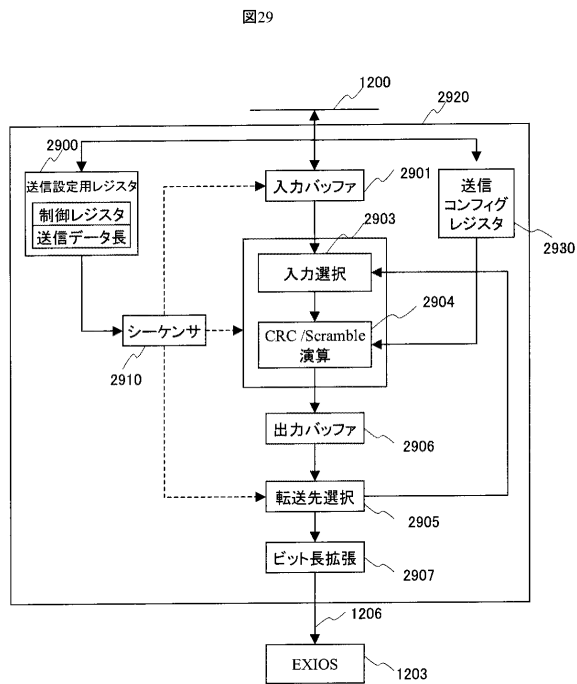
【図 27】



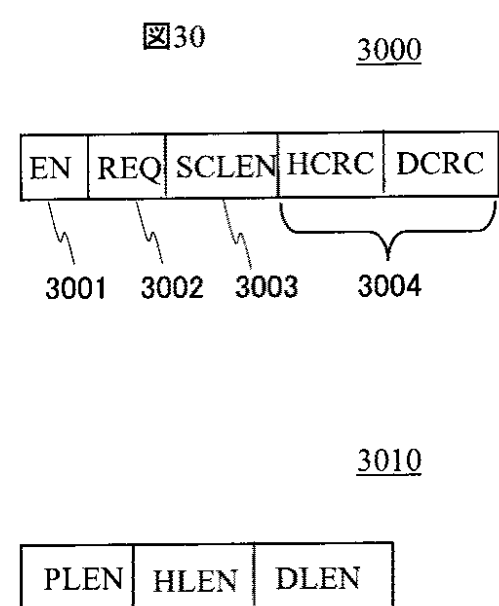
【図 28】



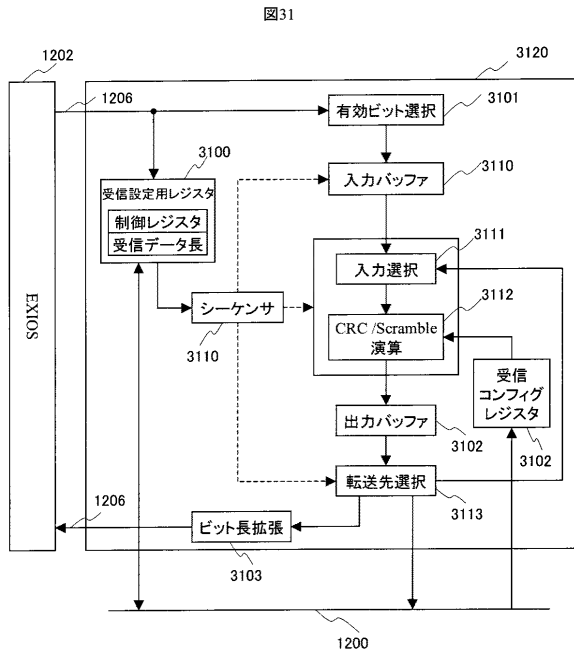
【図 29】



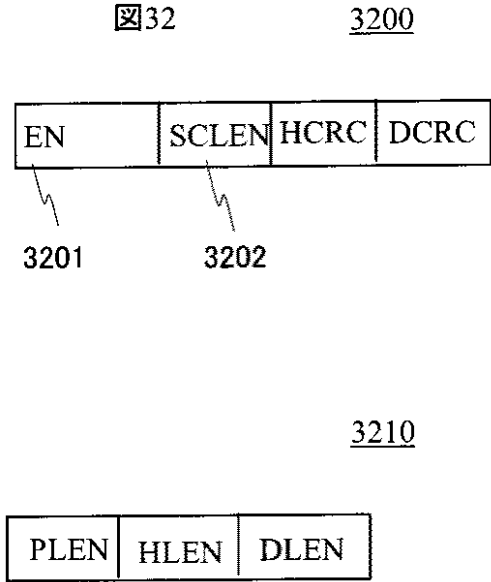
【図 30】



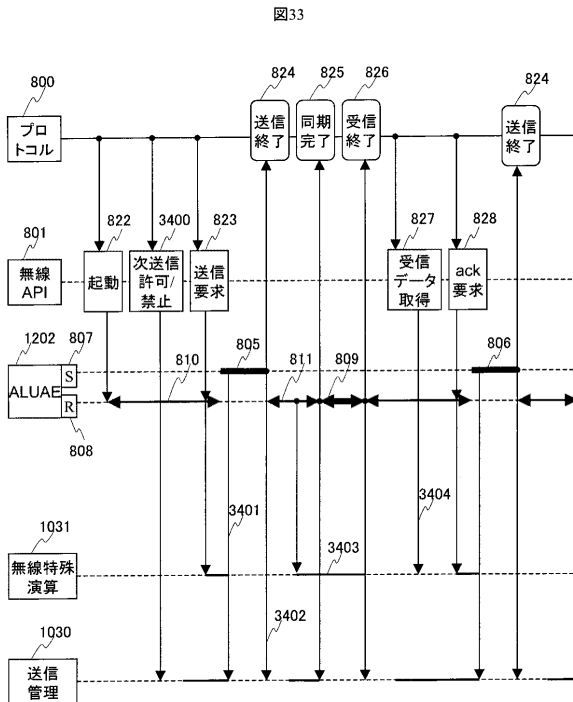
【図 3 1】



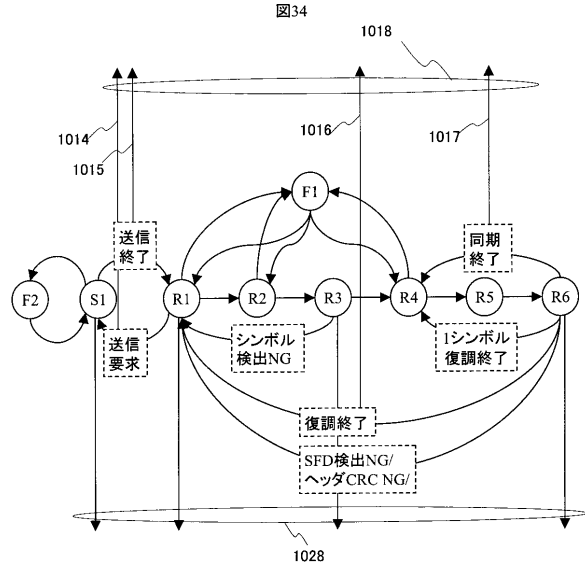
【図 3 2】



【図 3 3】



【図 3 4】



【 ㄨ 3 5 】

図35

遷移No	遷移先 状態	現在の 状態	割り 込み	トリガ—信号			
				LR	LL	UR	UL
3500	S1	R1	○	-	-	-	H01
3501	S1	F2		-	-	H01	-
3502	R1	S1	○	-	-	H10	-
3503	R1	R6	○	-	-	H20	-
3504	R1	R3,R6,F1		-	-	H02	-
3505	R2	R1,F1		-	-	H04	-
3506	R3	R2		-	-	-	H02
3507	R4	R6	○	-	-	H40	-
3508	R4	R3,R6,F1		-	-	H08	-
3509	R5	R4		-	-	-	H04
3510	R6	R5		-	-	H80	-
3511	F1	R1,R2,R4		H01	-	-	-
3512	F2	S1		H02	-	-	-

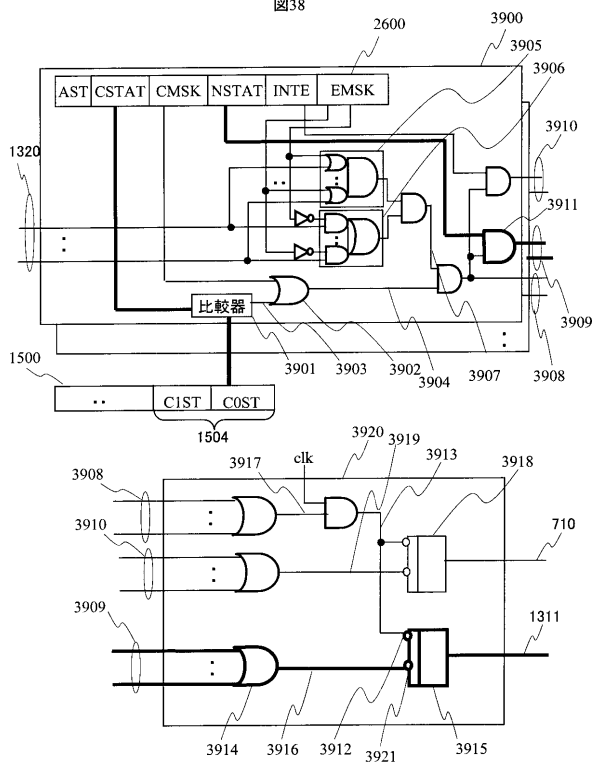
【 図 3 6 】

図36

(a)		(b)					
状態	コード	遷移No	NSTAT	CSTAT	CMSK	INTE	^EMSK
S1	0	3500	0	1	0	1	H00000001
		3501	0	8	0	0	H00000100
R1	1	3502	1	0	0	1	H00000200
		3503	1	6	0	1	H00000400
R2	2	3504	1	-	1	0	H00000800
		3505	2	-	1	0	H00001000
R3	3	3506	3	2	0	0	H00000002
		3507	4	6	0	1	H00002000
R4	4	3508	4	-	1	0	H00004000
		3509	5	4	0	0	H00000004
R5	5	3510	6	5	0	0	H00008000
		3511	7	-	1	0	H01000000
R6	6	3512	8	0	0	0	H02000000

【 図 3 8 】

图38



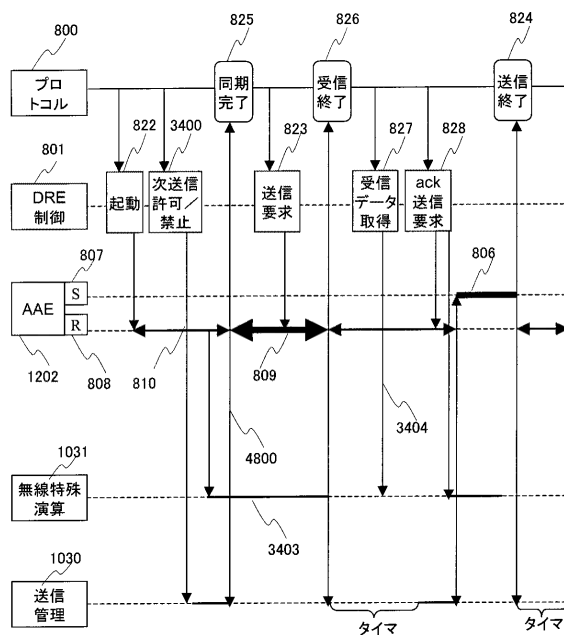
【 図 3 7 】

图37

遷移No	NSTAT	CSTAT	CMSK	^EMSK
3500	0	-	1	H00000001
3501				
3502				
3503				
3504	1	-	1	H00000200
3505				
3506				
3507				
3508	2	-	1	H00001000
3509				
3510				
3511				
3512	3	2	0	H00000002
3513				
3514				
3515				
3516	4	-	1	H00002000
3517				
3518				
3519				
3520	5	4	0	H00000004
3521				
3522				
3523				
3524	6	5	0	H00000800
3525				
3526				
3527				
3528	7	-	1	H01000000
3529				
3530				
3531				
3532	8	0	0	H02000000
3533				
3534				
3535				

【 図 3 9 】

图39



フロントページの続き

(72)発明者 川辺 学

東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

(72)発明者 高田 雅士

東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

審査官 山中 実

(56)参考文献 特開 2 0 0 6 - 0 1 8 5 1 5 (J P , A)

特開 2 0 0 6 - 0 3 1 1 2 7 (J P , A)

特開 2 0 0 1 - 3 1 2 4 8 1 (J P , A)

特開 2 0 0 4 - 1 3 3 7 8 0 (J P , A)

特開 2 0 0 4 - 1 3 3 7 8 1 (J P , A)

特開 2 0 0 4 - 1 5 1 9 5 1 (J P , A)

特開 2 0 0 3 - 3 1 8 8 0 2 (J P , A)

特開 2 0 0 3 - 2 2 9 7 8 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 B 1 / 3 8