



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0112663
(43) 공개일자 2014년09월24일

(51) 국제특허분류(Int. Cl.)
G11C 8/00 (2006.01) H03L 7/00 (2006.01)
(21) 출원번호 10-2013-0026990
(22) 출원일자 2013년03월14일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
나태식
서울특별시 송파구 석촌호수로 135 (잠실동, 레이크팰리스) 103동 2302호
송인달
서울특별시 송파구 올림픽로 203 (잠실동, 잠실주공아파트5단지) 522동 507호
(74) 대리인
박영우

전체 청구항 수 : 총 10 항

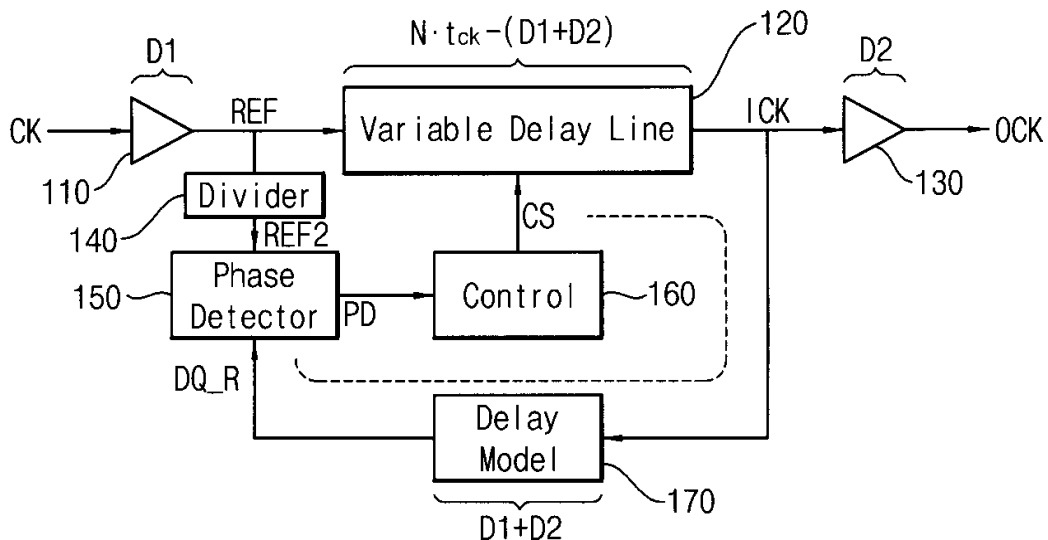
(54) 발명의 명칭 지연고정루프회로 및 그 제어방법

(57) 요약

지연고정루프회로는 피드백클럭과 제1클럭을 입력하여 제1 및 제2위상검출신호들을 각각 발생하는 위상검출부와, 제1위상검출신호의 위상과 제2위상검출신호의 위상이 동상(in-phase)에서 이상(out-of phase)으로 전환되는 것을 검출하여 코스 록 신호를 발생하는 코스 록 검출부를 포함한다. 따라서 입력 클럭의 지터(jitter)에 의한 코스 록 실패를 방지할 수 있다.

대표도 - 도1

100



특허청구의 범위

청구항 1

피드백클록과 제1클록을 입력하여 제1 및 제2위상검출신호들을 각각 발생하는 위상검출부; 및
 상기 제1위상검출신호의 위상과 제2위상검출신호의 위상이 동상에서 이상으로 전환되는 것을 검출하여 코스
 록 신호를 발생하는 코스 록 검출부를 구비한 것을 특징으로 하는 지연고정루프회로.

청구항 2

제1항에 있어서, 상기 제1클록은 기준클록을 N (N 은 1이상의 정수) 분주한 분주기를 통해 발생된 것을 특징으
 로 하는 지연고정루프회로.

청구항 3

제1항에 있어서, 상기 위상 검출부는
 상기 피드백클록의 선단에서 상기 제1클록의 레벨상태를 따른 상기 제1위상검출신호를 발생하는 제1위상검출
 기;
 상기 피드백클록을 제1지연시간동안 지연시켜서 제1지연된 피드백신호를 발생하는 제1지연기; 및
 상기 제1지연된 피드백클록의 선단에서 제1클록의 레벨상태에 따른 상기 제2위상검출신호를 발생하는 제2위상
 검출기를 구비한 것을 특징으로 하는 지연고정루프회로.

청구항 4

제1항에 있어서, 상기 코스 록 검출부는
 제2지연된 피드백신호의 선단에서 상기 제1 및 제2위상검출신호들의 위상이 동상에서 이상으로 전환되는 시점
 을 검출하는 상전환 검출부; 및
 상기 상전환 검출시점을 래치하여 코스 록 신호를 발생하는 신호 래치부를 구비한 것을 특징으로 하는 지연고
 정루프회로.

청구항 5

제4항에 있어서, 상기 상전환 검출부는
 상기 제1 및 제2위상검출신호들의 이상구간을 검출하는 배타적 논리합 회로; 및
 상기 제2지연된 피드백신호의 선단에서 상기 배타곱 논리회로의 출력신호의 레벨상태를 검출하는 D형 플립플
 롭을 구비한 것을 특징으로 하는 지연고정루프회로.

청구항 6

제1항에 있어서, 상기 위상 검출부는
 상기 피드백클록의 선단에서 제1클록의 레벨상태에 따른 상기 제1위상검출신호를 발생하는 제1위상검출기;
 상기 피드백클록의 선단에서 상기 제1위상검출신호의 레벨상태에 따른 상기 제2위상검출신호를 발생하는 제2
 위상검출기를 구비한 것을 특징으로 하는 지연고정루프회로.

청구항 7

제1항에 있어서, 상기 코스 록 검출부는
 상기 피드백신호의 선단에서 상기 제1 및 제2위상검출신호들의 위상이 동상인 상태를 검출하는 동상 검출부;
 및
 상기 동상 검출시점을 래치하여 코스 록 신호를 발생하는 신호 래치부를 구비한 것을 특징으로 하는 지연고정

루프회로.

청구항 8

제7항에 있어서, 상기 동상 검출부는

상기 제1 및 제2위상검출신호들의 동상구간을 검출하는 배타적 부정논리합 회로; 및

상기 피드백신호의 선단에서 상기 배타적 부정논리합 회로의 출력신호의 레벨상태를 검출하는 D형 플립플롭을 구비한 것을 특징으로 하는 지연고정루프회로.

청구항 9

피드백클럭과 제1클럭을 입력하여 제1 및 제2위상검출신호들을 각각 발생하는 단계; 및

상기 제1위상검출신호의 위상과 제2위상검출신호의 위상이 동상에서 이상으로 전환되는 것을 검출하여 코스 록 신호를 발생하는 단계를 구비한 것을 특징으로 하는 지연고정루프회로의 제어방법.

청구항 10

제9항에 있어서, 상기 제1클럭은 기준클럭을 N(N은 1이상의 정수) 분주한 분주신호인 것을 특징으로 하는 지연고정루프회로의 제어방법.

명세서

기술분야

[0001] 본 발명은 지연고정루프(DLL ; Delay Locked Loop) 회로 및 그 제어방법에 관한 것으로, 보다 상세하게는 코스 록 실패를 방지할 수 있는 지연고정루프회로 및 그 제어방법에 관한 것이다.

배경기술

[0002] DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory)의 중요한 특징 중 하나는 외부 클럭에 동기하여 데이터를 리드하거나 종단 저항값을 변경하는 ODT(On-Die Termination) 동작에 있다. 이러한 클럭 동기 동작을 제어하는 데에는 DLL이 사용된다. DLL 록 타임 개선을 위해 코스-파인(coarse-fine) 구조의 DLL을 많이 쓰고 있다.

[0003] DDR3 이후 새로 도입된 DDR4에서 요구하는 SDRAM의 동작 범위는 1.6GT/s에서 3.2GT/s까지이며, 동작 전압은 1.2V 이하이다. 이러한 조건에서 입력 클럭의 품질의 저하는 전체 DLL 동작에 큰 영향을 미치게 된다.

[0004] 그 중 하나가, 입력 클럭의 지터(jitter)에 의한 코스 록 실패 현상이다.

발명의 내용

해결하려는 과제

[0005] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 입력 클럭의 지터(jitter)에 의한 코스 록 실패를 방지할 수 있는 지연고정루프회로 및 그 제어방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 지연고정루프회로는 피드백클럭과 제1클럭을 입력하여 제1 및 제2위상검출신호들을 각각 발생하는 위상검출부와, 제1위상검출신호의 위상과 제2 위상검출신호의 위상이 동상(in-phase)에서 이상(out-of phase)으로 전환되는 것을 검출하여 코스 록 신호를 발생하는 코스 록 검출부를 포함한다.

[0007] 본 발명에서 동상(in-phase)은 100% 동일 위상인 것이 아니라 50% 이상 동일 레벨상태가 유지되면 동상(in-phase)이라 하고, 이상(out-of phase)은 100 % 반대 위상을 의미하는 것이 아니라 50% 미만으로 동일 레벨 상태가 유지되면 이상(out-of phase)이라 하기로 정의한다.

[0008] 일 실시예에서 제1클럭은 기준클럭을 N(N은 1이상의 정수) 분주한 분주기를 통해 발생된다.

- [0009] 일실시에에서 위상 검출부는 피드백클록의 선단에서 제1클록의 레벨상태를 따른 제1위상검출신호를 발생하는 제1위상검출기와, 피드백클록을 제1지연시간동안 지연시켜서 제1지연된 피드백신호를 발생하는 제1지연기와, 제1지연된 피드백클록의 선단에서 제1클록의 레벨상태에 따른 제2위상검출신호를 발생하는 제2위상검출기를 포함한다.
- [0010] 일실시에에서 코스 록 검출부는 제2지연된 피드백신호의 선단에서 제1 및 제2위상검출신호들의 위상이 동상에서 이상으로 전환되는 시점을 검출하는 상전환 검출부와, 상전환 검출시점을 래치하여 코스 록 신호를 발생하는 신호 래치부를 포함한다.
- [0011] 일실시에에서 상전환 검출부는 제1 및 제2위상검출신호들의 이상구간을 검출하는 배타적 논리합 회로와, 제2지연된 피드백신호의 선단에서 배타적 논리합 회로의 출력신호의 레벨상태를 검출하는 D형 플립플롭을 포함한다.
- [0012] 다른 실시예에서 위상 검출부는 피드백클록의 선단에서 제1클록의 레벨상태에 따른 제1위상검출신호를 발생하는 제1위상검출기와, 피드백클록의 선단에서 제1위상검출신호의 레벨상태에 따른 제2위상검출신호를 발생하는 제2위상검출기를 포함한다.
- [0013] 다른 실시예에서 코스 록 검출부는 피드백신호의 선단에서 제1 및 제2위상검출신호들의 위상이 동상인 상태를 검출하는 동상 검출부와, 동상 검출시점을 래치하여 코스 록 신호를 발생하는 신호 래치부를 포함한다.
- [0014] 다른 실시예에서 동상 검출부는 제1 및 제2위상검출신호들의 동상구간을 검출하는 배타적 부정논리합 회로와, 피드백신호의 선단에서 배타적 부정논리합 회로의 출력신호의 레벨상태를 검출하는 D형 플립플롭을 포함한다.
- [0015] 본 발명에 의한 제어방법은 피드백클록과 제1클록을 입력하여 제1 및 제2위상검출신호들을 각각 발생하고, 제1위상검출신호의 위상과 제2위상검출신호의 위상이 동상에서 이상으로 전환되는 것을 검출하여 코스 록 신호를 발생하는 것을 특징으로 한다.

발명의 효과

- [0016] 상기와 같은 본 발명의 실시예들에 따른 지연고정루프회로는 입력 클록의 지터(jitter)에 의한 코스 록 실패를 방지할 수 있다.
- [0017] 다만, 본 발명의 효과는 상기에서 언급된 효과로 제한되는 것은 아니며, 상기에서 언급되지 않은 다른 효과들은 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 실시예들에 따른 지연고정루프회로의 바람직한 일실시예의 블록도.
- 도 2는 도 1의 지연고정루프회로의 동작을 설명하기 위한 타이밍도.
- 도 3은 종래의 코스 록 검출회로를 설명하기 위한 회로도.
- 도 4는 코스 록 윈도우 보다 작은 업데이트 상태에서 도 3의 동작을 설명하기 위한 타이밍도.
- 도 5는 코스 록 윈도우 보다 큰 업데이트 상태에서 도 3의 동작을 설명하기 위한 타이밍도.
- 도 6은 기준클록(REF)의 후단에 지터가 발생된 경우 도 3의 동작을 설명하기 위한 타이밍도.
- 도 7은 본 발명에 의한 지연고정루프회로의 코스 록 검출회로(200)의 개략적인 블록도.
- 도 8은 도 7의 코스 록 검출회로(200)의 바람직한 제1실시예의 회로도.
- 도 9는 도 8의 제1실시예의 회로 동작을 설명하기 위한 타이밍도.
- 도 10은 도 7의 코스 록 검출회로(200)의 바람직한 제2실시예의 회로도.
- 도 11은 도 10의 제2실시예의 회로 동작을 설명하기 위한 타이밍도.
- 도 12 은 본 발명에 따른 DLL이 제공되는 DDR SDRAM 디바이스의 블록도.

발명을 실시하기 위한 구체적인 내용

- [0019] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실

시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

- [0020] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.
- [0021] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0022] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0023] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시(說示)된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0024] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0025] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [0026] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0027] 도 1은 본 발명의 실시예들에 따른 지연고정루프회로의 바람직한 일실시예의 블록도를 나타낸다.
- [0028] 도 1을 참조하면, 지연고정루프회로(100)는 입력버퍼(110), 가변지연라인(120), 출력버퍼(130), 분주기(140), 위상 검출부(150), 제어부(160), 지연 모델 블록(170)을 포함한다.
- [0029] 입력버퍼(110)는 외부 클럭(CK)을 입력하여 지연특성(D1)을 가진 기준클럭(REF)을 발생한다. 가변지연라인(120)은 기준클럭(REF)의 지연량을 제어하여 지연특성 $N \times t_{CK} - (D1+D2)$ 을 가진 내부클럭(ICK)을 발생한다. 여기서 t_{CK} 는 외부 클럭(CK)의 1주기이고 N은 $D1+D2$ 보다 큰 정수이다. 출력버퍼(130)는 지연특성(D2)을 가지고 내부클럭(ICK)에 동기하여 데이터를 출력한다. 분주기(140)는 기준클럭(REF)을 N(1 이상의 정수)분주, 예컨대 2분주하여 제1클럭(REF2)을 발생한다. 위상 검출부(150)는 피드백클럭(DQ_R)과 제1클럭(REF2)을 입력하여 위상검출신호(PD)를 출력한다. 제어부(160)는 위상검출신호(PD)에 응답하여 가변지연라인(120)의 지연 제어신호(CS)를 발생한다. 지연 모델 블록(170)은 입력버퍼(110) 및 출력버퍼(130)의 지연특성을 복사(Replica)한 지연특성(D1+D2)으로 내부클럭(ICK)를 지연시켜서 피드백클럭(DQ_R)을 발생한다.
- [0030] 본 발명에서 가변지연라인(120)은 코스지연라인(Corse Delay Line)과 파인지연라인(Fine Delay Line)을 포함한다. 또한 제어부(160)는 코스제어부와 파인제어부를 포함한다.
- [0031] 도 2는 도 1의 지연고정루프회로의 동작을 설명하기 위한 타이밍도이다.

- [0032] 도 2를 참조하면, 클럭(CK)은 입력버퍼(110)를 통과하면서 D1 지연되어 기준클럭(REF)로 된다. 기준클럭(REF)은 가변지연라인(120)을 통과하면서 $N \times t_{CK} - (D1+D2)$ 지연되어 내부클럭(ICK)로 된다. 내부클럭(ICK)은 출력버퍼(130)를 통과하면서 D2 지연되어 재생클럭(OCK)으로 된다. 재생클럭(OCK)은 데이터 출력(DQ)과 동상으로 클럭(CK)에 비교하여 2주기(N=2) 지연되지만 위상은 동일 위상을 가진다.
- [0033] 즉 클럭(CK)이 입력에서 출력까지 경로 상에 내부적으로 D1+D2의 지연특성을 가지므로 이를 지연 모델 블록(170)에서 모델링하여 피드백클럭(DQ_R)을 생성한다.
- [0034] 피드백클럭(DQ_R)과 기준클럭(REF)을 입력하여 위상을 검출하면 지터에 의한 코스 록 실패 현상이 발생할 수 있다.
- [0035] 본 발명의 바람직한 실시예들을 설명하기 전에 발명의 이해를 돕기 위하여 종래 기술을 먼저 살펴보면 아래와 같다.
- [0036] 도 3은 종래의 코스 록 검출회로를 설명하기 위한 회로도이다.
- [0037] 도 3을 참조하면, 종래의 코스 록 검출회로(10)는 지연기(12, 18, 20), D 플립플롭(14, 16) 인버터(22, 30), 낸드게이트(24, 26, 28)를 포함한다. 지연기(12)는 코스 록 윈도우 폭 즉 WINDOW = DQ_R - DQ_R2 = (tCK/2) - α 을 결정한다.
- [0038] 도 4는 코스 록 윈도우 보다 작은 업데이트 상태에서 도 3의 동작을 설명하기 위한 타이밍도를 나타낸다.
- [0039] 도 4를 참조하면, 기준클럭(REF)과 피드백클럭(DQ_R)은 주파수가 동일하므로 기준클럭(REF)의 선단과 피드백클럭(DQ_R)의 선단이 비교된다. 플립플롭(14)에서는 피드백클럭(DQ_R)의 선단에서 기준클럭(REF)의 레벨상태를 위상검출신호(PD)로 출력한다. 코스 록 상태에서도 피드백클럭(DQ_R)의 선단이 기준클럭(REF)의 선단보다 항상 앞서게 되므로 위상검출신호(PD)는 로우상태를 유지한다. 플립플롭(16)에서는 지연된 피드백클럭(DQ_R2)의 선단에서 기준클럭(REF)의 레벨상태를 위상검출신호(PD2)로 출력한다. 그러므로 가변지연라인을 통해 지연량이 업데이트되어 도면의 A로 표시된 부분에서 코스 록 상태가 되면 지연된 피드백클럭(DQ_R2)의 선단은 기준클럭(REF)의 선단보다 뒤지게 된다. 따라서 위상검출신호(PD2)는 코스 록 상태에서는 로우상태에서 하이상태로 상태 천이 된다. 낸드 게이트(24)의 일측 입력단에는 인버터(22)를 통해 항상 하이신호가 인가된다. 그러므로 낸드 게이트(24)는 위상검출신호(PD2)가 하이상태로 천이되는 시점에서 출력신호가 로우상태로 된다. 낸드 게이트(26, 28)의 래치 회로에서 로우상태가 래치 된다. 래치회로의 출력은 인버터(30)를 통해 코스 록 신호(END_STAGE)로 출력된다.
- [0040] 도 5는 코스 록 윈도우 보다 큰 업데이트 상태에서 도 3의 동작을 설명하기 위한 타이밍도를 나타낸다.
- [0041] 도 5를 참조하면 업데이트 값이 코스 록 윈도우 폭 보다 더 크게 될 경우에 피드백클럭(DQ_R)의 선단이 기준클럭(REF)의 선단 보다 뒤지게 되므로 위상검출신호(PD)의 상태가 로우상태에서 하이상태로 천이된다. 그러나 지연기(18, 20)에 의해 지연된 위상검출신호(PD_D)가 코스 록 윈도우 폭 보다 더 많이 지연되게 된다. 따라서 래치회로에 래치된 이후에 낸드 게이트(24)의 출력이 하이상태로 천이되므로 코스 록 신호는 안전하게 발생된다.
- [0042] 도 6은 기준클럭(REF)의 후단에 지터가 발생된 경우 도 3의 동작을 설명하기 위한 타이밍도를 나타낸다.
- [0043] 도 6을 참조하면, 도면 A 표시된 부분에서 기준클럭(REF)의 후단에 지터가 생겨 펄스폭이 늘어나 기준클럭(REF)의 후단이 피드백클럭(DQ_R) 및 지연된 피드백신호(DQ_R2)보다 지연되면 원치 않은 코스 록 신호가 발생되게 된다. 따라서 DLL 루프의 코스 제어 실패 현상이 발생할 수 있다.
- [0044] 본 발명에서는 이와 같이 지터에 의한 코스 록 실패를 방지하기 위한 것이다.
- [0045] 도 7은 본 발명에 의한 지연고정루프회로의 코스 록 검출회로(200)의 개략적인 블록도를 나타낸다.
- [0046] 도 7을 참조하면, 코스 록 검출회로(200)는 위상검출부(210)와 코스 록 검출부(220)를 포함한다.
- [0047] 위상검출부(210)는 피드백클럭(DQ_R)과 제1클럭(REF2)을 입력하여 제1 및 제2위상검출신호들(PD, PD2)을 각각 발생한다. 코스 록 검출부(220)는 제1위상검출신호(PD)의 위상과 제2위상검출신호(PD2)의 위상이 동상(in-phase)에서 이상(out-of phase)으로 전환되는 것을 검출하여 코스 록 신호(END_STAGE)를 발생한다. 제1클럭(REF2)은 도 1에서 도시한 바와 같이 분주기(140)에 의해 기준클럭(REF)을 2분주한 클럭이다.

- [0048] < 제1실시예 >
- [0049] 도 8은 도 7의 코스 록 검출회로(200)의 바람직한 제1실시예의 회로도를 나타낸다.
- [0050] 도 8을 참조하면, 위상 검출부(210)는 제1위상검출기(212)와 제2위상검출기(214) 및 지연기(216)를 포함한다. 위상 검출부(210)는 기준클록(REF)을 사용하지 않고 분주된 제1클록(REF2)을 사용한다는 점이 기존 위상검출부와 다르다.
- [0051] 제1위상검출기(212)는 D 플립플롭으로 구성된다. 제1위상검출기(212)는 피드백클록(DQ_R)의 선단에서 제1클록(REF2)의 레벨상태를 따른 제1위상검출신호(PD)를 발생한다. 즉 제1위상검출기(212)는 제1클록(REF2)의 선단과 후단에서 각각 피드백클록(DQ_R)과 위상 비교한다. 지연기(216)는 피드백클록(DQ_R)을 제1지연시간동안 지연시켜서 제1지연된 피드백클록(DQ_R2)를 발생한다. 제2위상검출기(214)는 제1지연된 피드백클록(DQ_R2)의 선단에서 제1클록의 레벨상태에 따른 제2위상검출신호(PD_D)를 발생한다. 즉 제1위상검출기(212) 및 제2위상검출기(214)는 제1클록(REF2)의 선단과 후단에서 각각 피드백클록(DQ_R)과 제1지연된 피드백클록(DQ_R2)과 각각 위상 비교한다는 점이 종래의 기술과 크게 다른 점이다.
- [0052] 코스 록 검출부(220)는 상전환 검출부(222)와 신호 래치부(224)를 포함한다. 상전환 검출부(222)는 배타적 논리합 회로(222a) 즉 XOR 게이트, D 플립플롭(222b), 인버터(222c), 지연기(222d)를 포함하고, 제1 및 제2위상 검출신호들(PD, PD2)의 위상이 동상에서 이상으로 전환되는 시점을 검출한다. 신호 래치부(224)는 낸드 게이트(224a, 224b)와 인버터(224c)를 포함하고, 상전환 검출시점을 래치하여 코스 록 신호를 발생한다.
- [0053] 도 9는 도 8의 제1실시예의 회로 동작을 설명하기 위한 타이밍도를 나타낸다. 도 9에서 굵은 실선 화살표는 피드백클록(DQ_R)의 선단을 나타내고, 굵은 점선 화살표는 제1지연된 피드백클록(DQ_R2)의 선단을 나타내고 가는 실선 화살표는 제2지연된 피드백클록(DQ_R3)의 선단을 나타낸다.
- [0054] 도 9를 참조하면, 제1클록(REF2)의 선단과 후단에서 피드백클록들(DQ_R, DQ_R2, DQ_R3) 각각 위상 비교된다. 제1위상검출기(212)는 피드백클록(DQ_R)의 선단에서 제1클록(REF2)의 레벨 상태를 검출하므로 제1클록(REF2)과 비교하여 위상이 반전되고 동일 주파수를 가진 위상검출신호(PD)를 발생하게 된다. 제2위상검출기(214)는 피드백클록(DQ_R2)의 선단에서 제1클록(REF2)의 레벨 상태를 검출하므로 제1클록(REF2)과 비교하여 위상이 반전되고 동일 주파수를 가진 위상검출신호(PD2)를 발생하게 된다. 다만 위상검출신호(PD2)는 업데이트에 의해 선단이 제1클록(REF2)의 선단 보다 지연되게 되면 이전 주기의 레벨상태를 유지하게 되므로 제1클록(REF2)의 반주기 보다 긴 1주기의 펄스폭(214a)을 유지하게 된다.
- [0055] 상전환 검출부(222)의 XOR 게이트(222a)에서 두 위상검출신호들(PD, PD2)의 이상구간을 검출하여 이상검출신호(END)를 출력한다. 이상검출신호(END)는 업데이트에 의해 코스 록이 된 지점 이전과 이후의 위상이 반대로 나타난다. 즉 두 위상검출신호들(PD, PD2)이 코스 록이 된 지점 이전에서는 동상으로 유지되다가 코스 록이 된 지점 이후부터는 서로 위상이 반전된 이상 상태를 유지한다.
- [0056] 플립플롭(222b)에서는 제2지연된 피드백클록(DQ_R3)의 선단에서 XOR 게이트의 출력신호의 레벨상태를 검출하여 상전환 검출신호(END_F)를 생성한다. 상전환 검출신호(END_F)는 신호 래치부(224)를 통해 코스 록 신호(END_STAGE)로 출력된다.
- [0057] 상술한 바와 같이 제1실시예에서는 기준신호(REF)로부터 분주된 제1클록(REF2)을 사용하여 위상을 검출하므로 지터의 영향을 완화시키며 상태 검출이 아니라 상전환을 검출하므로 실패 없이 정확한 코스 록 상태를 검출할 수 있다.
- [0058] < 제2실시예 >
- [0059] 도 10은 도 7의 코스 록 검출회로(200)의 바람직한 제2실시예의 회로도를 나타낸다.
- [0060] 도 10을 참조하면 제2실시예에서 위상 검출부(310)는 피드백클록(DQ_R)의 선단에서 제1클록(REF2)의 레벨상태에 따른 제1위상검출신호(PD)를 발생하는 제1위상검출기(312)와, 피드백클록(DQ_R)의 선단에서 제1위상검출신호(PD)의 레벨상태에 따른 제2위상검출신호(PD_F)를 발생하는 제2위상검출기(314)를 포함한다. 제1위상검출기(312)와 제2위상검출기(314)는 D 플립플롭으로 구성한다.
- [0061] 제2실시예에서 코스 록 검출부(320)는 피드백신호(DQ_R)의 선단에서 제1 및 제2위상검출신호들(PD, PD_F)의 위상이 동상인 상태를 검출하는 동상 검출부(322)와, 동상 검출시점을 래치하여 코스 록 신호를 발생하는 신호 래치부(324)를 포함한다. 동상 검출부(322)는 XNOR 게이트(322a), D 플립플롭(322b), 인버터(322c)를 포함한다. 신호 래치부(324)는 낸드 게이트(324a, 324b)와 인버터(324c)를 포함하고, 동상 검출시점을 래치하여

코스 록 신호(END_STAGE)를 발생한다.

- [0062] 도 11은 도 10의 제2실시예의 회로 동작을 설명하기 위한 타이밍도를 나타낸다.
- [0063] 도 11을 참조하면, 제1클록(REF2)의 선단과 후단에서 피드백클록(DQ_R)의 선단과 비교된다. 제1위상검출기(312)는 피드백클록(DQ_R)의 선단에서 제1클록(REF2)의 레벨 상태를 검출하므로 제1클록(REF2)과 비교하여 위상이 반전되고 동일 주파수를 가진 위상검출신호(PD)를 발생하게 된다. 다만 위상검출신호(PD)는 업데이트에 의해 피드백클록(DQ_R)의 선단이 제1클록(REF2)의 선단 보다 지연되게 되면 이전 주기의 레벨상태를 유지하게 되므로 제1클록(REF2)의 반주기 보다 긴 1주기의 펄스폭(312a)을 유지하게 된다. 제2위상검출기(314)는 피드백클록(DQ_R)의 선단에서 위상검출신호(PD)의 레벨 상태를 검출하므로 위상검출신호(PD)를 피드백클록(DQ_R)의 1주기 동안 지연시킨 위상검출신호(PD_F)를 발생하게 된다.
- [0064] 동상 검출부(322)의 XNOR 게이트(322a)에서 두 위상검출신호들(PD, PD_F)의 동상구간을 검출하여 동상 검출신호(END)를 출력한다. 동상검출신호(END)는 업데이트에 의해 코스 록이 된 지점에서만 동상이 검출되고 그 외의 구간에서는 서로 위상이 반대로 나타난다. 즉 두 위상검출신호들(PD, PD_F)이 코스 록이 된 지점에서만 동상구간을 유지한다.
- [0065] 플립플롭(322b)에서는 피드백클록(DQ_R)의 선단에서 XNOR 게이트(322a)의 출력신호를 피드백클록(DQ_R)의 1주기동안 지연시킨 신호를 동상 검출신호(END_F)로 출력한다. 동상 검출신호(END_F)는 신호 래치부(324)를 통해 코스 록 신호(END_STAGE)로 출력된다.
- [0066] 상술한 바와 같이 제2실시예에서는 기준신호(REF)로부터 분주된 제1클록(REF2)을 사용하여 위상을 검출하므로 지터의 영향을 완하시키며 상태 검출이 아니라 동상구간을 검출하므로 실패 없이 정확한 코스 록 상태를 검출할 수 있다.
- [0067] 도 12 은 본 발명에 따른 DLL 이 제공되는 DRAM 디바이스의 전부 또는 전체 구성을 도시한다.
- [0068] 도 12 의 DRAM 디바이스는 8 개의 메모리 뱅크 구성의 DDR4 (Double Date Rate 4) SDRAM (Synchronous DRAM) 이다. DDR4 SDRAM 은 클록의 상승 에지와 하강 에지 양자와 동기화하여 데이터를 교환하는 SDRAM 이다.
- [0069] 도 12를 참조하면, 로우(row) 디코더(408)가 로우 어드레스를 디코딩하여 선택된 워드라인을 구동한다. 센스 증폭기(404)는 메모리 셀 어레이(402)의 비트라인 상에서 판독된 데이터를 증폭시킨다. 리프레시 동안, 센스 증폭기(404)는 리프레시 어드레스에 의해 선택된 워드라인의 셀에 접속하는 비트라인 상에서 판독된 셀 데이터를 증폭시키고 그 셀 데이터를 다시 셀에 기입한다. 칼럼(column) 디코더(406)는 컬럼 어드레스를 디코딩하여 선택된 Y-스위치를 턴 온 으로 하며, 이로써 선택된 비트 라인을 IO 라인에 접속한다. 커맨드 디코더(418)는 소정의 어드레스 신호 및 칩 선택 신호(/CS), 로우 어드레스 스트로브 신호(/RAS), 컬럼 어드레스 스트로브 신호(/CAS) 및 기입 가능 신호(/WE)를 수신하여 커맨드를 디코딩한다. 칼럼 어드레스 버퍼 및 버스트 카운터(414)는 커맨드 디코더(418)로부터 제어신호를 수신하는 제어로직(420)에 의한 제어 하에, 입력 칼럼 어드레스로부터 시작하여, 개수가 버스트 길이에 대응하는 어드레스들을 생성하며, 그렇게 생성된 어드레스들을 칼럼 디코더(406)에 전달한다. 모드 레지스터(410)는 어드레스 신호 및 뱅크 선택 신호들(BA0, BA1 및 BA2)을 수신하여 제어신호를 제어 로직(420)에 출력한다. 뱅크 선택 신호들은 8 개의 뱅크들 중 하나의 뱅크를 선택하는데 이용된다.
- [0070] 로우 어드레스 버퍼 및 리프레시 카운터(412)의 로우 어드레스 버퍼는 입력 로우 어드레스를 수신하여 그것을 로우 디코더(408)에 출력한다. 로우 어드레스 버퍼 및 리프레시 카운터(412)의 리프레시 카운터는 리프레시 커맨드를 수신하여 카운트-업 동작을 수행하며, 이로써 카운트 출력을 리프레시 어드레스로서 전달한다.
- [0071] 로우 어드레스 버퍼로부터의 로우 어드레스 및 리프레시 카운터로부터의 리프레시 어드레스는 멀티플렉서로 공급된다. 리프레시 동안, 리프레시 어드레스가 선택되고, 그렇지 않은 경우, 로우 어드레스버퍼로부터의 로우 어드레스가 선택된다. 그렇게 선택된 어드레스는 로우 디코더(408)로 공급된다.
- [0072] 클록 생성기(426)는 DRAM 디바이스로 공급된 상보적인 외부 클록들(CK 및 /CK)을 수신하고, 클록 가능 신호(CKE)가 HIGH 인 경우에 내부 클록을 생성한다. 클록 가능 신호(CKE)가 LOW 일 때, 클록 생성기(426)로부터의 내부 클록의 공급이 중단된다.
- [0073] 데이터 제어 회로(416)는 기입 데이터 및 판독 데이터를 입/출력한다. 래치 회로(422)는 기입 데이터 및 판독 데이터를 래치한다. 입/출력 버퍼(424)는 데이터 단자(DQ)에서의 데이터를 입/출력한다.
- [0074] DLL(100)은 외부 클록들(CK, /CK)에 대하여 지연-동기화된 신호를 생성하여 그렇게 생성된 클록들을 입/출력

버퍼(424)에 전달한다. 메모리 셀 어레이(402)로부터의 판독 데이터는 래치 회로(422)로부터 입/출력 버퍼(424)로 전달된다. 입/출력 버퍼(424)는 DLL(100)에 의해 외부 클럭(CK)과 동기화된 클럭 신호의 상승 및 하강 에지들을 이용하여, 데이터 단자(DQ)로부터의 판독 데이터를 더블 데이터 레이트로 출력한다.

[0075] DM은 기입 데이터에 대한 데이터 마스크 신호이며, 이는 기입 동안 데이터 마스크 신호가 HIGH 일 때 기입된다. DQS 및 /DQS 는 데이터 기입 및 데이터 판독의 타이밍들을 규정하는 차동 데이터 스트로브 신호들이다. 그들은 I/O 신호들, 즉 기입 동안에는 입력 신호이고 판독 동안에는 출력 신호이다. TDQS 및 /TDQS 는 X8 데이터 구성의 X4 데이터 구성과의 호환성을 제공하는 차동 신호들이다. ODT (On-DieTermination)는 DQ, DQS, /DQS, TDQS 및 /TDQS 의 종단 저항을 턴 온 또는 턴 오프 하는 제어 신호이다.

[0076] 도 12는 DDR SDRAM 디바이스의 통상적인 예를 개략적으로 도시하는데, 이는 여러 다른 유형들 및 구성들의 디바이스들에 적용가능하고 이용 가능한 본 발명의 범위를 제한하도록 의도되지 않는다.

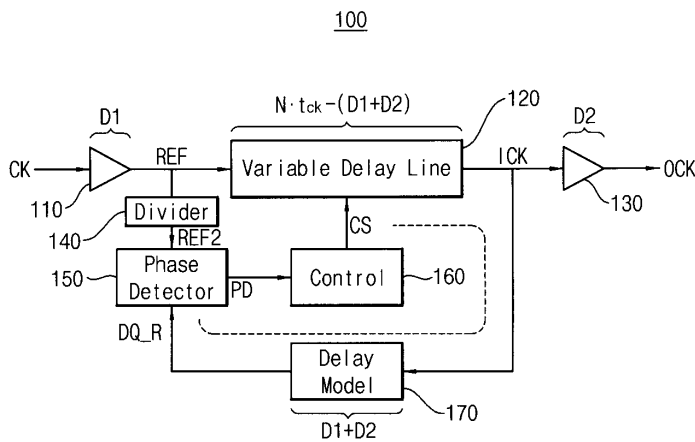
산업상 이용가능성

[0077] 본 발명은 입력 클럭의 지터(jitter)에 의한 코스 록 실패를 방지할 수 있는 지연조정루프회로를 DDR4와 같이 고속 동작이 요구되는 메모리 시스템, 컴퓨터 시스템, 서버 시스템, 통신 시스템, 고속신호처리기가 요구되는 네트워크 시스템 등에 더욱 유용하게 적용 가능하다.

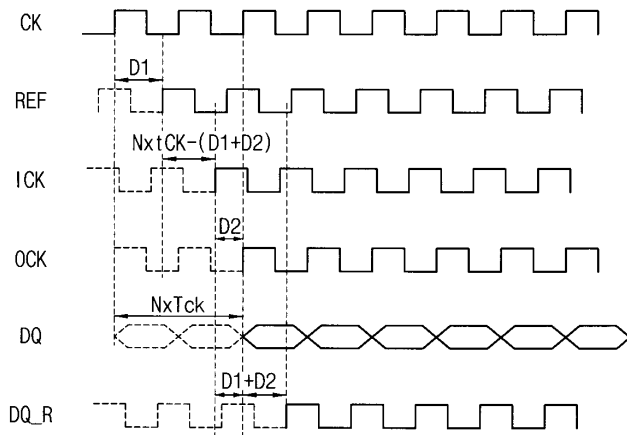
[0078] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

도면1

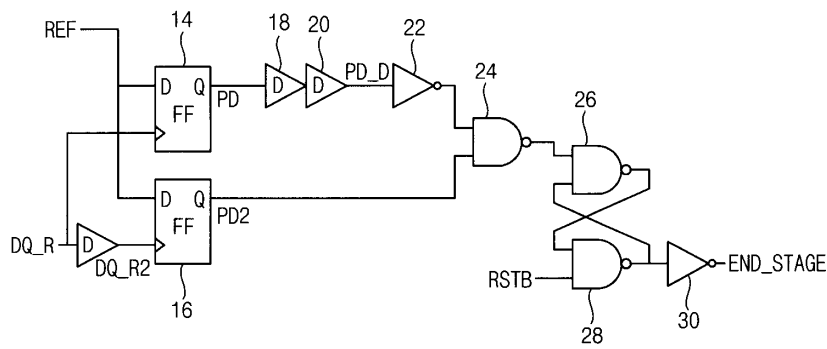


도면2

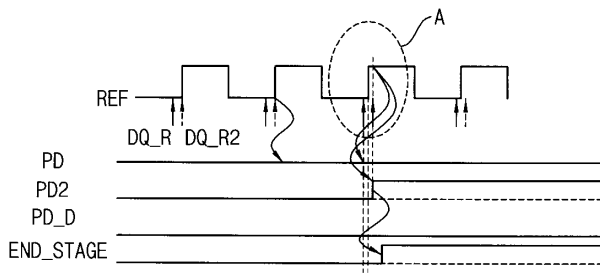


도면3

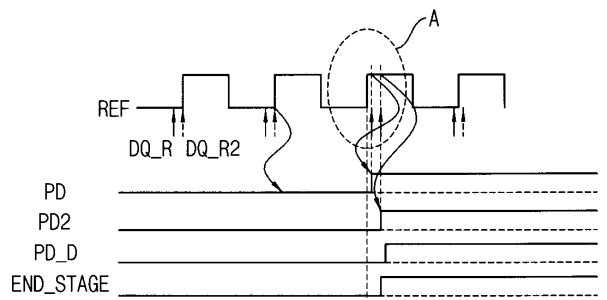
10



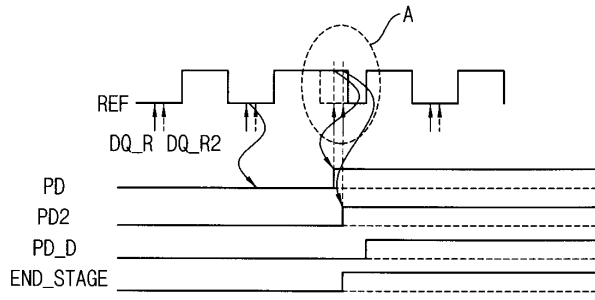
도면4



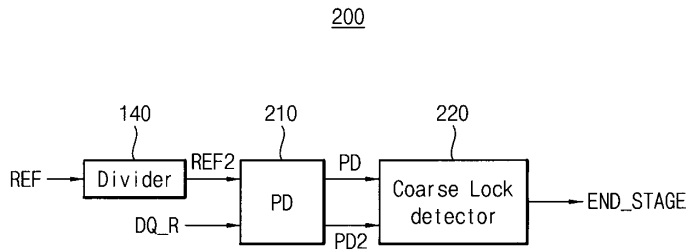
도면5



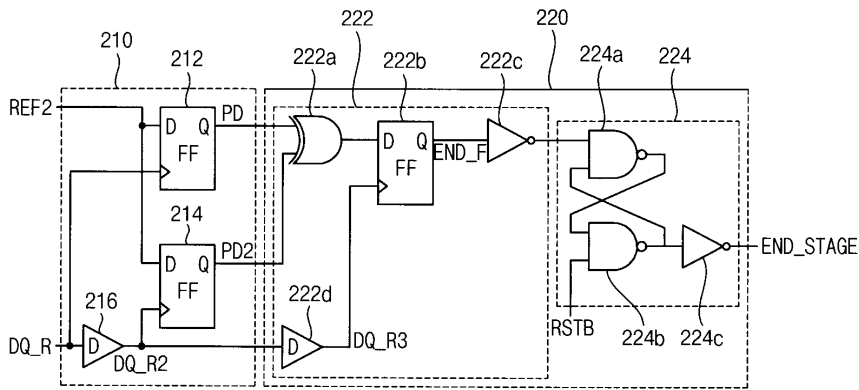
도면6



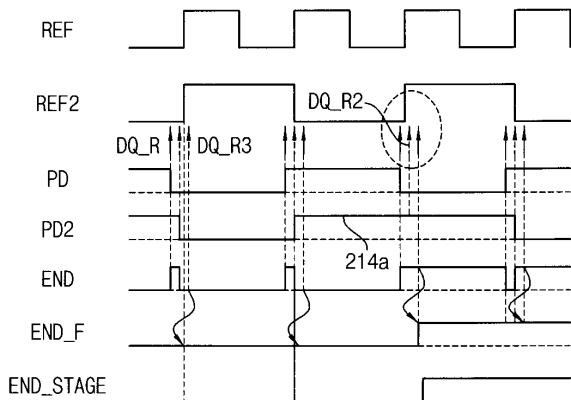
도면7



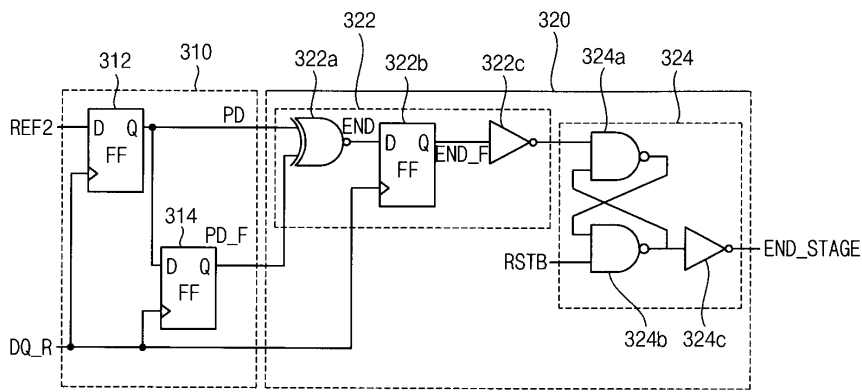
도면8



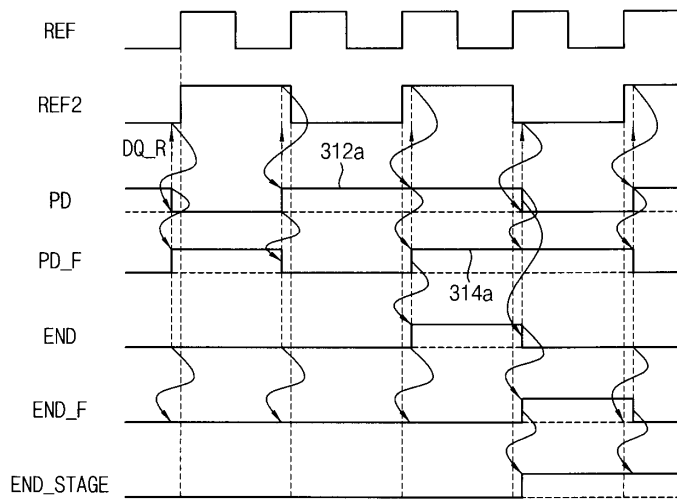
도면9



도면10



도면11



도면12

