

【特許請求の範囲】

【請求項 1】

電界効果トランジスタであって、

化合物半導体によって構成されており、上面に複数のトレンチ（14）が設けられた半導体基板（12）と、

それぞれが対応する前記トレンチ内に配置されており、ゲート絶縁膜によって前記半導体基板から絶縁されている複数のゲート電極（18）と、

前記半導体基板の上面に接するソース電極（22）、

を有し、

前記半導体基板が、複数の n 型のソース層（30）、複数の p 型のコンタクト層（32）、p 型のボディ層（34）、n 型のドリフト層（38）、及び、複数の p 型のディープ層（36）、を有し、

前記半導体基板のうち複数の前記トレンチの間に位置する各半導体領域がトレンチ間領域（50）であり、

前記各ソース層が、対応する前記トレンチ間領域に配置されており、前記ソース電極に接しており、対応する前記ゲート絶縁膜に接しており、

前記各コンタクト層が、対応する前記トレンチ間領域に配置されており、前記ソース電極に接しており、

前記各トレンチ間領域に、複数の前記コンタクト層が設けられており、

前記半導体基板を上から見たときに、前記各トレンチ間領域において、複数の前記コンタクト層が複数の前記トレンチと平行な特定方向に間隔部（33）を開けて配置されており、

前記ボディ層が、前記各コンタクト層よりも低い p 型不純物濃度を有しており、複数の前記トレンチ間領域に跨って分布しており、前記各ソース層及び前記各コンタクト層の下側に配置されており、前記ゲート絶縁膜に接しており、

前記ドリフト層が、複数の前記トレンチ間領域の下部の領域に跨って分布しており、前記各トレンチ間領域内において前記ボディ層に対して下側から接しており、前記ゲート絶縁膜に接しており、

前記各ディープ層が、前記ボディ層から前記各トレンチの下端よりも下側の位置まで伸びており、

前記半導体基板を上から見たときに、前記各トレンチ間領域において複数の前記ディープ層が前記特定方向に間隔部（37）を開けて配置されており、

前記各トレンチ間領域において、前記コンタクト層の前記間隔部のそれぞれが、対応する前記ディープ層の上部に配置されており、

前記各トレンチ間領域において、前記ディープ層の前記間隔部のそれぞれが、対応する前記コンタクト層の下部に配置されている、

電界効果トランジスタ。

【請求項 2】

前記半導体基板を上から見たときに、前記各ディープ層が前記各トレンチと交差している請求項 1 に記載の電界効果トランジスタ。

【請求項 3】

前記半導体基板を上から見たときに前記各コンタクト層と前記各ディープ層とが重ならない、請求項 1 または 2 に記載の電界効果トランジスタ。

【請求項 4】

前記各トレンチ間領域において、前記ディープ層の前記間隔部が、前記半導体基板を上から見たときに前記コンタクト層と重なる第 1 間隔部（37a）と、前記半導体基板を上から見たときに前記コンタクト層と重ならない第 2 間隔部（37b）とを有する、請求項 1 または 2 に記載の電界効果トランジスタ。

【請求項 5】

前記半導体基板の厚さ方向において、前記各コンタクト層の下端（32a）が、前記各

10

20

30

40

50

ソース層の下端（30a）と同じ位置またはそれより上側に位置している、請求項1または2に記載の電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に開示の技術は、電界効果トランジスタに関する。

【0002】

特許文献1に開示の電界効果トランジスタは、トレンチ型のゲート電極を有している。また、この電界効果トランジスタは、p型のボディ層（ベース領域とも称する）から下側に伸びるp型のディープ層（ベース領域下部電界シールド領域とも称する）を有している。ディープ層は、トレンチの下端よりも下側の位置まで伸びている。ディープ層の上部に、ボディ層とソース電極とを接続するp型のコンタクト層が設けられている。コンタクト層は、ボディ層の電位を安定化させるために設けられている。ディープ層は、トレンチ内のゲート絶縁膜の電界強度を緩和するために設けられている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2001-267570号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0004】

ソース電極の電位が高くなると、ボディ層とドリフト層の界面のpn接合に順方向に電圧が加わる。このため、このpn接合により構成されているダイオードがオンし、ボディ層からドリフト層にホールが流入する。その後、ソース電極の電位が低下すると、ドリフト層内のホールが、ディープ層、ボディ層、及び、コンタクト層を介してソース電極へ流れる。このようにソース電極へ流れるホールによって生じる電流は、リカバリ電流と呼ばれる。リカバリ電流が流れることで、電界効果トランジスタにおいてサージ電圧が発生する。特許文献1の電界効果トランジスタでは、高いリカバリ電流が発生し易い。本明細書では、ディープ層を有する電界効果トランジスタにおいてリカバリ電流を抑制する技術を提案する。

30

【課題を解決するための手段】

【0005】

本明細書が開示する電界効果トランジスタは、化合物半導体によって構成されているとともに上面に複数のトレンチが設けられた半導体基板と、それぞれが対応する前記トレンチ内に配置されているとともにゲート絶縁膜によって前記半導体基板から絶縁されている複数のゲート電極と、前記半導体基板の上面に接するソース電極、を有する。前記半導体基板が、複数のn型のソース層、複数のp型のコンタクト層、p型のボディ層、n型のドリフト層、及び、複数のp型のディープ層、を有する。前記半導体基板のうち複数の前記トレンチの間に位置する各半導体領域がトレンチ間領域である。前記各ソース層が、対応する前記トレンチ間領域に配置されており、前記ソース電極に接しており、対応する前記ゲート絶縁膜に接している。前記各コンタクト層が、対応する前記トレンチ間領域に配置されており、前記ソース電極に接している。前記各トレンチ間領域に、複数の前記コンタクト層が設けられている。前記半導体基板を上から見たときに、前記各トレンチ間領域において、複数の前記コンタクト層が複数の前記トレンチと平行な特定方向に間隔部を開けて配置されている。前記ボディ層が、前記各コンタクト層よりも低いp型不純物濃度を有しており、複数の前記トレンチ間領域に跨って分布しており、前記各ソース層及び前記各コンタクト層の下側に配置されており、前記ゲート絶縁膜に接している。前記ドリフト層が、複数の前記トレンチ間領域の下部の領域に跨って分布しており、前記各トレンチ間領域内において前記ボディ層に対して下側から接しており、前記ゲート絶縁膜に接している。前記各ディープ層が、前記ボディ層から前記各トレンチの下端よりも下側の位置まで伸

40

50

びている。前記半導体基板を上から見たときに、前記各トレンチ間領域において複数の前記ディープ層が前記特定方向に間隔部を開けて配置されている。前記各トレンチ間領域において、前記コンタクト層の前記間隔部のそれぞれが、対応する前記ディープ層の上部に配置されている。前記各トレンチ間領域において、前記ディープ層の前記間隔部のそれぞれが、対応する前記コンタクト層の下部に配置されている。

【0006】

この電界効果トランジスタにおいては、コンタクト層の間隔部がディープ層の上部に配置されており、ディープ層の間隔部がコンタクト層の下部に配置されている。これによって、上下方向においてコンタクト層とディープ層が重なっている領域が削減されている。このため、ドリフト層からディープ層、ボディ層、及び、コンタクト層を介してソース電極に至る経路（すなわち、リカバリ電流が流れる経路）の抵抗が高い。したがって、この電界効果トランジスタによれば、リカバリ電流を抑制できる。

10

【図面の簡単な説明】

【0007】

【図1】スイッチング素子の xz 断面と yz 断面とを示す斜視図。

【図2】ディープ層を含まない位置におけるスイッチング素子の xz 断面図。

【図3】ディープ層を含む位置におけるスイッチング素子の xz 断面図。

【図4】トレンチを含まない位置におけるスイッチング素子の yz 断面図。

【図5】半導体基板の上面を上から見た平面図。

【図6】コンタクト領域、ボディ領域、及び、ソース領域内の不純物濃度分布を示すグラフ。

20

【図7】リカバリ動作時のドレイン電流とドレイン電圧を示すグラフ。

【図8】深さ D とサージ電圧の関係を示すグラフ。

【図9】第1変形例のスイッチング素子の図5に対応する平面図。

【図10】幅 W とサージ電圧の低減率との関係を示すグラフ。

【図11】第2変形例のスイッチング素子の図5に対応する平面図。

【図12】第3変形例のスイッチング素子の図5に対応する平面図。

【図13】第4変形例のスイッチング素子の図5に対応する平面図。

【図14】第5変形例のスイッチング素子の図5に対応する平面図。

【発明を実施するための形態】

30

【0008】

本明細書が開示する一例の形態では、前記半導体基板を上から見たときに、前記各ディープ層が前記各トレンチと交差していてもよい。

【0009】

この構成によれば、ゲート絶縁膜の電界強度をより緩和できる。

【0010】

本明細書が開示する一例の形態では、前記半導体基板を上から見たときに前記各コンタクト層と前記各ディープ層とが重ならなくてもよい。この場合、コンタクト層の間隔部の幅をディープ層の幅よりも広くすることができ、ディープ層の間隔部の幅をコンタクト層の幅よりも広くすることができる。

40

【0011】

この構成によれば、リカバリ電流をより効果的に抑制できる。

【0012】

本明細書が開示する一例の形態では、前記各トレンチ間領域において、前記ディープ層の前記間隔部が、前記半導体基板を上から見たときに前記コンタクト層と重なる第1間隔部と、前記半導体基板を上から見たときに前記コンタクト層と重ならない第2間隔部とを有していてもよい。

【0013】

本明細書が開示する一例の形態では、前記半導体基板の厚さ方向において、前記各コンタクト層の下端が、前記各ソース層の下端と同じ位置またはそれより上側に位置して

50

もよい。

【0014】

この構成によれば、コンタクト層の空乏化を抑制できるので、リカバリ電流をより効果的に抑制できる。

【0015】

図1に示す実施形態のMOSFET10 (metal-oxide-semiconductor field effect transistor) は、半導体基板12を有している。以下では、半導体基板12の厚み方向をz方向といい、半導体基板12の上面12aに平行な一方向 (z方向に直交する一方向) をx方向といい、x方向及びz方向に直交する方向をy方向という。半導体基板12は、炭化シリコン (すなわち、SiC) により構成されている。なお、半導体基板12が窒化ガリウム、酸化ガリウム等の他の化合物半導体により構成されていてもよい。半導体基板12の上面12aには、複数のトレンチ14が設けられている。図5に示すように、複数のトレンチ14は、上面12aにおいて、y方向に沿って長く伸びている。複数のトレンチ14は、x方向に間隔を開けて配置されている。なお、以下では、トレンチ14によって挟まれている範囲内の各半導体領域を、トレンチ間領域50という。

10

【0016】

図1~3に示すように、各トレンチ14の内面 (すなわち、側面と底面) は、ゲート絶縁膜16によって覆われている。各トレンチ14内に、ゲート電極18が配置されている。各ゲート電極18は、ゲート絶縁膜16によって半導体基板12から絶縁されている。各ゲート電極18の上面は、層間絶縁膜20によって覆われている。半導体基板12の上部に、ソース電極22が設けられている。ソース電極22は、各層間絶縁膜20を覆っている。ソース電極22は、層間絶縁膜20によってゲート電極18から絶縁されている。ソース電極22は、層間絶縁膜20が存在しない位置で、半導体基板12の上面12aに接している。半導体基板12の下部には、ドレイン電極24が配置されている。ドレイン電極24は、半導体基板12の下面12bの全域に接している。

20

【0017】

半導体基板12は、複数のソース層30、複数のコンタクト層32、ボディ層34、複数のディープ層36、複数のトレンチ下層35、ドリフト層38、及び、ドレイン層40を有している。

【0018】

各コンタクト層32は、高いp型不純物濃度を有するp型層である。図1、2、4、5に示すように、各コンタクト層32は、トレンチ間領域50内に配置されている。各コンタクト層32は、半導体基板12の上面12aを含む範囲に配置されている。各トレンチ間領域50に、複数のコンタクト層32が設けられている。各コンタクト層32は、トレンチ14に接しない位置に配置されている。各トレンチ間領域50において、y方向 (すなわち、上面12aにおいてトレンチ14と平行な方向) に沿って間隔を開けて複数のコンタクト層32が配列されている。以下では、y方向におけるコンタクト層32の間の領域を間隔部33という。各コンタクト層32は、ソース電極22にオーミック接触している。

30

【0019】

各ソース層30は、高いn型不純物濃度を有するn型層である。図1~5に示すように、各ソース層30は、トレンチ間領域50内に配置されている。各ソース層30は、半導体基板12の上面12aを含む範囲であって、コンタクト層32が設けられていない範囲に設けられている。すなわち、各ソース層30は、トレンチ14に隣接する領域と間隔部33内に設けられている。ソース層30は、コンタクト層32の側面に接している。各ソース層30は、ソース電極22にオーミック接触している。各ソース層30は、トレンチ14の側面の最上部において、ゲート絶縁膜16に接している。各ソース層30は、ゲート絶縁膜16を介してゲート電極18に対向している。

40

【0020】

ボディ層34は、コンタクト層32よりも低いp型不純物濃度を有するp型層である。

50

図 1 ~ 3 に示すように、ボディ層 3 4 は、複数のトレンチ間領域 5 0 に跨って分布している。ボディ層 3 4 は、複数のソース層 3 0 及び複数のコンタクト層 3 2 の下側に配置されている。ボディ層 3 4 は、複数のソース層 3 0 及び複数のコンタクト層 3 2 に対して下側から接している。ボディ層 3 4 は、ソース層 3 0 の下側に位置するトレンチ 1 4 の側面で、ゲート絶縁膜 1 6 に接している。ボディ層 3 4 は、ゲート絶縁膜 1 6 を介してゲート電極 1 8 に対向している。

【 0 0 2 1 】

図 1、4 に示すように、各ディープ層 3 6 は、ボディ層 3 4 の下面から下側に突出している p 型層である。各ディープ層 3 6 は、ボディ層 3 4 の下面から各トレンチ 1 4 の下端よりも下側の位置まで伸びている。図 5 に示すように半導体基板 1 2 を上側から見たときに、各ディープ層 3 6 は、x 方向に長く伸びており、トレンチ 1 4 に対して約 9 0 度の角度で交差している。すなわち、各ディープ層 3 6 は、複数のトレンチ間領域 5 0 に跨って分布している。半導体基板 1 2 を上側から見たときに、複数のディープ層 3 6 は、y 方向に間隔を開けて配置されている。以下では、y 方向におけるディープ層 3 6 の間の領域を間隔部 3 7 という。図 3 に示すように、各ディープ層 3 6 は、ボディ層 3 4 の下側に位置するトレンチ 1 4 の側面でゲート絶縁膜 1 6 に接している。各ディープ層 3 6 は、ゲート絶縁膜 1 6 を介してゲート電極 1 8 に対向している。

10

【 0 0 2 2 】

図 1 ~ 3 に示すように、各トレンチ下層 3 5 は、対応するトレンチ 1 4 の下部に配置されている p 型層である。各トレンチ下層 3 5 は、対応するトレンチ 1 4 の長手方向（すなわち、y 方向）に沿って長く伸びており、各ディープ層 3 6 と交差している。各トレンチ下層 3 5 は、対応するトレンチ 1 4 の底面でゲート絶縁膜 1 6 に接している。

20

【 0 0 2 3 】

ドリフト層 3 8 は、ソース層 3 0 よりも低い n 型不純物濃度を有する n 型層である。ドリフト層 3 8 は、複数のトレンチ間領域 5 0 の下部に跨って分布している。ドリフト層 3 8 は、複数のディープ層 3 6 及び複数のトレンチ下層 3 5 に対して下側から接している。ドリフト層 3 8 は、複数のディープ層 3 6 の間の各間隔部 3 7 内まで分布している。ドリフト層 3 8 は、各間隔部 3 7 内において、複数のディープ層 3 6 の側面及び複数のトレンチ下層 3 5 の側面に接している。ドリフト層 3 8 は、各間隔部 3 7 を介して各トレンチ間領域 5 0 内まで伸びている。ドリフト層 3 8 は、各トレンチ間領域 5 0 内で、ボディ層 3 4 に対して下側から接している。ドリフト層 3 8 は、各トレンチ間領域 5 0 内で、ゲート絶縁膜 1 6 に接している。すなわち、ドリフト層 3 8 は、ボディ層 3 4 の下側に位置するトレンチ 1 4 の側面でゲート絶縁膜 1 6 に接している。

30

【 0 0 2 4 】

ドレイン層 4 0 は、ドリフト層 3 8 よりも高い n 型不純物濃度を有する n 型層である。ドレイン層 4 0 は、ドリフト層 3 8 に対して下側から接している。ドレイン層 4 0 は、半導体基板 1 2 の下面 1 2 b を含む範囲に配置されている。ドレイン層 4 0 は、ドレイン電極 2 4 にオーミック接触している。

【 0 0 2 5 】

図 5 は、半導体基板 1 2 を上から見たときのコンタクト層 3 2 とディープ層 3 6 の位置関係を示している。各トレンチ間領域 5 0 において、コンタクト層 3 2 の間隔部 3 3 のそれぞれが、対応するディープ層 3 6 の上部に配置されている。また、各トレンチ間領域 5 0 において、ディープ層 3 6 の間隔部 3 7 のそれぞれが、対応するコンタクト層 3 2 の下部に配置されている。各コンタクト層 3 2 は、半導体基板 1 2 を上から見たときにディープ層 3 6 と重ならない位置に配置されている。

40

【 0 0 2 6 】

図 2 に示すように、コンタクト層 3 2 の下端 3 2 a は、ソース層 3 0 の下端 3 0 a よりも上側に位置している。図 6 は、ソース層 3 0 とコンタクト層 3 2 とボディ層 3 4 内の z 方向における不純物濃度分布を示している。ソース層 3 0 の下端 3 0 a は、n 型不純物濃度と p 型不純物濃度が一致する位置として定義される。ボディ層 3 4（すなわち、ソース

50

層 3 0 よりも下側の p 型領域)では、p 型不純物濃度がピーク値 P 1 を有する正規分布状に分布している。本明細書では、コンタクト層 3 2 は、ピーク値 P 1 よりも高い p 型不純物濃度を有する p 型層として定義される。したがって、コンタクト層 3 2 の下端 3 2 a は、ピーク値 P 1 と同じ p 型不純物濃度を有する位置として定義される。図 6 に示すように、コンタクト層 3 2 の下端 3 2 a は、ソース層 3 0 の下端 3 0 a よりも上側に位置している。

【 0 0 2 7 】

次に、M O S F E T 1 0 の動作について説明する。各ゲート電極 1 8 にゲート閾値以上の電位が印加されると、ゲート絶縁膜 1 6 の近傍のボディ層 3 4 にチャンネルが形成される。チャンネルによって、ソース層 3 0 とドリフト層 3 8 が接続される。ドレイン電極 2 4 の電位がソース電極 2 2 の電位よりも高い場合には、ソース層 3 0 からチャンネルとドリフト層 3 8 を経由してドレイン層 4 0 へ電子が流れる。すなわち、M O S F E T 1 0 がオンする。各ゲート電極 1 8 の電位をゲート閾値未満の値へ引き下げると、チャンネルが消失し、電子の流れが停止する。すなわち、M O S F E T 1 0 がオフする。M O S F E T 1 0 がオフすると、ボディ層 3 4 からドリフト層 3 8 に空乏層が伸展する。また、ディープ層 3 6 とトレンチ下層 3 5 からドリフト層 3 8 に空乏層が伸展する。ディープ層 3 6 とトレンチ下層 3 5 から伸展する空乏層によって、トレンチ 1 4 の下端周辺の半導体領域において空乏化が促進される。このため、ゲート絶縁膜 1 6 への電界集中が抑制される。

【 0 0 2 8 】

また、ソース電極 2 2 にドレイン電極 2 4 よりも高い電位が印加される場合がある。ソース電極 2 2 にドレイン電極 2 4 よりも高い電位が印加されると、p 型層(すなわち、ボディ層 3 4、トレンチ下層 3 5 及びディープ層 3 6 により構成される p 型層)とドリフト層 3 8 の界面の p n 接合によって構成されるダイオードがオンする。すなわち、p 型層からドリフト層 3 8 にホールが流れるとともにドリフト層 3 8 から p 型層へ電子が流れる。その後、M O S F E T 1 0 への印加電圧が変更されてソース電極 2 2 の電位がドレイン電極 2 4 の電位よりも低くなると、ダイオードでリカバリ動作が生じる。図 7 は、リカバリ動作時におけるドレインソース間電圧 V_{ds} とドレイン電流 I_{ds} の変化を示している。リカバリ動作では、p 型層とドリフト層 3 8 の界面の p n 接合からドリフト層内に空乏層が進展し、ドリフト層 3 8 内のホールが p 型層を介してソース電極 2 2 へ排出される。これによって、図 7 に示すように、リカバリ電流 I_R が流れる。その結果、ソース電極 2 2 とドレイン電極 2 4 の間でサージ電圧 V_{ak} が発生する。本実施形態では、ディープ層 3 6 がドリフト層 3 8 に向かって突出しているため、リカバリ動作時にホールがドリフト層 3 8 からディープ層 3 6 に流入し易い。このため、図 4 の矢印 1 0 0 に示すように、ホールは、ドリフト層 3 8 からディープ層 3 6、ボディ層 3 4 及びコンタクト層 3 2 を介してソース電極 2 2 へ排出される。本実施形態では、ディープ層 3 6 の上部にコンタクト層 3 2 が存在しないため、ディープ層 3 6 を通過したホールはボディ層 3 4 内を横方向に移動した後にコンタクト層 3 2 へ流れる。このため、ホールが流れる経路の抵抗が高い。したがって、リカバリ電流 I_R が抑制され、サージ電圧 V_{ak} が抑制される。

【 0 0 2 9 】

また、リカバリ動作においては、p n 接合から p 型層内にも空乏層が伸展する。空乏化した p 型層からソース電極 2 2 へ排出されるホールも、リカバリ電流を構成する。ボディ層 3 4 内では、p n 接合から上側に向かって空乏層が伸展する。空乏層がソース層 3 0 の下端 3 0 a まで達すると、それより上側への空乏層の伸展が停止する。本実施形態では、コンタクト層 3 2 の下端 3 2 a がソース層 3 0 の下端 3 0 a よりも上側に位置しているため、コンタクト層 3 2 内への空乏層の伸展が防止される。このため、コンタクト層 3 2 内の高濃度のホールがリカバリ電流としてソース電極 2 2 へ排出されることが防止される。これによって、リカバリ電流がさらに抑制され、サージ電圧がさらに抑制される。図 8 は、コンタクト層 3 2 の深さ D とサージ電圧 V_{ak} の関係を示している。図 8 において、深さ D は、ソース層 3 0 の下端 3 0 a に対するコンタクト層 3 2 の下端 3 2 a の z 方向における相対位置を意味している。深さ D がプラスであることはコンタクト層 3 2 の下端 3 2

10

20

30

40

50

a がソース層 30 の下端 30 a よりも上側に位置することを意味する。図 8 に示すように、深さ D が大きいほど（すなわち、コンタクト層 32 の下端 32 a が上側に位置するほど）サージ電圧 V_{ak} が抑制される。

【0030】

以上に説明したように、実施形態の MOSFET 10 によれば、リカバリ電流を抑制することができる。

【0031】

なお、上記の実施形態では、コンタクト層 32 の下端 32 a がソース層 30 の下端 30 a よりも上側に位置していた。しかしながら、半導体基板 12 の厚み方向において、コンタクト層 32 の下端 32 a がソース層 30 の下端 30 a と同じ位置に存在していてもよい。すなわち、深さ D がゼロであってもよい。図 8 に示すように、深さ D がゼロの場合でも、深さ D がマイナスの場合に比べて、サージ電圧 V_{ak} が抑制される。

【0032】

また、上記の実施形態では、ディープ層 36 の上部にコンタクト層 32 が存在していなかった。しかしながら、図 9 に示すように、コンタクト層 32 の一部 32 x がディープ層 36 の上部に配置されていてもよい。すなわち、半導体基板 12 を上から見たときに、コンタクト層 32 の一部 32 x がディープ層 36 と重なっていてもよい。図 10 は、コンタクト層 32 とディープ層 36 とが重なっている部分の幅 W（図 9 参照）とサージ電圧 V_{ak} の低減率との関係を示している。幅 W がマイナスであることは、コンタクト層 32 とディープ層 36 が重なっていないことを意味する。また、図 10 において幅 W d は、y 方向におけるディープ層 36 の幅（図 9 参照）を意味する。W = 1 / 2 W d であることは、間隔部 33 が存在しない場合を意味する。図 10 に示すように、幅 W がプラスの場合であっても、幅 W が 1 / 2 W d から小さくなるほど、サージ電圧 V_{ak} が小さくなる。このように、コンタクト層 32 の一部 32 x がディープ層 36 と重なっていても、ディープ層 36 の上部に間隔部 33 が配置されていることで、リカバリ電流の経路の抵抗を高くすることができ、リカバリ電流を抑制できる。

【0033】

また、上記の実施形態では、ディープ層 36 の間隔部 37 ごとにコンタクト層 32 が設けられていた。しかしながら、図 11 に示すように、各トレンチ間領域 50 において、間隔部 37 に対してコンタクト層 32 が少なくてもよい。すなわち、図 11 では、間隔部 37 が、半導体基板 12 を上から見たときにコンタクト層 32 と重なる第 1 間隔部 37 a と、半導体基板 12 を上から見たときにコンタクト層 32 と重ならない第 2 間隔部 37 b とを有している。なお、この場合、コンタクト層 32 を均等に分散して配置してもよい。

【0034】

また、上記の実施形態では、上面 12 a 近傍の表層部において、コンタクト層 32 が存在しない範囲全体にソース層 30 が設けられていた。しかしながら、ソース層 30 の分布範囲がより狭くてもよい。図 12、13 は、図 5 よりもソース層 30 の分布範囲が狭い例を示している。図 12、13 において、斜線の領域 R は、上面 12 a においてコンタクト層 32 とソース層 30 のいずれも配置されていない領域を示している。領域 R 内には上面 12 a においてボディ層 34 がソース電極 22 に接している。図 12 では、ソース層 30 は、トレンチ 14 に隣接する範囲にのみ設けられている。図 13 では、コンタクト層 32 の x 方向における端部に隣接する範囲にボディ層 34（すなわち、領域 R）が設けられており、その他の範囲にソース層 30 が設けられている。

【0035】

また、上記の実施形態では、半導体基板 12 を上から見たときに各ディープ層 36 が x 方向に長く伸びていた。しかしながら、図 14 に示すように、半導体基板 12 を上から見たときに各ディープ層 36 が x 方向に分散して設けられていてもよい。図 14 では、各トレンチ間領域 50 にディープ層 36 が存在するように x 方向に分散してディープ層 36 が設けられている。各トレンチ間領域 50 内において、ディープ層 36 が y 方向に間隔を開けて配置されている。図 14 の構成でも、リカバリ電流を抑制できる。

10

20

30

40

50

【 0 0 3 6 】

以下に、本明細書に開示の技術の構成を列記する。

(構成 1)

電界効果トランジスタであって、

化合物半導体によって構成されており、上面に複数のトレンチが設けられた半導体基板と、

それぞれが対応する前記トレンチ内に配置されており、ゲート絶縁膜によって前記半導体基板から絶縁されている複数のゲート電極と、

前記半導体基板の上面に接するソース電極、

を有し、

前記半導体基板が、複数の n 型のソース層、複数の p 型のコンタクト層、p 型のボディ層、n 型のドリフト層、及び、複数の p 型のディープ層、を有し、

前記半導体基板のうち複数の前記トレンチの間に位置する各半導体領域がトレンチ間領域であり、

前記各ソース層が、対応する前記トレンチ間領域に配置されており、前記ソース電極に接しており、対応する前記ゲート絶縁膜に接しており、

前記各コンタクト層が、対応する前記トレンチ間領域に配置されており、前記ソース電極に接しており、

前記各トレンチ間領域に、複数の前記コンタクト層が設けられており、

前記半導体基板を上から見たときに、前記各トレンチ間領域において、複数の前記コンタクト層が複数の前記トレンチと平行な特定方向に間隔部を開けて配置されており、

前記ボディ層が、前記各コンタクト層よりも低い p 型不純物濃度を有しており、複数の前記トレンチ間領域に跨って分布しており、前記各ソース層及び前記各コンタクト層の下側に配置されており、前記ゲート絶縁膜に接しており、

前記ドリフト層が、複数の前記トレンチ間領域の下部の領域に跨って分布しており、前記各トレンチ間領域内において前記ボディ層に対して下側から接しており、前記ゲート絶縁膜に接しており、

前記各ディープ層が、前記ボディ層から前記各トレンチの下端よりも下側の位置まで伸びており、

前記半導体基板を上から見たときに、前記各トレンチ間領域において複数の前記ディープ層が前記特定方向に間隔部を開けて配置されており、

前記各トレンチ間領域において、前記コンタクト層の前記間隔部のそれぞれが、対応する前記ディープ層の上部に配置されており、

前記各トレンチ間領域において、前記ディープ層の前記間隔部のそれぞれが、対応する前記コンタクト層の下部に配置されている、

電界効果トランジスタ。

(構成 2)

前記半導体基板を上から見たときに、前記各ディープ層が前記各トレンチと交差している構成 1 に記載の電界効果トランジスタ。

(構成 3)

前記半導体基板を上から見たときに前記各コンタクト層と前記各ディープ層とが重ならない、構成 1 または 2 に記載の電界効果トランジスタ。

(構成 4)

前記各トレンチ間領域において、前記ディープ層の前記間隔部が、前記半導体基板を上から見たときに前記コンタクト層と重なる第 1 間隔部と、前記半導体基板を上から見たときに前記コンタクト層と重ならない第 2 間隔部とを有する、構成 1 ~ 3 のいずれかに記載の電界効果トランジスタ。

(構成 5)

前記半導体基板の厚さ方向において、前記各コンタクト層の下端が、前記各ソース層の下端と同じ位置またはそれより上側に位置している、構成 1 ~ 4 のいずれかに記載の電界

10

20

30

40

50

効果トランジスタ。

【0037】

以上、実施形態について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの1つの目的を達成すること自体で技術有用性を持つものである。

【符号の説明】

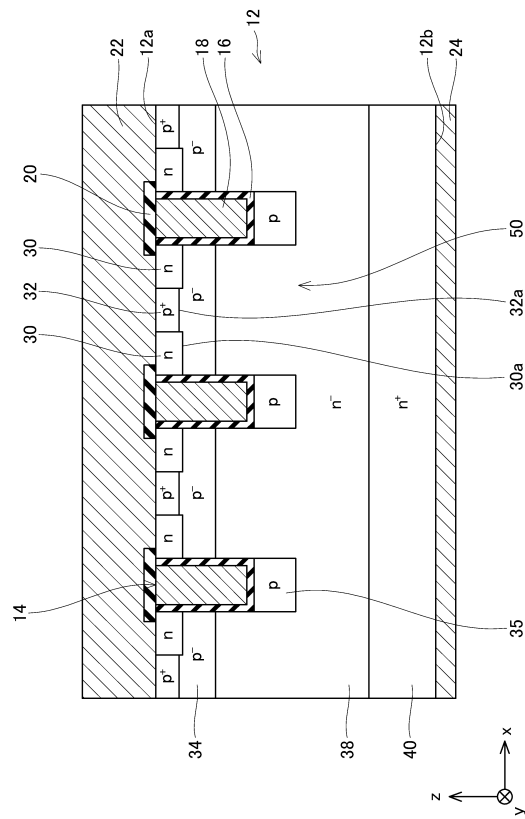
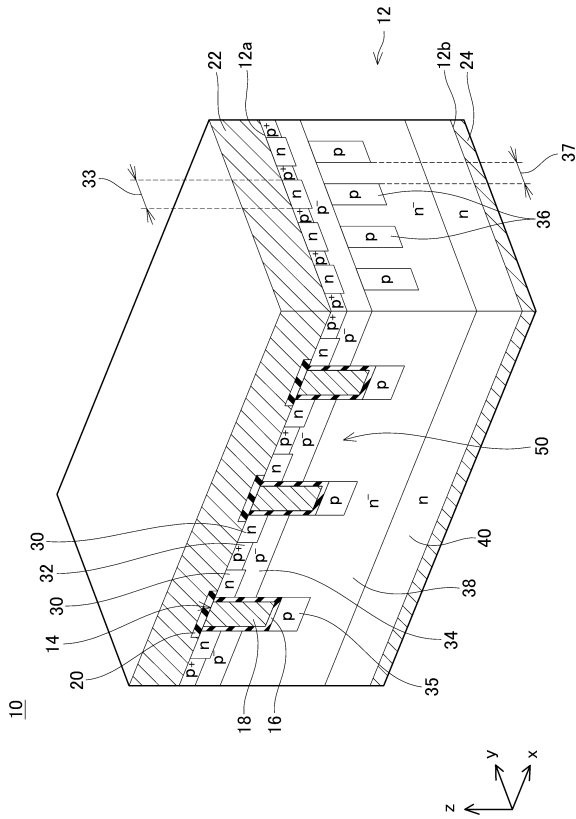
【0038】

12：半導体基板、14：トレンチ、18：ゲート電極、30：ソース層、32：コンタクト層、33：間隔部、34：ボディ層、36：ディープ層、37：間隔部、50：トレンチ間領域

【図面】

【図1】

【図2】



10

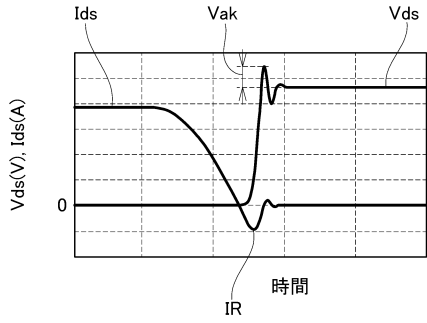
20

30

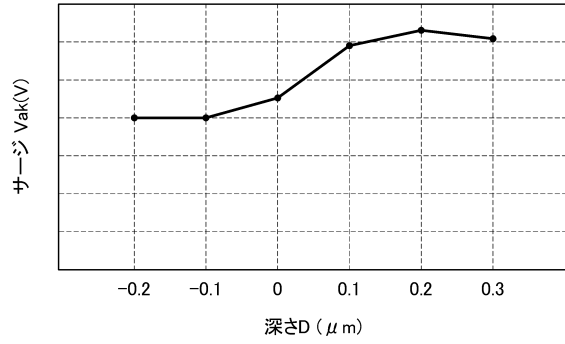
40

50

【 図 7 】

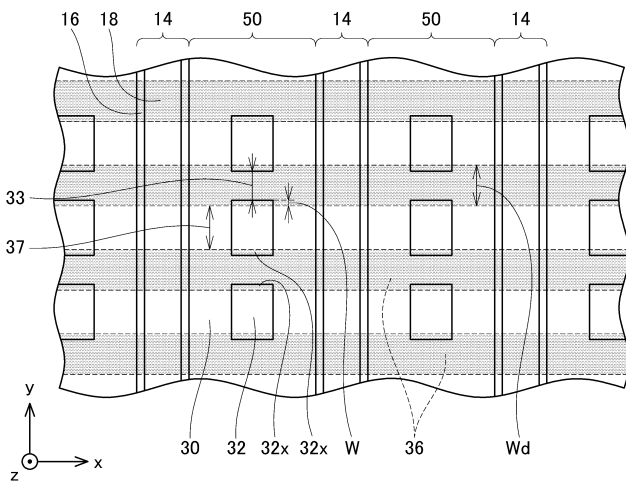


【 図 8 】

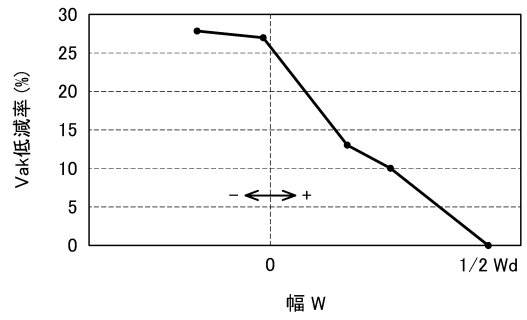


10

【 図 9 】



【 図 10 】



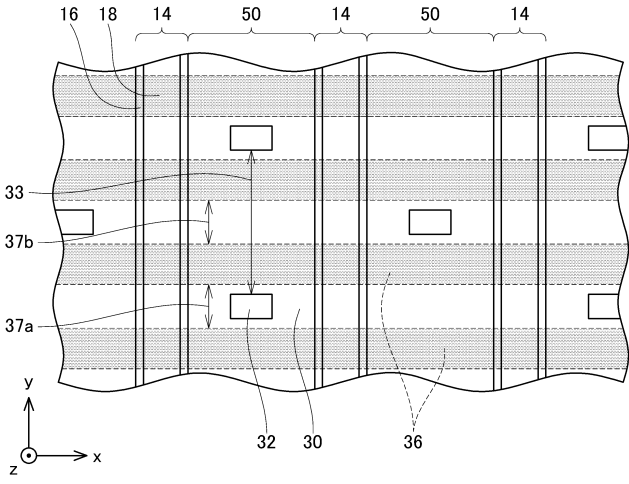
20

30

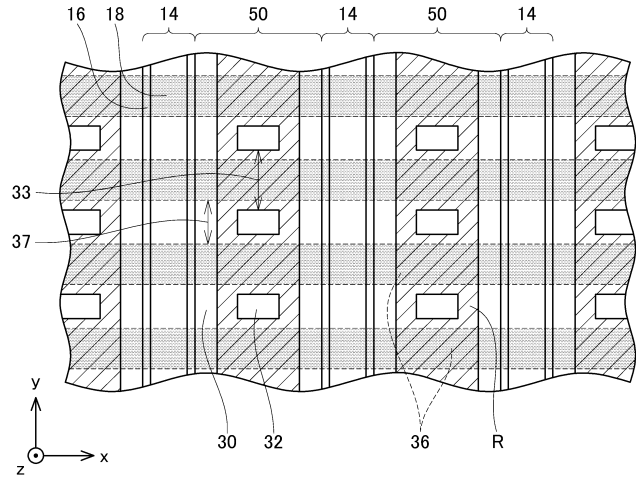
40

50

【 図 1 1 】

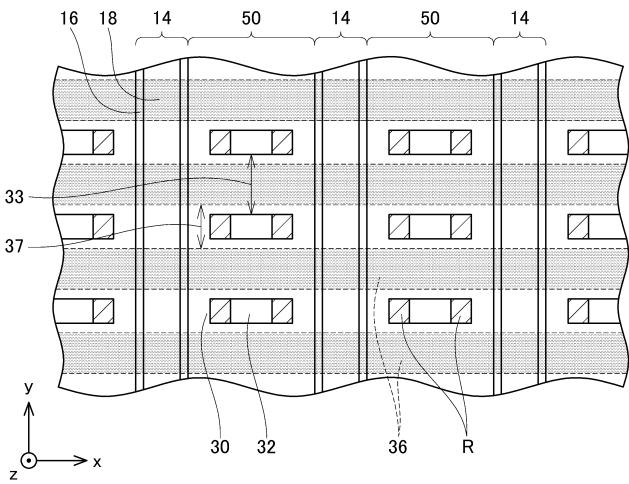


【 図 1 2 】

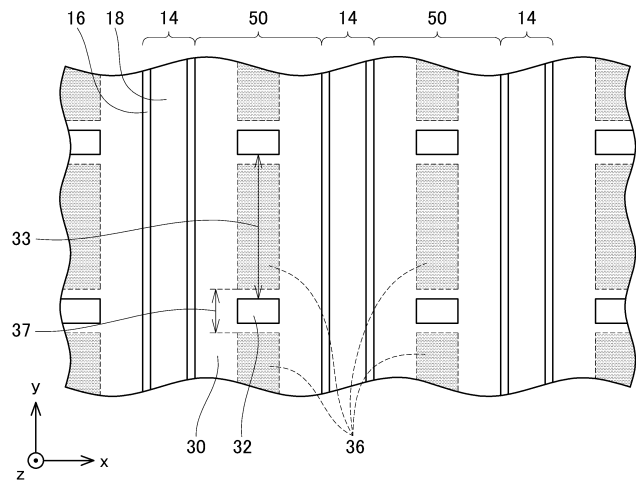


10

【 図 1 3 】



【 図 1 4 】



20

30

40

50