



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 33/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월14일 10-0694928 2007년03월07일
(21) 출원번호 (22) 출원일자 심사청구일자 번역문 제출일자	10-2002-7001072 2002년01월25일 2005년07월19일 2002년01월25일	(65) 공개번호 (43) 공개일자
(86) 국제출원번호 국제출원일자	PCT/JP2000/004998 2000년07월26일	(87) 국제공개번호 국제공개일자
(81) 지정국	국내특허 : 캐나다, 중국, 대한민국, 미국,	
(30) 우선권주장	JP-P-1999-00211222    1999년07월26일 JP-P-1999-00211223    1999년07월26일	일본(JP) 일본(JP)
(73) 특허권자	도꾸리쓰교세이호진 상교기쥬쓰 소고겐쥬쇼 일본 도쿄도 치요다쿠 카스미가세키 1-3-1  로무 가부시키가이샤 일본 교토시 우교구 사이잉 미조사키쥬 21	
(72) 발명자	니키시게루 일본국305-8568이바나키켄스쿠바시스쿠바1-1-4스쇼산교쇼고교기쥬 스엔덴시지쥬스쇼고켄쥬쇼내  폰스폴 일본국305-8568이바나키켄스쿠바시스쿠바1-1-4스쇼산교쇼고교기쥬 스엔덴시지쥬스쇼고켄쥬쇼내  이와타가쿠야 일본국305-8568이바나키켄스쿠바시스쿠바1-1-4스쇼산교쇼고교기쥬 스엔덴시지쥬스쇼고켄쥬쇼내  다나베데스히로 일본국교토후교토시우교구사이인미조사키쥬21반지로무가부시키가이 샤내  다카스히데미 일본국교토후교토시우교구사이인미조사키쥬21반지로무가부시키가이 샤내  나카하라겐 일본국교토후교토시우교구사이인미조사키쥬21반지로무가부시키가이 샤내	

(74) 대리인                      이후동  
                                         특허법인태평양

심사관 : 신주철

전체 청구항 수 : 총 12 항

**(54) ZnO계 화합물 반도체발광소자 및 그 제조방법**

**(57) 요약**

실리콘기판(1)의 표면에 실리콘질화막(2)이 형성되어 있으며, 그 실리콘질화막(2) 상에 ZnO계 화합물 반도체로 이루어지는 n형층(3, 4) 및 p형층(6, 7)을 적어도 갖고, 발광층을 형성하기 위해 반도체 적층부(11)가 적층되어 있다. 이 실리콘질화막(2)은 암모니아가스 등의 질소가 존재하는 분위기 하에서 열처리를 하는 것에 의해 형성하는 것이 바람직하다. 또, 별도의 형태로서는, 사파이어 기판의 C면과 직교하는 면을 주면으로 하여, ZnO계 화합물 반도체층을 성장시키는 것에 의해 발광소자 등을 형성한다. 그 결과, 결정성이 대단히 우수하며, 높은 발광효율의 LED 등 고특성의 ZnO계 화합물을 이용한 소자가 얻어진다.

**특허청구의 범위**

**청구항 1.**

실리콘기판과, 그 실리콘기판의 표면에 형성되는 실리콘질화막과, 그 실리콘질화막 상에 형성되며, ZnO계 화합물 반도체로 이루어지는 n형층 및 p형층을 적어도 갖고, 발광층을 형성하기 위해 적층되는 반도체 적층부를 포함하는 실리콘기판을 사용한 것을 특징으로 하는 ZnO계 화합물 반도체발광소자.

**청구항 2.**

제1항에 있어서,

상기 실리콘질화막의 표면이 비결정화하지 않고 평탄면으로 형성되어 이루어지는 것을 특징으로 하는 반도체발광소자.

**청구항 3.**

제1항 또는 제2항에 있어서,

상기 실리콘질화막이, 10nm 이하의 두께로 형성되어 이루어지는 것을 특징으로 하는 반도체발광소자.

**청구항 4.**

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 반도체 적층부가,  $Cd_xZn_{1-x}O$  ( $0 \leq x < 1$ )로 이루어지는 활성층을,  $Mg_yZn_{1-y}O$  ( $0 \leq y < 1$ )로 이루어지고 상기 활성층보다 밴드갭 에너지가 큰 클래드층에 의해 끼워지는 더블헤테로 구조를 갖는 것을 특징으로 하는 반도체발광소자.

### 청구항 5.

실리콘기판을 질소가 존재하는 분위기하에서 열처리함으로써 실리콘기판의 표면에 실리콘질화막을 형성하고, 그 실리콘 질화막 상에 ZnO계 화합물 반도체로 이루어지고 발광층을 형성하는 반도체적층부를 성장시키는 것을 특징으로 하는 반도체발광소자의 제조방법.

### 청구항 6.

제5항에 있어서,

상기 실리콘질화막을 형성하는 처리를, 형성되는 실리콘질화막의 표면이 실리콘기판의 평탄면을 유지할 수 있도록 그 처리의 온도 또는 시간을 제어하면서 행하는 것을 특징으로 하는 반도체발광소자의 제조방법.

### 청구항 7.

사파이어 기판의 C면과 직교하는 면을 주면으로 하는 사파이어 기판과, 그 사파이어 기판의 상기 주면 상에 사파이어 기판의 c축과 상기 ZnO계 화합물층의 c축이 직교하도록 에피택셜 성장된 ZnO계 화합물층을 갖고, 그 ZnO계 화합물층을 주체로 하여 소자를 형성하는 것을 특징으로 하는 ZnO계 화합물소자.

### 청구항 8.

제7항에 있어서,

상기 사파이어 기판의 주면이 A면인 것을 특징으로 하는 소자.

### 청구항 9.

사파이어 기판 상에 ZnO계 화합물층을 에피택셜 성장시키는 방법으로서, 사파이어 기판의 c축과 상기 ZnO계 화합물층의 c축이 직교하도록 상기 ZnO계 화합물층을 에피택셜 성장시키는 것을 특징으로 하는 ZnO계 화합물층의 결정성장방법.

### 청구항 10.

사파이어 기판의 C면과 직교하는 면을 주면으로 하는 사파이어 기판과, 그 사파이어 기판의 상기 주면 상에 에피택셜 성장된 ZnO계 화합물 반도체로 이루어지는 n형층 및 p형층을 적어도 갖고, 발광층을 형성하기 위해 적층되는 반도체적층부를 포함하는 것을 특징으로 하는 ZnO계 화합물 반도체발광소자.

### 청구항 11.

제10항에 있어서,

상기 사파이어 기판의 주면이 A면인 것을 특징으로 하는 반도체발광소자.

### 청구항 12.

제10항 또는 제11항에 있어서,

상기 반도체 적층부가,  $Cd_xZn_{1-x}O(0 \leq x < 1)$ 로 이루어지는 활성층을,  $Mg_yZn_{1-y}O(0 \leq y < 1)$ 로 이루어지며 상기 활성층보다 밴드갭 에너지가 큰 클래드층에 의해 끼워지는 더블헤테로 구조를 갖는 것을 특징으로 하는 반도체발광소자.

**명세서**

**기술분야**

본 발명은 ZnO계 화합물 반도체를 사용하여, 높은 기억밀도를 갖는 광디스크메모리나, 레이저비임 프린터의 고정세화(高精細化)에 필요로 되는 청색영역에서 발광가능한 반도체레이저나 발광다이오드 등의 반도체발광소자 및 그 제조방법, SAW장치, 초전소자, 압전소자, 가스센서 등의 ZnO계 화합물 반도체를 사용한 소자, 및 그들의 소자를 제조하기 위한 ZnO계 화합물 반도체층의 결정성장방법에 관한 것이다.

더욱 상세하게는, 전극을 칩의 상하 양면으로부터 빼낼수 있음과 동시에 벽개(劈開)를 할 수가 있게 하거나, ZnO계 화합물 반도체층을 결정성 양호하게 성장시켜, 발광효율 등의 소자특성을 향상시킬 수 있는 ZnO계 화합물 반도체를 사용한 소자, 및 그들의 소자를 제조하기 위한 ZnO계 화합물 반도체층의 결정성장방법에 관한 것이다.

**배경기술**

충천연색 디스플레이나 신호등 등의 광원에 사용되는 청색계(자외색으로부터 황색의 파장영역을 의미한다, 이하 동일)의 발광다이오드(이하, LED라 한다)나, 실온에서 연속발진하는 차세대의 고정세의 DVD광원용 등의 청색계 반도체레이저(이하, LD라 한다)는, 최근 사파이어 기판의 C면상에 GaN계 화합물 반도체 적층함으로써 얻어지게 되어 각광을 받고 있다.

이 구조는, 도 14에 LD칩의 사시설명도가 나타내는 바와 같이, 사파이어 기판(21)상에, III족 질화물 화합물 반도체가 유기 금속화학 기상성장법(Metal Organic Chemical Vapor Deposition, 이하, MOCVD라 한다)에 의해 순차 적층되는 것으로서, GaN 완충층(22), n형 GaN층(23),  $Al_{0.12}Ga_{0.88}N$ 으로 이루어진 n형 클래드층(24), GaN으로 이루어지는 n형 광가이드층(25), InGaN계 화합물 반도체의 다중양자 우물구조로 이루어지는 활성층(26), P형 GaN으로 이루어지는 p형 광가이드층(27), p형  $Al_{0.2}Ga_{0.8}N$ 으로 이루어지는 p형 제1클래드층(28a),  $Al_{0.12}Ga_{0.88}N$ 으로 이루어지는 p형 제2클래드층(28b), p형 GaN으로 이루어지는 콘택트층(29)이 순차 적층되고, 적층된 반도체층의 일부가 도 14에 나타내는 바와 같이 드라이에칭 등에 의해 에칭되어 n형 GaN층(23)을 노출시키고, 그 표면에 n측 전극(31), 전술한 콘택트층(29)상에 p측 전극(30)이 각각 형성됨으로써 구성되어 있다.

한편, ZnO계 화합물 반도체도 와이드갭 에너지반도체로서, Cd를 혼합결정시킴으로써 밴드갭 에너지의 협소화가 이루어지며, 마찬가지로 청색계 발광을 시킬수 있는 것과, SAW장치나 초전소자, 압전소자 등에 사용되는 등의 이유로, 각종의 연구가 되기 시작하고 있다.

그리고, 이 ZnO계 화합물 반도체도 GaN계 화합물 반도체나 사파이어와 마찬가지로 6각형(hexagonal) 결정이며, 격자정수도 이들과 가깝기 때문에, GaN계 화합물 반도체의 에피택셜 성장용기판으로서 공업적으로 널리 사용되고 있는 주면이 C면인 (0001) 사파이어가, 기판으로서 고려되고 있다.

이 (0001) 사파이어 기판상에 대한 ZnO계 화합물 반도체의 성장은, 예를들면, 「Room temperature ultraviolet laser emission from self-assembled ZnO microcrystallite thin films, Applied Physics Letters, 제 72권 25호, 1998년 6월 22일호, 3270~3272쪽」에 기재되어 있다.

전술한 바와 같이, 종래의 청색계 반도체발광소자에서는, 기판으로서 C면을 주면으로 하는 (0001)사파이어 기판이 사용되고 있기 때문에, 기판에 도전성이 없고, 적층체의 상면과 하면에 전극이 형성되는 수직형의 소자(칩의 표면과 이면에 전극이 형성된 구조를 의미한다. 이하 동일하다)를 구성할 수가 없다.

이 때문에, 양쪽의 전극을, 적층한 반도체층의 표면과 그 일부를 에칭하여 노출시킨 하층의 반도체층에 설치하지 않으면 안되어, 제조공정이 복잡함과 동시에, 칩의 본딩도 복잡하게 된다는 문제가 있다.

또한, 사파이어 기판은 대단히 단단하기 때문에, 벽개 하는 것이 곤란하며, 반도체레이저의 광공진기의 경면으로서 필요한 평탄한 단면을 형성할 수 없다는 문제도 있다.

즉, 사파이어 기판은, 양호한 단결정반도체층이 얻어지는 것에 반해서, 제조공정상에서 소자제작시에, 가공성이나 전극형성에 어려움이 있다는 것을 강요받고 있다.

또, 사파이어의 c축 길이  $c_S$ 는 1.2991nm 이고, a축 길이  $a_S$ 가 0.4754nm인데 대하여, ZnO의 c축 길이  $c_Z$ 는 0.5213nm 이고 a축 길이  $a_Z$ 는 0.325nm이기 때문에, 격자부정합도  $\epsilon$ 은,  $\epsilon = (a_Z - a_S)/a_S = -31.6\%$ 로 대단히 크게 된다.

이 경우, 도 15에 나타내는 바와 같이, ZnO의 결정이 30°회전하여 성장하는 경우가 있으나, 그 경우에도 격자부정합도  $\epsilon$ 은  $\epsilon = (2/3^{1/2} \cdot a_Z - a_S)/a_S = -21.1\%$ 로 대단히 크다.

그 때문에, 특히 결정성장시의 기판온도나 Zn 및 O원소의 공급량, 기판의 표면처리방법이나, 경사각도 등의 각종의 매개변수가 복잡하게 작용하여, 결정성장면의 평탄성의 재현성이 결핍된다는 문제가 있다.

또, 사파이어와 ZnO로 격자정수가 정합되지 않기 때문에, 전술한 바와 같이 ZnO가 30°회전하여 성장하는 경우가 있고, 회전하지 않는 결정과, 30°회전하는 결정이 혼재해서, 더욱 결정성장면의 평탄성의 재현성이 결핍된다는 문제가 있다.

본 발명은 이와같은 문제를 해결하기 위해 이루어진 것으로서, 본 발명의 제1의 목적은, ZnO계 화합물 반도체를 사용하여, 칩의 표리양면으로부터 전극을 빼낼 수가 있는 수직형이고, 또한, 반도체층의 결정성이 우수하고, 발광효율이 높음과 동시에, 기판에 사파이어 기판을 사용하지 않고, 제조공정 및 사용면에서 편리한 구조로 되는 LED나 LD 등의 반도체발광소자를 제공하는데 있다.

본 발명의 제2의 목적은, 실리콘기판상에, ZnO계 화합물 반도체를 결정성 양호하게 성장시키기 위해 특히 적합한 실리콘기판의 표면처리를 포함하는 반도체발광소자의 제조방법을 제공하는데 있다.

본 발명의 제3의 목적은, 사파이어 기판을 사용해도, 결정성이 우수한 ZnO계 화합물결정층이 얻어지고, 소자의 특성을 향상시킨 반도체발광소자 등의 ZnO계 화합물을 사용하는 소자를 제공하는데 있다.

본 발명의 제4의 목적은, 사파이어 기판을 사용하면서 결정성이 우수한 ZnO계 화합물결정층을 얻을 수가 있는 ZnO계 화합물의 결정성장방법을 제공하는데 있다.

본 발명의 제5의 목적은, 사파이어 기판을 사용하면서, 결정성이 우수한 ZnO계 화합물 반도체를 사용하여, 발광특성이 우수한 LED 나 LD 등의 반도체 발광소자를 제공하는데 있다.

### 발명의 상세한 설명

본 발명자 등은, 상술한 바와 같이, 사파이어 기판상에 ZnO계 화합물 반도체를 성장시키는 것의 불편함을 해소하고, 제1 및 제2의 목적을 달성하기 위해, 대구경으로 취급하기 쉬운 실리콘기판을 사용하여 ZnO계 화합물 반도체를 성장시키도록 예의 검토를 거듭했다.

그 결과, 실리콘기판상에, 직접 ZnO계 화합물 반도체를 성장시키려고 해도, ZnO계 화합물이 비결정화해 버려 결정성이 양호한 반도체층을 얻을 수 없는 이유가, ZnO계 화합물을 성장시키기 위해 도입하는 라디칼산소에 의해, ZnO계 화합물 반도체가 성장하기 전에, 우선 실리콘기판의 표면이 강렬히 산화되어 비결정화하는 것에 있고, 실리콘기판의 표면에 질화처리를 실시하여 얇은 질화막을 형성함으로써, 실리콘기판 표면의 산화가 방지되어, 결정성이 우수한 ZnO계 화합물 반도체층을 성장시킬 수가 있고, 발광특성이 우수한 반도체발광소자가 얻어지는 것을 발견했다.

제1의 목적을 달성하기 위한 본 발명에 의한 반도체발광소자는, 실리콘기판과, 그 실리콘기판의 표면에 형성되는 실리콘 질화막과, 그 실리콘질화막상에 형성되고, ZnO계 화합물 반도체로 이루어지는 n형층 및 p형층을 적어도 갖고, 발광층을 형성하기 위해 적층되는 반도체 적층부를 포함하고 있다.

여기서 ZnO계 화합물 반도체란, Zn을 포함하는 산화물, 구체예로서는 ZnO외에 IIA족 원소와, Zn 또는 IIB족 원소와, Zn 또는 IIA족 원소 및 IIB족 원소와 Zn의 각각의 산화물인 것을 의미한다.

이하의 발명에 있어서도 동일하다.

이 구조로 함으로써, 실리콘기판의 표면에 실리콘질화막이 형성되어 있기 때문에, ZnO계 화합물 반도체층을 성장시키기 위한 라디칼산소가 도입되어도, 실리콘기판의 표면이 산화하여 거칠게 되는 일이 없고, 그 표면에 성장하는 ZnO계 화합물 반도체층도 결정성이 양호하게 성장한다.

그 결과, 결정성이 양호한 반도체 적층부가 얻어지고, 우수한 발광특성을 갖는 반도체발광소자가 얻어진다.

상기 실리콘질화막의 표면이 비결정화하지 않고 평탄면으로 형성되어 있는 것이, 그위에 성장되는 ZnO계 화합물 반도체층의 결정성이 더욱 양호하게 되기 때문에 바람직하다.

여기서 실리콘질화막의 표면이 평탄면으로 형성된다는 것은, 표면이 비결정화해서 요철이 심해지지 않고, 격자배열이 인식할 수 있는 정도의 표면상태를 말하며, 예를들면, 반사 고에너지 전자회절법[RHEED법; 10~50kV로 가속된 전자비임을 기관 표면에 얇은 각도(1~2°이하)로 입사시켜, 표면원자에 의해 반사 회절된 전자비임을 형광스크린에 투영해서 결정의 표면상태를 조사하는 방법)에 의해, 스트리크(줄무늬)의 상태로부터 점상(spotty)의 상이 나타나는 정도의 상태를 의미한다.

상기 실리콘질화막이, 10nm 이하의 두께로 형성되어 있는 것이, 실리콘질화막의 표면이 다결정화하지 않고, 평탄한 면이 되기 쉽기 때문에 바람직하다.

상기 반도체 적층부가  $Cd_xZn_{1-x}O$  ( $0 \leq x < 1$ )로 이루어지는 활성층을,  $Mg_yZn_{1-y}O$  ( $0 \leq y < 1$ )로 이루어지며 상기 활성층보다 밴드갭 에너지가 큰 클래드층에 의해 끼워지는 더블헤테로 구조를 갖는 것에 의해, ZnO계 화합물 반도체를 사용하여, 발광특성이 우수한 LED 나 LD가 얻어지기 때문에 바람직하다.

제2의 목적을 달성하기 위한 본 발명에 의한 반도체발광소자의 제조방법은, 실리콘기판을 질소가 존재하는 분위기하에서 열처리함으로써, 실리콘기판의 표면에 실리콘질화막을 형성하고, 그 실리콘질화막 상에 ZnO계 화합물 반도체로 이루어지고 발광층을 형성하는 반도체적층부를 성장시키는 것을 특징으로 한다.

이 방법을 사용함으로써, 실리콘기판의 표면에 산화를 방지하는 질화막이 형성되면서, 표면이 다결정화하지 않고, 실리콘기판의 결정면을 유지할 수가 있고, 그 표면에 결정성이 우수한 ZnO계 화합물 반도체를 성장시킬수 있음과 동시에, 실리콘질화막이 대단히 얇게 형성되고, 실리콘기판과 반도체적층부 사이의 도전성이 분단되지 않는다.

상기 실리콘질화막을 형성하는 처리를, 형성되는 실리콘질화막의 표면이 실리콘기판의 평탄면을 유지할 수 있도록 그 처리의 온도 또는 시간을 제어하면서 행하는 것이, 다결정화를 방지할 수가 있어서, 바람직하다.

즉, 예를들면, 650°C에서 질화처리를 행하는 경우, 5~10분 정도, 바람직하게는 7분 정도에서 질화처리를 행하면 우수한 결정성의 ZnO계 화합물 반도체층이 얻어지지만, 15분 정도를 행하면, 표면이 다결정화하고, 그위에 성장되는 ZnO계 화합물 반도체도 다결정화해서 결정성이 양호한 ZnO계 화합물 반도체층이 얻어지지 않는다.

또, 800°C로 질화처리를 행하는 경우, 3분 정도의 처리시간이라도, 우수한 결정성의 ZnO계 화합물 반도체층이 얻어지고, 역으로 질화처리의 온도를 낮게하면, 처리시간을 길게하는 쪽이 바람직하다.

이들의 조건은, 예를들면, 진술한 RHEED법에 의해 실리콘질화막의 표면상태를 검사함으로써, 실리콘질화막의 표면이 평탄면이 되도록 조건설정을 할 수가 있다.

또, 제3 내지 제5의 목적을 달성하기 위해, 본 발명자들은 사파이어 기관상에 ZnO계 화합물결정층을 성장시키면서도, 격자결합이 적고, 결정성이 양호한 ZnO계 화합물층을 성장시키기 위해 예의 검토를 거듭했다.

그 결과, 사파이어의 A면 등, C면과 직교하는 면을 주면으로 하는 기판 표면에 ZnO계 화합물 반도체층을 성장시킴으로써, 대단히 결정성이 우수하고, 발광특성 등 소자특성이 우수한 소자가 얻어지는 것을 발견했다.

제3의 목적을 달성하기 위한 본 발명에 의한 ZnO계 화합물층을 갖는 소자는, 사파이어 기판의 C면과 직교하는 면을 주면으로 하는 사파이어 기판과, 그 사파이어 기판의 상기 주면상에 에피택셜 성장된 ZnO계 화합물층을 갖고 있다.

여기서 사파이어 기판의 C면과 직교하는 면이란, 사파이어의 A면 외에 그 A면이 C면내에서 회전하는 면과 같이, C면과 직교하는 면을 의미하고, 직교(직각)에는, 통상의 기판제작 사양상 허용되는  $\pm 0.5^\circ$ 이내의 것을 포함하는 의미이다.

이 구조로 함으로써, 사파이어 기판의 c축 방향과, 직각방향으로 ZnO계 화합물층이 성장하기 때문에, 사파이어의 c축에 따라서, ZnO의 a축이 나란히 성장한다.

그 결과, c축 길이(1.2991nm)에 따라 ZnO계 화합물 4개분의 결정의 a축 길이 (0.325nm)가 나란히 되고, 결정의 정합도가 0.07% 정도로 대단히 좋게되어, 우수한 결정면이 얻어지는 것이라고 생각된다.

상기 사파이어 기판의 주면이 A면이면, 사파이어 기판이 용이하게 얻어지기 쉽기 때문에 바람직하다.

제4의 목적을 달성하기 위한 본 발명에 의한 ZnO계 화합물층의 결정성장방법은, 사파이어 기판의 c축과 상기 ZnO계 화합물층의 c축이 직교하도록 상기 ZnO계 화합물층을 에피택셜 성장시키는 것이다.

제5의 목적을 달성하기 위한 본 발명에 의한 반도체발광소자는, 사파이어 기판의 C면과 직교하는 면을 주면으로 하는 사파이어 기판과, 그 사파이어 기판의 상기 주면상에 에피택셜 성장된 ZnO계 화합물 반도체로 이루어진 n형층 및 p형층을 적어도 갖고, 발광층을 형성하기 위해 적층되는 반도체적층부를 포함하고 있다.

상기 C면과 직교하는 사파이어 기판의 주면으로서, 예를들면 A면을 사용할 수가 있다.

상기 반도체적층부가  $Cd_xZn_{1-x}O$  ( $0 \leq x < 1$ )로 이루어지는 활성층을,  $Mg_yZn_{1-y}O$  ( $0 \leq y < 1$ )로 이루어지고 상기 활성층보다 밴드갭 에너지가 큰 클래드층에 의해 끼워지는 더블헤테로 구조를 가짐으로써, ZnO계 화합물 반도체를 사용하여, 발광특성이 우수한 LED나 LD가 얻어지기 때문에 바람직하다.

## 실시예

다음에 도면을 참조하면서 본 발명의 실리콘기판을 사용하는 반도체발광소자 및 그 제조방법에 대해 설명한다.

실리콘기판을 사용하는 본 발명의 반도체발광소자는, 도 1에 그 일 실시형태인 LED칩의 사시설명도가 나타내는 바와 같이, 실리콘기판(1)의 표면에 실리콘질화막(2)이 형성되어 있고, 이 실리콘질화막(2)상에 ZnO계 화합물 반도체로 이루어진 n형층(3, 4) 및 p형층(6, 7)을 적어도 갖고, 발광층을 형성하도록 반도체적층부(11)가 적층되어 있다.

전술한 바와 같이, 본 발명자들은 실리콘기판상에 ZnO계 화합물 반도체를 결정상이 양호하게 성장시키기 위해 예의 검토를 거듭한 결과, 실리콘기판상에 직접 ZnO계 화합물 반도체를 성장시키려고 하면, ZnO계 화합물 반도체의 재료인 라디칼 산소가, 최초로 실리콘과 격렬히 반응하여, 표면이 비결정상이 되고 요철이 형성되며, 그것이 원인으로 결정성이 양호한 ZnO계 화합물 반도체층이 얻어지지 않는 것을 발견했다.

그리고, 실리콘기판의 표면을 우선 질화처리해서, 기판 표면의 가표(dangling bond)의 Si와 N을 화합시켜, 실리콘질화막을 표면에 얇게 형성함으로써 결정성이 우수한 ZnO계 화합물 반도체를 그 위에 성장시킬수 있는 것을 발견했다.

이 실리콘질화막은, 질소가스 혹은 암모니아가스 등의 질소가 존재하는 분위기하에서 열처리하여, 실리콘기판의 표면에 질화막을 형성함으로써 바람직한 결과가 얻어지지만, 질화처리를 지나치게 하면 오히려 그 위의 ZnO계 화합물 반도체가 다결정화해서 결정성이 우수한 ZnO계 화합물 반도체를 얻을 수가 없었다.

즉, 실리콘기판(1)을 세정처리해서 MBE(Molecular Beam Epitaxy; 분자선에피택시)결정성장장치에 넣고, 예를들면, NH<sub>3</sub>가스를 RF 전원으로서 플라즈마 여기시킨상태에서 MBE 결정성장장치에 도입하여, 실리콘질화막(2)을 형성하는 처리온도와 처리시간을 각종 변화시킨 때의, 그 위에 성장되는 ZnO계 화합물 반도체층의 막질의 상태를 조사했다.

그 검사결과가 표 1에 나타내고 있는 바와 같이, 650℃의 열처리를 7분간행하면, 대단히 막질이 좋고(2중 동그라미), 5분으로부터 10분간 행한 경우에는 양호한 ZnO계 화합물 반도체층의 막질이 얻어지지만(흰 동그라미), 동일한 온도로 15분간 열처리를 행하면, ZnO계 화합물 반도체층이 비결정화해서 바람직하지 않았다(×표).

또, 800℃에서 3분간의 질화처리를 행한 결과, 마찬가지로 ZnO계 화합물 반도체층의 양호한 막질이 얻어졌다.

표 1 질화처리의 온도와 시간에 대한 막질의 상태

처리온도(℃)	650	650	650	650	800
처리시간(분)	5	7	10	15	3
막질	○	◎	○	×	○

이 관계를 도 2에 나타내면, 양호한 막질이 얻어지는 범위로서는, 당연히 낮은 온도에서는 처리속도가 늦기 때문에, 긴 처리시간으로 같은 모양의 막질이 얻어지고, 도 2의 실선으로 둘러싸이는 범위 P의 조건에서 처리를 행함으로써, 양호한 막질의 실리콘질화물이 얻어지며, 그위에 성장되는 ZnO계 화합물 반도체층도 양호한 막질이 얻어지는 것이 예상된다.

이 막질의 검사는, 도 3(a)에 나타내는 바와 같이, 일반적으로 MBE장치에 장비되어 있는 반사 고에너지전자회절법(RHEED 법)이라고 불리는 방법, 즉, 전자총(51)에 의해, 10~50kv로 가속된 전자비임(52)을 기관(53) 표면에 얇은 각도(1~2°이하)(θ)로 입사시켜, 표면원자에 의해 반사회절된 전자비임(54)을 형광스크린(55)으로 투영해서 결정의 표면상태를 조사하는 방법을 사용하고, 전자의 가속전압을 20kV로 행했다.

이 방법으로 행함으로써, 전자비임의 입사, 반사, 회절비임의 계측이 얇은 각도에서 행해지기 때문에 거의 기관(53)에 수직인 방향으로부터 행해지는 분자선의 공급에 영향을 미치지 않고, 막을 형성하면서 측정할 수가 있다.

이 회절상으로서의 기관 표면이 결정구조이면, 직선 또는 띠상의 명암(줄무늬형상)이 나타나지만 기관 표면에 요철이 나타나서 아일랜드가 형성되면, 이들 아일랜드를 투과회절한 전자비임의 기여가 커지게 되어, 줄무늬형상은 소실되어서 점상(spotty)의 상이 나타난다.

또, 표면이 다결정체가 되면, 점상이 소실되어서 링상의 회절상이 얻어진다.

이것은 미세결정의 방위가 랜덤으로 분포되어 있는 것에 의해 생긴다.

또한, 표면이 비결정형이 되면, 원자배열의 주기성이 없어지고, 따라서, 회절조건은 만족시킬수 없게 되어, RHEED선은 일정한 강도의 띠상(halo)으로 된다.

따라서, 이 측정에 의해 실리콘질화막(2)의 표면상태를 관찰하면서, 그 위에 성장되는 ZnO계 화합물 반도체의 막질을 동일하게 조사함으로써 양자간의 상관성이 얻어진다.

이 표면상태의 측정을 행하면서, 실리콘기판(1)의 표면의 질화처리를 우선 행하면, 처음에는 실리콘기판의 표면에 산화막이 형성되어 있기 때문에, 표면의 평탄성은 없고, 도 3(c)에 나타내는 바와 같은 링상의 회절상이 얻어진다.

이 상태에서, 전술한 NH<sub>3</sub>가스를 RH전원으로 플라즈마 여기시킨 상태에서, MBE장치의 챔버내에 도입하여, 홀더(기관)를 650℃ 정도로 온도상승시키면, 실리콘기판(1)의 표면의 산화한 산소가 환원되어서 제거되고, 표면상태는 도 3(b)에 나타내는 바와 같이, 점상의 상이 나타난다.



이 상태에서 유지하면, 표면의 산소가 제거되어서, 가표 (dangling bond) 가 된 Si 와 N가 화합해서 실리콘질화물이 형성되고, 질화처리가 계속되지만, 10nm정도 이하의 질화막(2)의 두께로서는 회절상은 상술한 점상의 상이 유지된다.

그러나, 10분보다 길게 질화처리를 계속하면, 점상의 상이 흐려지고, 15분 정도 행하면 재차 도 3(c)에 나타내는 것과 같은 링상의 상이 된다.

즉, 전술한 양호한 막질이 얻어지는 것은, 도 3(b)에 나타내는 것과 같은 점상의 회절상이 얻어지는 상태로부터 약간 점상의 상이 희미해지는 상태의 평탄성이 있는 질화막의 상태로 ZnO계 화합물 반도체가 성장되는 경우로서, 도 3(c)에 나타내는 것과 같은 링상의 회절상이 되면, 질화처리가 과대해져서 표면상태의 요철이 현저하게 되고, 그 상태에서는 그위에 성장되는 ZnO계 화합물 반도체의 결정성이 저하한다.

따라서, 표면이 비결정화해서 요철이 격렬하게 되지 않도록 평탄성을 유지하는 질화처리를 행함으로써 양호한 ZnO계 화합물 반도체의 막질이 얻어진다.

실리콘기판(1)은, 통상의 IC등에 사용되는 예를들면, 인(P)도핑의 n형 실리콘기판(111)을 사용할 수가 있다.

그러나, 붕소(B)등을 도핑한 p형 기판이나, 면방위가 (100)인 것이라도 된다.

이 실리콘기판(1)은, 미리 아세톤, 메탄올, 및 순수에 의한 초음파세정 등의 유기세정과, 희석불산에 의한 표면산화막의 라이트에칭으로 이루어진 기판세정이 행해진다.

실리콘질화막(2)은 전술한 바와 같이, 질소가 존재하는 분위기하에서, 열처리를 함으로써 형성하는 것이, 실리콘기판(1)의 표면이 다결정이나, 비결정상태로 되지 않는 상태로 형성하기 쉽기 때문에 바람직하다.

이 질화처리는, 전술한 바와 같이, MBE장치일 필요는 없으나, 그 표면상태를 관찰하면서 처리를 행하는 경우에는 MBE장치이면, 전술한 바와 같이, RHEED법에 의해 관찰을 하면서 처리를 할 수가 있기 때문에 바람직하다.

또, 질소가 존재하는 분위기로 하기 위해서는, 전술한 예에서는, 암모니아가스를 플라즈마 여기시켜서 사용했으나, N<sub>2</sub>가스를 플라즈마 여기시킬수도 있고, 또한, NO<sub>2</sub>를 사용할수도 있다.

이 실리콘질화막(2)은, 전술한 바와 같이, 다결정상태가 되지 않고, 평탄면이 얻어지는 상태가 되도록 처리된다.

즉, 두께로 10nm 이하, 더욱 바람직하게는, 5nm 이하의 두께로 되도록 형성된다.

그를 위한 조건은 처리온도와 처리시간으로 조정되고, 온도가 높으면 단시간에, 낮은 온도이면 비교적 긴 시간의 처리에 의해 얻어진다.

반도체적층부(11)는, 도 1에 나타내는 예에서는, Ga를 도핑한 n형 ZnO로 이루어진 콘택트층(3)이 1 $\mu$ m정도, 동일하게 Ga를 도핑한 Mg<sub>y</sub>Zn<sub>1-y</sub>O(0≤y<1, 예를들면 y=0.15)로 이루어진 n형 클래드층(4)이 0.2 $\mu$ m정도, Cd<sub>x</sub>Zn<sub>1-x</sub>O(0≤x<1, 또한, 클래드층보다 밴드갭 에너지가 적게되는 조성, 예를들면 x=0.08)로 이루어진 활성층(5)이 0.1 $\mu$ m정도, Ga 및 N를 동시에 도핑한 Mg<sub>y</sub>Zn<sub>1-y</sub>O(0≤y<1, 예를들면 y=0.15)로 이루어진 p형 클래드층(6)이 0.2 $\mu$ m정도, Ga 및 N를 동시에 도핑한 ZnO로 이루어진 p형 콘택트층(7)이 1 $\mu$ m정도, 각각 적층됨으로써, 더블헤테로 구조의 발광층형성부를 갖는 반도체적층부(11)로 되어 있다.

이들 반도체층은, 전술한 MBE장치에서 질화처리에 이어서 성장된다.

또한, 활성층(5)은 비발광 재결합 중심의 형성을 피하기 위해, 도핑되지 않은 것이 바람직하다.

또, n형, 및 p형 클래드층(4, 6)은 활성층(5)보다 밴드갭이 크고, 캐리어를 활성층(5)내에 유효하게 가두어 넣는 효과를 갖도록 형성되어 있다.

반도체적층부(11)상에는 전류를 확산시키기 위한, 예를들면, ITO막으로 이루어진 투명전극(8)이 0.2 $\mu$ m정도 막으로 형성되어 있고, 그 표면의 일부에 Ni/Al 또는 Ni/Au 등의 적층체로 이루어진 p측 전극(10)이 리프트오프법 등에 의해, 또, 실리콘기판(1)의 이면에는 Ti/Al 또는 Ti/Au 등의 적층체로 이루어진 n측 전극(9)이 진공증착 등에 의해 전면에 형성되어 있다.

다음에 이 LED의 제조방법에 대해 설명한다.

예를들면, MBE장치내에 실리콘기판(1)을 설치하여, 기판(1)의 온도를 650 $^{\circ}$ C 정도로 하고, NH<sub>3</sub>가스를 유량 0.6sccm으로 도입하여, 출력 300W 정도의 고주파전원으로 플라즈마 여기시킨 상태로 챔버내로 도입한다.

이 정도의 유량으로 하는 것이, 플라즈마 여기광이 강하게 얻어지기 때문에 바람직하다.

그리고, 7분 정도 질화처리를 행한다.

다음에 기판(1)의 온도를 300~450 $^{\circ}$ C 정도로 하고, 플라즈마산소의 조사조건하에 있어서, Zn의 소스원(셀)의 셔터를 개방하여 Zn을 조사함과 동시에, n형도펀트인 Ga의 셔터도 개방해서 n형의 ZnO로 이루어진 n형 콘택트층(3)을 1 $\mu$ m정도 성장시킨다.

이어서, 추가적으로, Mg의 소스원(셀)의 셔터도 개방하여, Mg<sub>0.15</sub>Zn<sub>0.85</sub>O로 이루어진 n형 클래드층(4)을 0.2 $\mu$ m정도 성장시킨다.

다음에 활성층(5)을 성장시키기 위해 Mg셀 및 도펀트인 Ga셀을 폐쇄하고, Cd소스메탈의 셀의 셔터를 개방해서 Cd를 조사하여, Cd<sub>0.08</sub>Zn<sub>0.92</sub>O를 0.1 $\mu$ m정도 성장시킨다.

이어서, Cd의 셀의 셔터를 폐쇄하여, 재차 Mg의 셀 및 Ga의 셀을 개방하고, 추가적으로, p형 도펀트로서의 플라즈마 여기 N<sub>2</sub>를 도입한다.

Ga는 n형 도펀트이지만, 플라즈마 여기 N<sub>2</sub>와 동시도핑함으로써 효과적으로 p형화될 수 있기 때문에, 동시에, 도핑하고 있다.

그리고, Mg<sub>0.15</sub>Zn<sub>0.85</sub>O로 이루어진 p형 클래드층(6)을 0.2 $\mu$ m정도 성장시키고, 마찬가지로 동시도핑하여 p형 ZnO로 이루어진 p형 콘택트층(7)을 1 $\mu$ m정도 성장시킴으로써 반도체적층부(11)를 성장시킨다.

그후, MBE장치에 의해 에피택셜 성장이 이루어진 웨이퍼를 빼내어, 예를들면, 스퍼터링장치에 넣어, ITO막을 형성하고, 투명전극(8)을 0.2 $\mu$ m정도의 두께로 형성한다.

그후, 기판(1)의 이면을 연마하여, 100 $\mu$ m정도의 두께로 하고, 진공증착 등에 의해 기판(1)의 이면에 Ti/Al 등으로 이루어진 n측전극(9)를 전면, ITO(8)막상의 일부에 Ti/Al 등으로 이루어진 p측전극(10)을 예를들면, 리프트오프법 등에 의해 각각 0.2 $\mu$ m정도씩 형성한다.

그후, 웨이퍼로부터 질화함으로써, 도 1에 나타내는 바와 같은 LED칩이 얻어진다.

본 발명의 실리콘기판을 사용한 반도체발광소자에 의하면, 실리콘기판의 표면에 질화실리콘막이 형성되고, 그 위에 ZnO계 화합물 반도체층이 적층되어 있기 때문에, ZnO계 화합물 반도체층이 결정상이 양호하게 성장되어 있고, 실리콘기판을 사용한 청색계 반도체발광소자가 사파이어 기판상에서 성장하는 것과 같은 높은 발광효율로 얻어진다.

즉, 종래에는 실리콘기판상에 ZnO계 화합물 반도체를 성장시켜도 막질이 나쁘고, 비발광 재결합 중심이 많기 때문에 발광효율이 대단히 나빴으나, 본 발명에 의해 실리콘기판을 사용한 청색계 반도체발광소자가 얻어졌다.

한편, 질화실리콘막은 10nm이하로 대단히 얇은 층이며, 상하의 도전성반도체층에 끼워짐으로써 거의 전압강하를 하는 일이 없이 도통성을 갖는다.

그 결과, 칩의 상하로부터 p측전극 및 n측전극을 각각 빼낼 수가 있는 수직형의 발광소자로 되고, 전극형성을 위해 적층된 반도체층의 일부를 에칭할 필요가 없어지고, 대단히 제조공정이 간략화됨과 동시에, 발광소자를 장착시키는 경우에 양전극을 와이어 본딩하지 않고, 한쪽은 다이본딩에 의해 직접 전극을 접속할 수가 있어, 와이어본딩을 감소시킬 수가 있고, 사용면에서도 대단히 편리하게 된다.

또, 후술하는 것과 같은 LD를 형성하는 경우에, 광공진기의 단면을 경면으로 하는 것이 바람직하지만, 실리콘기판상에 입방결정의 반도체층이 적층됨으로써 기판으로부터 반도체적층부가 입방결정에 의해 정렬되기 때문에, 사파이어 기판에 비해 벽개를 하는 것이 용이하며, 광공진기의 단면을 벽개면으로 형성할 수가 있다.

그 결과, 발진특성이 양호한 청색계 반도체레이저를 얻을 수가 있다.

전술한 예는 LED의 예였으나, LD라도 마찬가지이다.

이 경우, 반도체적층부(11)가 약간 다르고, 예를들면, 도 4에 단면설명도가 나타내고 있는 바와 같이, 활성층(15)은 비도핑  $Cd_{0.03}Zn_{0.97}O/Cd_{0.2}Zn_{0.8}O$ 로 이루어지는 배리어층과 웰층을 각각 5nm 및 4nm씩 교대로 2~5층씩 적층한 다중양자 우물구조에 의해 형성하는 것이 바람직하다.

또, 활성층(15)이 얇아, 충분히 광을 활성층(15)내에 가두어 넣을수 없는 경우에는 예를들면, ZnO로 이루어진 광가이드층(14, 16)이 활성층(15)의 양측에 형성된다.

또한, 도 4에 나타내는 예에서는, 전류협착층(17)을 매립한 SAS형 구조의 LD칩의 예로서 p형  $Mg_{0.15}Zn_{0.85}O$ 으로 이루어진 p형 제1클래드층(6a)상에 예를들면, n형  $Mg_{0.2}Zn_{0.8}O$ 로 이루어진 전류협착층(17)이 0.4 $\mu$ m정도 형성되고, 일단 결정성장장치로부터 웨이퍼를 빼내어 표면에 레지스트막을 형성해서 스트라이프상으로 패터닝하여, NaOH 등의 알칼리용액에 의해 전류협착층(17)을 스트라이프상으로 에칭해서, 스트라이프홈(18)이 형성되고, 재차 MBE장치에 웨이퍼를 복귀시켜, p형  $Mg_{0.15}Zn_{0.85}O$ 으로 이루어진 p형 제2클래드층(6b) 및 p형 ZnO로 이루어진 p형 콘택트층(7)이 전술한 예와 마찬가지로 성장됨으로써 형성되어 있다.

이 경우에는 ITO로 이루어진 투명전극은 불필요하고, p형 콘택트층(7)상에도 거의 전면이 p측 전극(10)이 형성되어 있다.

또한, 도시되어 있지 않으나, p형 제1클래드층(6a)과, 전류협착층(17) 사이에 p형 GaN으로 이루어진 에칭스톱층이 형성되어 있는 것이 바람직하다.

ZnO계 화합물 반도체는, 웨트에칭에 의해 에칭처리를 할 수가 있기 때문에, GaN계 화합물 반도체에서는 어려웠던 전류협착층을 매립하는 SAS형구조의 LD칩을 형성할 수가 있고, 활성층의 가까이에 전류협착층을 형성할 수가 있어, 고품질의 반도체레이저가 얻어진다.

그러나, LD칩의 구조는 SAS형 구조에 한정되지 않고, p측전극을 스트라이프상으로 한 것 만큼의 전극 스트라이프구조나, 스트라이프상 전극의 양측의 반도체층을 p형 클래드층의 상부까지를 메사형형상으로 에칭하는 메사스트라이프구조나 프로톤 등을 투입한 프로톤 투입형으로 할 수도 있다.

전극 스트라이프구조의 LD칩의 예를 도 5에 나타낸다.

이 구조는 p측전극(10)이 스트라이프상으로 패터닝되어 있는 것과, 전류협착층이 형성되어 있지 않은 점에서 도 4의 구조와 다른 것 뿐이며, 다른 구조는 도 4와 거의 동일하고, 동일한 부분에는 동일부호를 부여해서 그 설명을 생략한다.

또한, 6은 p형 클래드층이다.

이와같은 구조로 해도, 기판에 실리콘이 사용되고 있기 때문에, 상하 양면으로부터 양전극을 빼낼 수가 있고, 제조면 및 사용면의 양측에서 대단히 편리함과 동시에, 광공진기의 단면을 벽개에 의한 벽개면으로 형성할 수가 있기 때문에, 고품질의 반도체레이저가 얻어진다.

전술한 예에서는 LED로서 더블헤테로구조의 예였으나, 단순한 pn접합이나 MIS(금속-절연층-반도체층)구조 등 다른 구조로 할 수도 있다.

또, LD칩의 구조도 광가이드층이 없이, 다른 층이 형성되거나 전술한 적층구조에 한정되는 것은 아니다.

또한, 실리콘기판의 질화처리나 그후의 ZnO계 화합물 반도체의 성장에 MBE장치를 사용해서 행했으나, MOCVD장치 등을 사용해서 질화처리 및 그후의 반도체층의 성장을 행해도 그 조건만 설정되면, 일일이 표면상태를 관찰하면서 행할 필요는 없이, 마찬가지로의 표면상태를 형성할 수가 있고, 다른 방법으로 제조할 수도 있다.

실리콘기판을 사용하는 본 발명에 의하면, 실리콘기판상에 ZnO계 화합물 반도체를 성장시킬 수가 있고, 상하 양면에 전극을 형성하는 수직형의 청색계 반도체발광소자가 얻어진다.

이 때문에, 제조공정이 간단하고, 비용절감을 행할 수가 있음과 동시에, 사용단계에서도 와이어본딩을 감소시킬 수가 있고, 사용하기 쉬운 반도체발광소자가 값싸게 얻어진다.

또, 벽개할 수가 있기 때문에, 우수한 단면을 갖는 레이저공진기가 얻어지고, 높은 기억밀도를 갖는 광디스크나, 레이저비임 프린터의 고정세화에 이용될 수 있는 단파장의 고성능 반도체레이저가 얻어진다.

다음에 C면과 직교하는 면을 주면으로 하는 사파이어 기판을 사용한 본 발명에 의한 ZnO계 화합물층을 사용한 소자, 및 이들 소자를 제조하기 위한 ZnO계 화합물층의 결정성장방법에 대해 설명한다.

C면과 직교하는 면을 주면으로 하는 사파이어 기판을 사용한 본 발명에 의한 ZnO계 화합물층을 갖는 소자는, 도 6에 그 일 실시형태인 A면을 주면으로 하는 사파이어 기판(1a)상에, ZnO계 화합물층을 성장시킨 단면설명도가 나타내고 있는 바와 같이, 사파이어 기판(1a)의 C면과 직교하는 면, 예를들면, A면(11-20)을 주면으로 하는 사파이어 기판(1a)의 상기 주면(A면)상에 ZnO계 화합물층(2)이 에피택셜 성장되어 있다.

이 ZnO계 화합물층의 성장은, 목적으로 하는 소자에 의해 필요한 조성(Mg 나 Cd등을 혼합결정시키거나 도펀트를 도핑하거나 한다)으로 하거나, 필요한 두께로 성장된다.

예를들면, 반도체발광소자를 구성하는 경우에는, 후술하는 바와 같이, 예를들면, ZnO계 화합물 반도체층으로 이루어진 n형 클래드층과 p형 클래드층으로 클래드층보다 밴드갭이 작은 활성층을 끼워맞추는 발광층형성부를 구성하도록 순차로 적층된다.

사파이어의 A면은 도 7(a)에 사파이어 단결정의 대표적인 면방위가, 도 7(b)에 단결정의 C면의 정면도가 나타내는 바와 같이, C면의 격자에서, 하나 건너의 격자를 연결하는 선분의 C면과 수직인 면으로 사파이어 단결정의 (11-20)의 면방위로 표시되는 면이다.

이 면방위는 6회 대칭으로 도 7(b)에 나타내는 바와 같이, 하나의 6각주로서 형성되는 결정으로서, 6개소가 있다.

이 A면이면, 후술하는 바와 같이, 사파이어의 c축 길이에 ZnO의 a축 길이가 4개분으로 대응해서 우수한 결정구조가 얻어진다고 생각할 수 있으나, 이 생각에 기초하면, 반드시 A면일 필요는 없고, 도 7(b)의 X로 표시되는 바와 같이, A면이 C면 내에서 회전하는 것과 같은 면이라도 C면에 대해서 직각으로 되고, 이와같이, C면에 직교하는 면이면 된다.

또한, 이 C면에 대해서 직각(직각으로 교차)이라는 것은, 거의 직각이라는 정도의 것으로서, 통상의 면방위의 오차인  $\pm 0.5^\circ$  정도의 범위는 결정축 길이의 어긋남에는 영향을 미치지 않는다.

이 사파이어 기판(1a)상에 ZnO계 화합물층을 성장시키기 위해서는, 우선 A면을 주면으로 하는 사파이어의 웨이퍼(1a)를 아세톤, 에탄올을 사용해서 탈지세정을 하고, 최후에 순수세정을 한다.

그후, 세정웨이퍼를 로드록(load lock)실에 넣고,  $133 \times 10^{-6}$ Pa 정도 이하의 진공도 중에서  $400^\circ\text{C}$  정도로 1시간 정도의 예비가열을 하여, 여분의 수분을 비산시킨다.

예비가열종료후,  $133 \times 10^{-9} \sim 133 \times 10^{-10}$  Pa 정도의 진공도로 유지된 MBE (Molecular Beam Epitaxy) 장치로 반입시킨다.

그리고, 800°C 정도로 30분 정도의 서멀 크리닝을 한 후에 650°C 정도로 한다.

그리고,  $O_2$  라디칼을 13.56MHz의 RF에 의해 플라즈마화함으로써 공급하고, Zn의 셀의 셔터를 개방함으로써 ZnO층(2)이 에피택셜 성장한다.

또, Mg나 Cd 등을 혼합결정하거나, 도펀트를 도핑하는 경우에는, 그들의 원소의 셀을 개방함으로써 원하는 ZnO계 화합물층을 얻을 수가 있다.

또한, 이 예에서는, 세정후의 서멀 크리닝을 800°C 정도로 30분 정도 행하였지만, 1000°C 정도로 1시간 정도의 어닐처리를 행하면 성장하는 ZnO층의 결정성의 재현성이 대단히 향상하는 것이 확인되었다.

이와 같이, A면을 주면으로 하는 사파이어 기판의 표면에 에피택셜 성장한 ZnO막의 결정상태를 조사하기 위해, 수백 nm 정도의 두께로 에피택셜 성장한 ZnO막의 표면에 X선을 조사하여, 그 반사강도 분포에 의해 얻어지는 면의 법선 방향의 위치를 그 면방향과 함께 도 8에 나타낸다.

도 8(a)이 본 발명의 A면을 주면으로 하는 사파이어 기판상에 성장한 막에 있어서의 면의 법선방향의 위치를 나타내는 도면이고, 도 8(b)가 C면을 주면으로 하는 사파이어 기판상에 성장한 ZnO막에 있어서의 면의 법선방향의 위치를 나타내는 도면이다.

ZnO는 a축 방향으로 6회 대칭이므로, 본래 6점 밖에 회절 패턴(면의 법선방향의 위치)이 나타나지 않을 것이지만, 도 8(b)에 나타내는 C면상에 성장한 ZnO막에서는, ZnO의 a축과 사파이어의 a축이 평행인 곳 외에, ZnO의 a축이 사파이어의 a축에 대하여 30°회전한 패턴이 들어가 섞이고, 12점의 패턴이 관찰되고 있다(실제로는, 30°회전 위치의 패턴은 강도가 약하고, 그 비율이 적은 것을 나타내고 있다).

이에 대하여, 도 8(a)에 나타내는 바와 같이, 본 발명의 A면상에 성장시킨 ZnO막은, ZnO의 A면과 사파이어의 C면이 평행하게 되고, ZnO는 일정한 결정방향으로 사파이어의 c 축방향으로 성장하고, 6회 대칭의 회절패턴만이 관찰되고 있다. 즉, 30°회전한 결정성장은 하고 있지 않은 것을 알 수 있다.

또, MBE법에 의해 1분 정도 성장한 상태(수십 nm정도의 두께)로, RHEED법(반사 고에너지 전자회절법; 전자총에 의해 10~50kV로 가속된 전자 비임을 기판 표면에 얇은 각도(1~2°이하)로 입사시켜, 표면원자에 의해 반사회절된 전자비임을 형광 스크린에 투영하여 결정의 표면상태를 조사하는 방법)에 의해 조사한 결과, 사파이어의 C면상에 성장한 막에서는, 본래의 ZnO 패턴의 사이에 얇은 패턴이 나타나지만, 본 발명의 A면상에 성장한 ZnO 막에서는, 면내 배향의 산란이 없는 본래의 ZnO의 패턴만이 관찰된다.

도 9는, ZnO막의 결정상태를 또한 별도의 방법으로 조사한 것으로, 이 ZnO의 밴드갭 에너지 보다 큰 4eV 정도의 광을 조사하여 포토 루미네센트 발광을 시킨 것의 파장에 대한 발광강도를 나타낸 도면이다.

도 9의 A로 나타내는 특성이, 본 발명의 A면을 주면으로 하는 사파이어 기판상에 성장한 ZnO막의 특성이고, C로 나타내는 특성이 C면을 주면으로 하는 사파이어 기판상에 성장한 ZnO의 특성이다.

도 9로부터도 명확한 바와 같이, 본 발명의 ZnO막에서는, C면상에 성장한 ZnO막보다 약 30배 강도의 발광이 얻어지며, 그 반값 폭도 C면상에 성장한 것이 30meV인 것에 대하여, 본 발명의 A면에 성장한 것은 0.7meV로 적고, 밝기에 양호한 결정이 얻어지는 것으로 나타나 있다.

본 발명에 의하면, C면과 직교하는 A면을 주면으로 하는 사파이어 기판상에 ZnO계 화합물을 성장시키고 있기 때문에, 기술한 바와 같이, 결정성이 우수한 ZnO계 화합물층이 얻어졌다. 그 이유는 다음과 같이 생각된다.

즉, 사파이어의 c축 길이  $c_s$ 는, 전술한 바와 같이, 1.2991nm이며, ZnO의 a축 길이  $a_z$ 는, 0.325nm이므로,  $c_s$ 가 거의  $4a_z$ 로 된다. 그 때문에, 도 10에 A면을 주면으로 하는 사파이어 기관상에 성장하는 ZnO의 결정상태(C면)의 평면도가 나타내는 바와 같이, 사파이어의 c축 길이  $c_s$ 에 2개분의 ZnO 결정(a축이 4개분의 결정)이 배열되어, 대단히 면내 배향이 안정되고, 향시 일정한 면내 배향으로 성장하는 것으로 생각된다.

이 때의 격자 정합도  $\varepsilon$ 은,  $\varepsilon = (4 \times a_z - c_s) / c_s = 0.07\%$ 로 되고, 대단히 정합도가 높게 되어 있다. 그 결과, 높은 결정성을 유지하여 성장할 수가 있다.

이 관점으로부터는, A면이 아니라도, 전술한 도 7에 나타내는 X면과 같이, A면이 C면내에서 회전한 면, 즉, C면과 직교하는 면이면, 전술한 도 10에 나타내는 바와 같이, 사파이어의 c축 길이에, ZnO의 a축 길이 4개분이 대응하도록 ZnO계 화합물 결정이 배열되며, 마찬가지로 결정성이 좋은 ZnO계 화합물 결정층이 얻어지는 것이 추찰된다.

다음에, 이 A면(11-20)을 주면으로 하는 사파이어 기관을 사용하여, ZnO계 화합물 반도체층을 성장시킨 청색계 반도체발광소자의 구성예에 대하여 설명을 한다.

C면과 직교하는 면을 주면으로 하는 사파이어 기관을 사용한 본 발명의 반도체발광소자는, 도 11에 LED칩의 사시설명도가 나타내는 바와 같이, A면을 주면으로 하는 사파이어 기관(1a)의 표면에 ZnO계 화합물 반도체로 이루어지는 n형 층(3, 4) 및 p형 층(6, 7)을 적어도 갖고, 발광층을 형성하도록 반도체 적층부(11)가 적층되어 있다.

반도체 적층부(11)는, 도 11에 나타내는 예에서는, Ga를 도핑한 n형 ZnO로 이루어지는 콘택트층(3)이  $1\mu\text{m}$  정도, 마찬가지로 Ga를 도핑한  $\text{Mg}_y\text{Zn}_{1-y}\text{O}$  ( $0 \leq y < 1$ , 예를 들면  $y=0.15$ )로 이루어지는 n형 클래드층(4)이  $0.2\mu\text{m}$  정도,  $\text{Cd}_x\text{Zn}_{1-x}\text{O}$  ( $0 \leq x < 1$ , 또한 클래드층 보다 밴드갭 에너지가 작게 되는 조성, 예로서  $x=0.08$ )로 이루어지는 활성층(5)이  $0.1\mu\text{m}$  정도, Ga 및 N을 동시에 도핑한  $\text{Mg}_y\text{Zn}_{1-y}\text{O}$  ( $0 \leq y < 1$ , 예를 들면  $y=0.15$ )로 이루어지는 p형 클래드층(6)이  $0.2\mu\text{m}$  정도, Ga 및 N을 동시에 도핑한 ZnO로 이루어지는 p형 콘택트층(7)이  $1\mu\text{m}$  정도, 각각 적층되는 것에 의해, 더블헤테로 구조의 발광층 형성부를 갖는 반도체 적층부(11)로 되어 있다.

이들의 반도체층은, 전술한 MBE장치로 연속적으로 성장된다.

또, 활성층(5)은, 비발광 재결합 중심의 형성을 회피하기 위해, 도프되지 않은 것이 바람직하다. 또한, n형 및 p형 클래드층(4, 6)은, 활성층(5) 보다 밴드갭이 크고, 캐리어를 활성층(5)내에 유효하게 밀폐하는 효과를 갖도록 형성되어 있다.

반도체 적층부(11)상에는, 충진을 확산시키기 위해, 예를 들면 ITO막으로 이루어지는 투명전극(8)이  $0.2\mu\text{m}$  정도 성막되어 있으며, 그 표면의 일부에 Ni/Al 또는 Ni/Au 등의 적층체로 이루어지는 p측 전극(10)이 리프트오프법 등에 의해, 또한, 반도체 적층부(11)의 일부가 에칭에 의해 제거되며, 노출하는 n형 콘택트층(3)상에, Ti/Al 또는 Ti/Au 등의 적층체로 이루어지는 n측 전극(9)이 진공 증착 등에 의해 형성되어 있다.

다음에, 이 LED의 제조방법에 대하여 설명한다.

전술한 바와 같이, A면을 주면으로 하는 사파이어 기관(1)을 아세톤 등에 의해 탈지세정하고, Load Lock실에서 예비 가열, MBE장치내에서의 서멀 크리닝을 한 후,  $650^\circ\text{C}$  정도로 하여 산소 라디칼을 공급함과 동시에, Zn, Mg, Cd, Ga 등의 원하는 재료의 셀의 셔터를 개방함으로써, 전술한 조성의 ZnO계 화합물 반도체층을 각각 전술한 두께로 되도록, 순차 에피택셜 성장시켜, 반도체 적층부(11)를 형성한다.

또, n형 층을 형성하는 경우에는 도펀트로서 Ga를 도핑하고, p형 층을 형성하는 경우에는 도펀트로서  $\text{N}_2$ 플라즈마와 Ga를 동시에 도핑한다.

그 후, MBE장치에 의해 에피택셜 성장이 된 웨이퍼를 꺼내고, 반응성 이온 에칭(RIE) 등의 드라이 에칭법에 의해, 반도체 적층부의 일부를 에칭하여, n형 콘택트층(3)을 노출시킨다.

이 에칭은, 황산계 에칭제 등에 의한 웨트 에칭에 의해 행할 수도 있다.

그 후, 예를 들면 스퍼터장치에 넣고, p형 콘택트층(7)상에 ITO를 성막시키고, 투명전극(8)을 0.2 $\mu$ m 정도 두께로 형성한다.

그 후, 리프트 오프법 등에 의해 n형 콘택트층(3) 상에 Ti/Al 등으로 이루어진 n층 전극(9)을, ITO 막(8) 상의 일부에 Ti/Al 등으로 이루어진 p층 전극(10)을 각각 0.2 $\mu$ m 정도씩 형성한다. 그 후, 웨이퍼로부터 질화하는 것에 의해, 도 11에 나타내는 LED칩이 얻어진다.

사파이어 기판을 사용하는 본 발명의 반도체발광소자에 의하면, A면을 주면으로 하는 사파이어 기판의 표면에 ZnO화합물 반도체층이 에피택셜 성장되어 있기 때문에, 사파이어의 c축 길이와 ZnO 화합물의 4개의 a축 길이가 정합하여 배열되어, 결정성이 좋은 ZnO 화합물 반도체층이 성장한다.

그 위에 성장되는 ZnO계 화합물 반도체층도 ZnO와 동종의 화합물이며, ZnO층의 결정에 따라 조합된 결정층이 성장된다.

그 결과, 막의 질이 나쁜 경우와 같이 비발광 재결합 중심이 발생하는 일 없이, 내부 양자 효율이 큰폭으로 향상되고, ZnO계 화합물이 갖는 높은 여기자(exciton)와 함께 작용하여, 대단히 높은 발광효율의 반도체발광소자가 얻어진다. 또, A면을 주면으로 하는 사파이어 기판상에 성장하는 화합물 반도체층은, ZnO가 아니어도, Zn의 일부가 Mg나 Cd 등과 치환된 ZnO계 화합물 반도체에서도 격자 정수에 거의 변화는 없어, 마찬가지로 결정성 좋게 성장할 수가 있다.

전술한 예에서는, LED의 예를 설명하였지만, LD로도 마찬가지이다.

이 경우, 반도체적층부(11)가 약간 다르고, 예를 들면 도 12에 사시 설명도가 나타내는 바와 같이, 활성층(15)은 비도프  $Cd_{0.03}Zn_{0.97}O/Cd_{0.2}Zn_{0.8}O$ 로 이루어지는 베리어층과 웰층을 각각 5nm 및 4nm씩 상호 2~5층씩 적층한 다중 양자 우물 구조에 의해 형성하는 것이 바람직하다. 또, 활성층(15)이 얇고 충분히 광을 활성층(15)내에 밀폐하지 않은 경우에는, 예를 들면 ZnO로 이루어지는 광가이드층(14, 16)이 활성층(15)의 양측에 형성된다. 또, 반도체 적층부(11)의 일부가 에칭되고, 노출하는 n형 콘택트층(3)에 n층 전극(9)이 형성되는 것은, 전술한 LED의 경우와 마찬가지이다.

또, 도 12에 나타내는 예에서는, 전류 협착층(17)을 매립하는 SAS형 구조의 LD칩의 예로서, p형  $Mg_{0.15}Zn_{0.85}O$ 로 이루어지는 p형 제 1클래드층(6a)의 위에, 예를 들면 n형  $Mg_{0.2}Zn_{0.8}O$ 로 이루어지는 전류협착층(17)이 0.4 $\mu$ m 정도 형성되며, 일단 결정성장장치로부터 웨이퍼를 꺼내고, 표면에 레지스트막을 형성하여 스트라이프상으로 패터닝하고, 황산계 용액 등에 의해 전류협착층(17)을 스트라이프 상으로 에칭하여, 2~3 $\mu$ m 폭의 스트라이프홈(18)이 형성되며, 재차 MBE장치에 웨이퍼를 되돌리고, p형  $Mg_{0.15}Zn_{0.85}O$ 로 이루어지는 p형 제 2클래드층(6b) 및 p형 ZnO로 이루어지는 p형 콘택트층(7)이 전술한 예와 마찬가지로 성장되는 것에 의해 형성되어 있다.

이 경우에는, ITO로 이루어지는 투명전극은 불필요하며, p형 콘택트층(7) 상에도 거의 전면이 p층 전극(10)이 형성되어 있다.

또, 도시되어 있지 않지만, p형 제 1클래드층(6a)과 전류협착층(17) 사이에 p형 GaN으로 이루어지는 에칭 스톱층이 형성되는 것이 바람직하다.

ZnO계 화합물 반도체는, 웨트에칭에 의해 에칭처리할 수가 있기 때문에, GaN계 화합물 반도체에서는 어려운 전류협착층을 매립하는 SAS형 구조의 LD칩을 형성할 수가 있어, 활성층에 가까이 전류협착층을 형성할 수가 있고, 고특성의 반도체 레이저가 얻어진다.

그러나, LD칩의 구조는, SAS형 구조에 한정되지 않고, p층 전극을 스트라이프상으로 한 것 만큼의 전극 스트라이프구조나, 스트라이프상 전극의 양측의 반도체층을 p형 클래드층의 상부까지를 메사형 형상으로 에칭하는 메사스트라이프구조나, 프로톤 등을 투입한 프로톤 투입형으로 할 수도 있다.

전극스트라이프구조의 LD칩의 예를 도 13에 나타낸다.

이 구조는, p층전극(10)이 스트라이프상으로 패터닝되어 있는 것과, 전류협착층이 형성되어 있지 않은 점에서 도 12의 구조와 다를 뿐으로, 다른 구조는 도 12와 거의 동일하고, 동일한 부분에는 동일부호를 부여하여 그 설명을 생략한다.

또한, 6은 p형 클래드층이다.

전술한 예에서는 LED로서 더블헤테로구조의 예이었으나, 단순한 pn접합이나 MIS(금속-절연층-반도체층)구조등 다른 구조로 할 수도 있다.

또, LD칩의 구조도 광가이드층이 없이 다른층이 형성되어도 좋으며, 전술한 적층구조에 한정되는 것은 아니다.

또한, 전술한 각 예에서는 ZnO계 화합물층을 성장시키는데에, MBE장치를 사용하고 있었으나, MOCVD장치 등을 사용할 수도 있다.

이 경우, 반응가스로서는 Zn으로서 디에틸아연( $Zn(C_2H_5)_2$ ), O로서 테트라히드로프란( $C_4H_8O$ ), Mg으로서 시클로펜타디에틸마그네슘( $Cp_2Mg$ ), Cd로서 디에틸카드뮴( $Cd(C_2H_5)_2$ ), 도펀트 Ga로서 트리에틸갈륨(TEG),  $N_2$ 로서 플라즈마 $N_2$ 를 공급함으로써 기상반응을 시킬 수가 있다.

또한, 전술한 예에서는, ZnO계 화합물 반도체를 사용한 소자의 예가 반도체발광소자만이지만, SAW장치, 압전소자, 초전소자 등에 결정성이 우수한 ZnO계 화합물층을 필요로 하는 경우에는, 마찬가지로 C면과 직각으로 교차하는 면을 주면으로 하는 사파이어 기판을 사용하여 성장시킴으로써 결정성이 우수한 ZnO계 화합물 반도체층을 갖는 소자를 얻을 수가 있다.

본 발명에 의하면, 대단히 결정성이 우수한 ZnO계 화합물층을 성장시킬 수가 있기 때문에, 그 위에 적층하는 ZnO계 화합물층의 결정성도 우수하고, 우수한 특성의 ZnO계 화합물층을 갖는 소자가 얻어진다.

또, 본 발명의 반도체발광소자에 의하면, 적층되는 ZnO계 화합물 반도체층의 결정성이 대단히 우수하기 때문에, 내부 양자효율이 대단히 우수한 청색계 반도체발광소자를 웨트처리 할 수 있는 재료에 의해 얻을 수가 있다.

### 산업상 이용 가능성

본 발명에 의하면, 결정성이 대단히 우수한 ZnO계 화합물 반도체층을 실리콘기판 또는 사파이어 기판상에 형성할 수가 있고, 청색계 LED나 LD 등의 발광소자, SAW장치, 압전소자, 초전소자 등을 고효율로 값싸게 얻을 수가 있다.

고효율의 청색계 LED나 LD가 값싸게 얻어짐으로써, 총천연색 디스플레이나 신호등 등의 광원, 차세대의 고기억밀도의 DVD, 레이저비임프린터 등의 광원으로서 이용할 수가 있다.

### 도면의 간단한 설명

도 1은, 본 발명에 의한 반도체발광소자의 일 실시형태인 LED칩의 사시설명도.

도 2는, 실리콘기판 표면의 질화처리의 온도와 시간에 의한 바람직한 조건의 관계를 나타내는 도면.

도 3은, RHEED법에 의한 기판 표면의 검사방법의 설명도 및 관찰되는 기판 표면의 회절상의 설명도.

도 4는, 본 발명에 의한 반도체발광소자의 다른 실시형태를 나타내는 단면설명도.

도 5는, 본 발명에 의한 반도체발광소자의 또 다른 실시형태를 나타내는 단면설명도.

도 6은, 본 발명의 또 다른 실시형태인 A면 사파이어 기판상에 ZnO층을 성장시킨 상태의 단면설명도.

도 7은, 사파이어 단결정의 대표적인 면방위의 설명도.

도 8(a)는, 본 발명에 의한 A면을 주면으로 하는 사파이어 기판상에 성장시킨 ZnO층의 X선의 반사상에 의한 구형도, 도 8(b)는, C면을 주면으로 하는 사파이어 기판상에 성장시킨 같은 모양의 도면.



도 9는, 본 발명에 의한 A면을 주면으로 하는 사파이어 기판상에 성장시킨 ZnO층의 포토루미네센트스펙트라(A)를, C면을 주면으로 하는 사파이어 기판상에 성장시킨 것(C)과 대비하여 나타낸 도면.

도 10은, 본 발명에 의해 사파이어의 A면상에 ZnO를 성장시킨 때의, ZnO결정의 배향상태의 설명도.

도 11은, A면사파이어 기판을 사용한 본 발명에 의한 반도체발광소자의 일예인 LED칩의 설명도.

도 12는, A면사파이어 기판을 사용한 본 발명에 의한 반도체발광소자의 다른 예인 LD칩의 설명도.

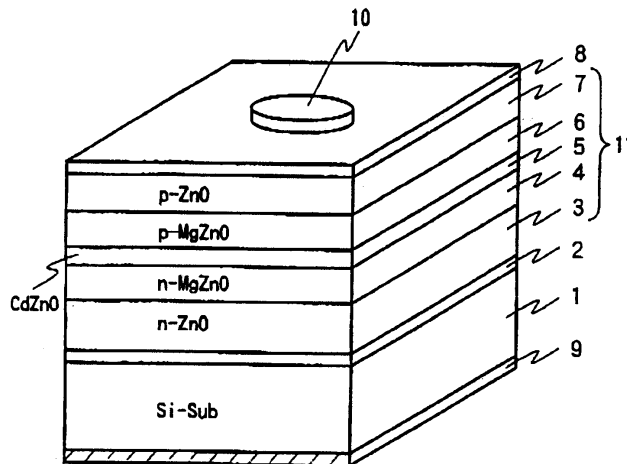
도 13은, A면사파이어 기판을 사용한 본 발명에 의한 반도체발광소자의 또 다른 예인 LD칩의 설명도.

도 14는, 종래의 GaN계 화합물 반도체를 사용한 LD칩의 일예의 사시설명도.

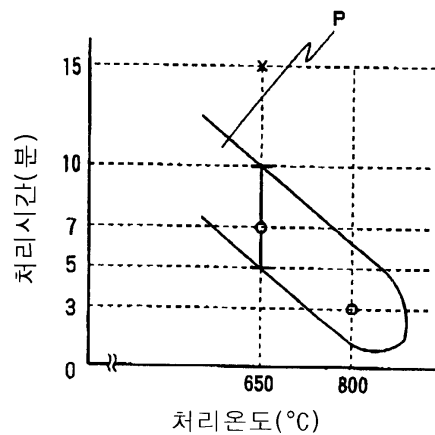
도 15는, 사파이어의 C면상에 C면이 평행하게 되도록 ZnO를 성장시킨 때의 결정배향의 설명도.

도면

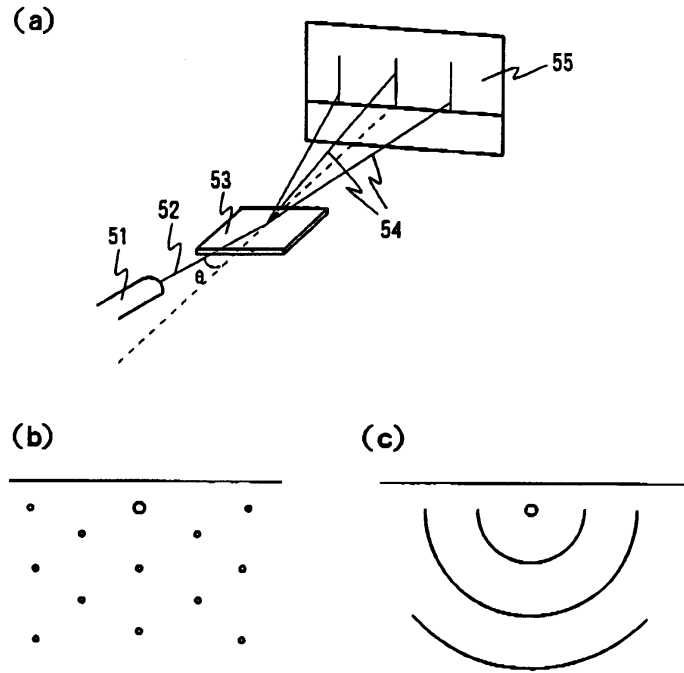
도면1



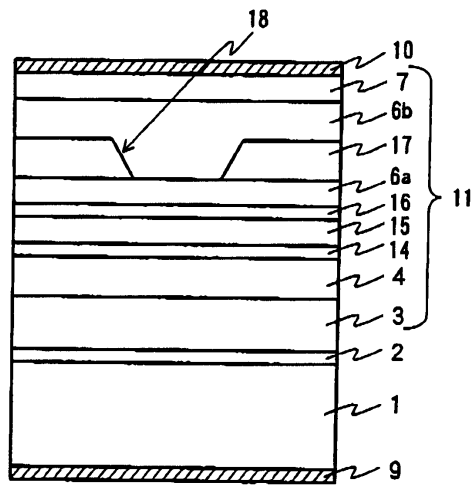
도면2



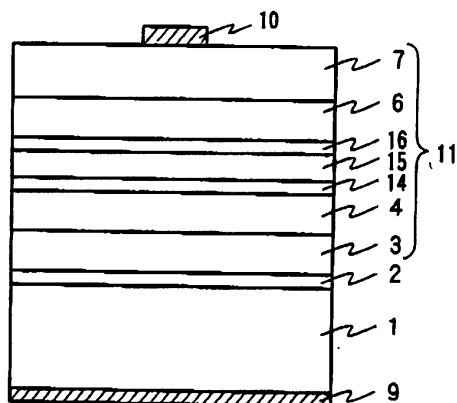
도면3



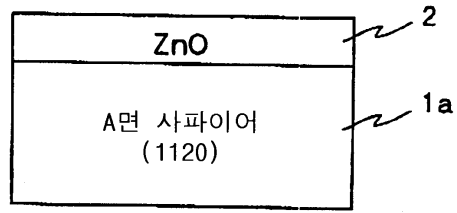
도면4



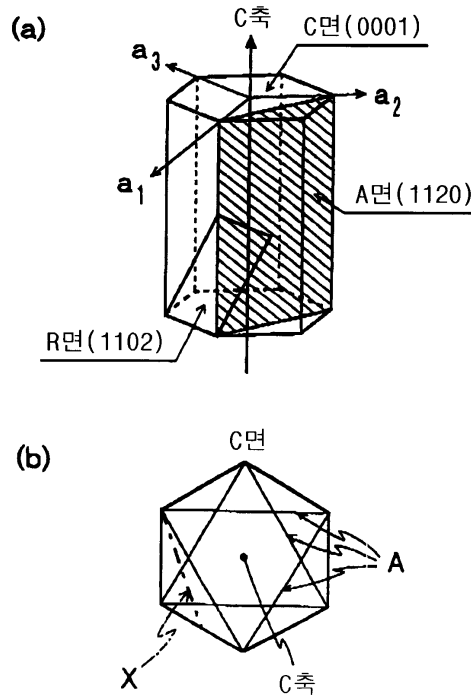
도면5



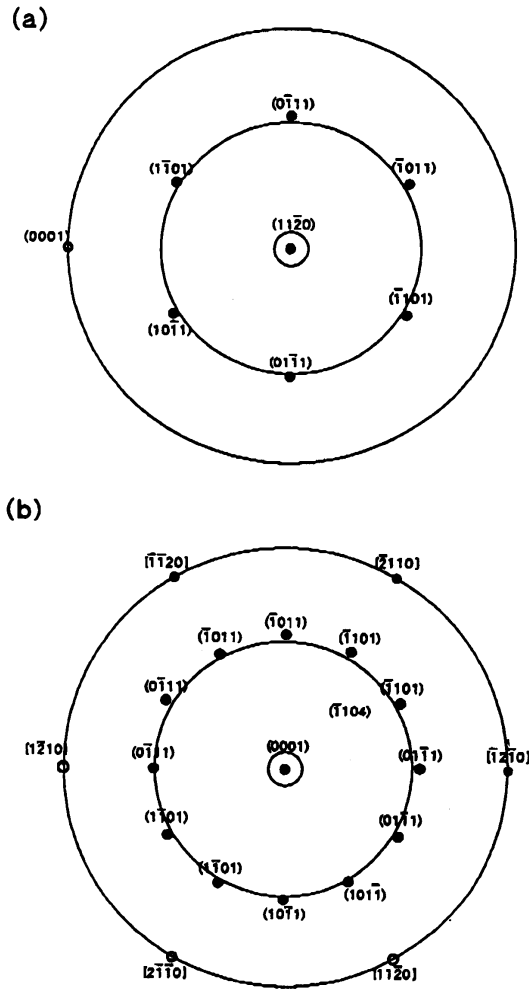
도면6



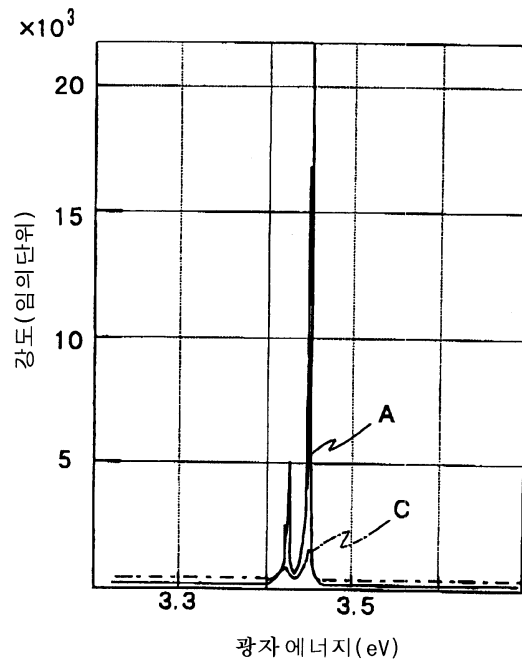
도면7



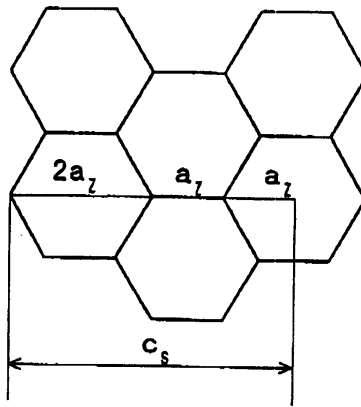
도면8



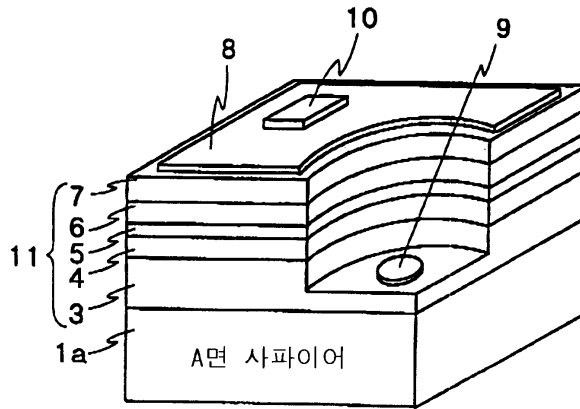
도면9



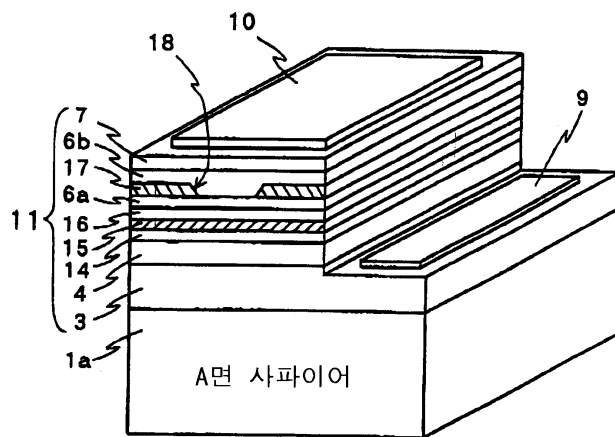
도면10



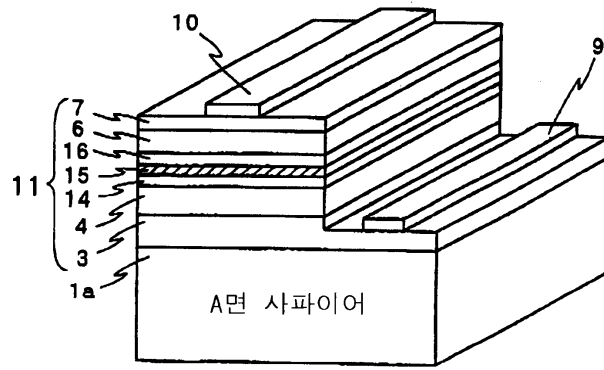
도면11



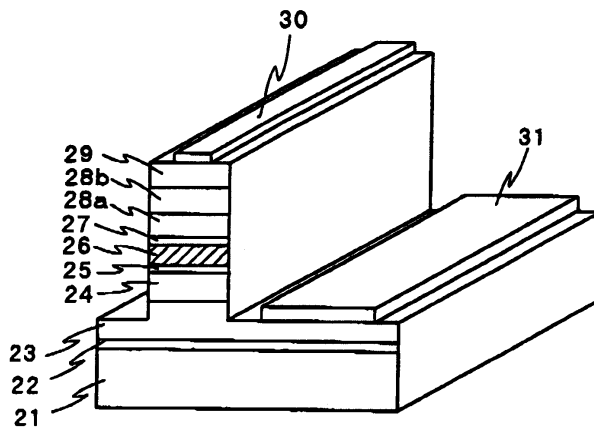
도면12



도면13



도면14



도면15

