



(12) 发明专利

(10) 授权公告号 CN 1870857 B

(45) 授权公告日 2011.06.15

(21) 申请号 200610085042.5

页及附图 1-19.

(22) 申请日 2006.05.22

CN 1264273 A, 2000.08.23, 全文.

(30) 优先权数据

US 20040178500 A1, 2004.09.16, 说明书第

2005-152561 2005.05.25 JP

3-6 页及附图 1-8.

US 5355016 A, 1994.10.11, 全文.

(73) 专利权人 阿尔卑斯电气株式会社

审查员 李楠

地址 日本东京都

(72) 发明人 古贺一正

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 刘建

(51) Int. Cl.

H05K 1/18 (2006.01)

H05K 9/00 (2006.01)

H05K 3/46 (2006.01)

(56) 对比文件

CN 1395464 A, 2003.02.05, 说明书第 7-18

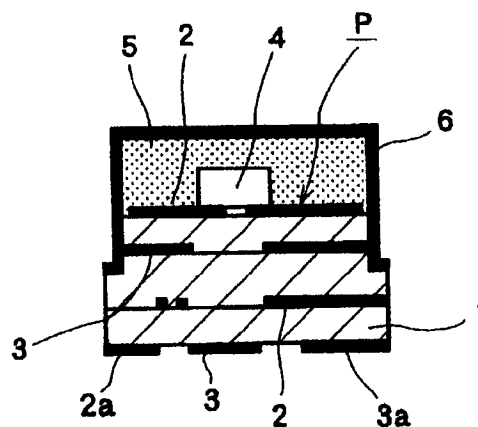
权利要求书 3 页 说明书 14 页 附图 12 页

(54) 发明名称

被屏蔽的电子电路单元及其制造方法

(57) 摘要

为了使电子电路单元的电屏蔽良好,使金属膜与接地用图案的连接可靠,提供一种被屏蔽的电子电路单元及其制造方法。为此,在本发明的电子电路单元中,金属膜(6)的结构如下:被设置在埋入设置有电子部件(4)的封固树脂部(5)的上表面部与相互相对的侧面部、以及多层基板(1)的相互相对的侧面的位置,连接于设置在多层基板的上表面、或多层基板的积层间的接地用图案(3)。根据该结构,与现有技术相比,利用金属膜进行的电屏蔽良好,且因为金属膜形成在封固树脂部的侧面部与多层基板的侧面,所以特别在通过电镀形成金属膜时,可不需要现有的盲状孔,电镀液的循环良好,从而能够得到金属膜与接地用图案的连接状态可靠的电子电路单元。



1. 一种被屏蔽的电子电路单元,其特征在于,

包括设置有配线图案的多层基板、被搭载于该多层基板的上表面的电子部件、以及在埋设有该电子部件的状态下设置于所述多层基板的上表面的由绝缘材料构成的封固树脂部,所述多层基板具有相互相对的两对侧面,并且所述配线图案具有设置在所述多层基板的积层间的接地用图案,所述封固树脂部具有上表面部与相互相对的两对侧面部,在所述封固树脂部的所述上表面部以及被狭缝部切割开而得到的相互相对的所述侧面部设置有金属膜,并且所述金属膜设置在所述多层基板的相互相对的所述侧面,且在所述侧面的位置连接于所述接地用图案,

在所述多层基板上设有切断部,

从所述封固树脂部的上表面部至露出位于所述积层间的所述接地用图案的位置设有所述狭缝部,

所述切断部以比所述狭缝部的宽度小的宽度尺寸来形成。

2. 如权利要求 1 所述的被屏蔽的电子电路单元,其特征在于,

所述金属膜被设置在所述封固树脂部的所述上表面部以及被狭缝部切割开而得到的相互相对的所述侧面部的整个面上,

并且与设置在所述多层基板的积层间的所述接地用图案相连接的所述金属膜被设置在如下位置:

所述位置是位于从所述多层基板的上表面至所述接地用图案之间的、相互相对的所述侧面的整个面。

3. 如权利要求 2 所述的被屏蔽的电子电路单元,其特征在于,

所述配线图案具有所述接地用图案与信号用图案,所述信号用图案被设置在比所述接地用图案更位于上方的所述多层基板的积层间。

4. 如权利要求 2 所述的被屏蔽的电子电路单元,其特征在于,

在所述多层基板具有连接导体,所述连接导体被设置为贯穿在从所述上表面到所述侧面的所述接地用图案所在的空间、且在所述侧面的位置连接于所述接地用图案,在该连接导体连接有金属膜。

5. 如权利要求 2 所述的被屏蔽的电子电路单元,其特征在于,

在所述多层基板具有侧电极,所述侧电极被设置在从所述上表面至所述多层基板的下表面的凹状的所述侧面、且在所述凹状的侧面的位置连接于所述接地用图案,在该侧电极连接有金属膜。

6. 如权利要求 1 所述的被屏蔽的电子电路单元,其特征在于,

在所述多层基板的下表面设置有连接于所述电子部件的端子部与所述接地用图案。

7. 一种被屏蔽的电子电路单元的制造方法,是用于制造权利要求 2 所述的电子电路单元的制造方法,其特征在于,

准备用于形成多个所述多层基板的集合基板,在所述集合基板设置了对应于各个所述多层基板而被搭载的所述电子部件与埋入设置有该电子部件的所述封固树脂部,在所述封固树脂部的上表面设置金属膜,之后,在相互紧邻的所述多层基板间的位置,在所述集合基板与所述封固树脂部上,在利用位于所述集合基板的下部侧的连结部来连结多个所述多层基板的状态下,从所述封固树脂部的上表面部至露出位于所述积层间的所述接地用图案的

位置设置狭缝部,所述狭缝部位于所述连结部的上侧,在所述封固树脂部利用所述狭缝部来形成相互相对的所述侧面部,并且,在所述多层基板利用所述狭缝部来形成相互相对的所述侧面的一部分,然后,在包括有所述狭缝部内的所述封固树脂部与所述集合基板设置连接于位于所述积层间的所述接地用图案的所述金属膜,其后,在所述集合基板、或者所述集合基板与所述封固树脂部,设置将相互紧邻的所述多层基板间的所述连结部切断的切断部,从而所述电子电路单元被各个地断开,

所述切断部以比所述狭缝部的宽度小的宽度尺寸来形成。

8. 一种被屏蔽的电子电路单元的制造方法,是用于制造权利要求 4 所述的电子电路单元的制造方法,其特征在于,

准备用于形成多个所述多层基板的集合基板,在所述集合基板设置了:对应于各个所述多层基板而被搭载的所述电子部件;被设置在相互紧邻的所述多层基板间、且用于使位于所述积层间的所述接地用图案露出的切割条槽;连接于所述接地用图案、且用于形成被填充于所述切割条槽内的所述连接导体的导体部;以及包括有该导体部上地埋入设置有所述电子部件的所述封固树脂部,在所述封固树脂部的上表面设置金属膜,之后,在相互紧邻的所述多层基板间的位置,在所述集合基板与所述封固树脂部上,在利用位于所述集合基板的下部侧的连结部来连结多个所述多层基板的状态下,从所述封固树脂部的上表面部至位于所述积层间的所述接地用图案的位置设置狭缝部,所述狭缝部位于所述连结部的上侧,在所述封固树脂部利用所述狭缝部来形成相互相对的所述侧面部,并且,在所述多层基板利用所述狭缝部来形成相互相对的所述侧面的一部分,并且所述导体部被所述狭缝部分割,在所述狭缝部内形成有连接于所述接地用图案的所述连接导体,然后,在包括有所述狭缝部内的所述封固树脂部与所述集合基板设置连接于所述连接导体与位于所述积层间的所述接地用图案的所述金属膜,其后,在所述集合基板、或者所述集合基板与所述封固树脂部,设置将相互紧邻的所述多层基板间的所述连结部切断的切断部,从而所述电子电路单元被各个地断开。

9. 一种被屏蔽的电子电路单元的制造方法,是用于制造权利要求 5 所述的电子电路单元的制造方法,其特征在于,

准备用于形成多个所述多层基板的集合基板,在所述集合基板设置了:对应于各个所述多层基板而被搭载的所述电子部件;被设置于相互紧邻的所述多层基板间、且用于使位于所述积层间的所述接地用图案露出的、并用于形成所述凹状的侧面的贯通孔;连接于所述接地用图案、且用于形成在所述贯通孔内的壁面形成的所述侧电极的导电体;以及包括有所述贯通孔上地埋入设置有所述电子部件的所述封固树脂部,所述封固树脂部是通过在所述贯通孔内插入夹具,在所述贯通孔被堵塞的状态下形成的,在所述封固树脂部的上表面设置金属膜,之后,在相互紧邻的所述多层基板间的位置,在所述集合基板与所述封固树脂部上,在利用位于所述集合基板的下部侧的连结部来连结多个所述多层基板的状态下,从所述封固树脂部的上表面至位于所述积层间的所述接地用图案所露出的位置设置狭缝部,所述狭缝部位于所述连结部的上侧,在所述封固树脂部利用所述狭缝部来形成相互相对的所述侧面部,并且,在所述多层基板利用所述狭缝部来形成相互相对的所述侧面的一部分,并且所述导电体的一部分被所述狭缝部分割,在位于被分割的所述贯通孔内的所述凹状的侧面形成有连接于所述接地用图案的所述侧电极的一部分,然后,在所述凹状的侧

面、包括所述狭缝部内的所述封固树脂部以及所述集合基板上设置所述金属膜,所述金属膜与位于所述侧电极的一部分和所述积层间的所述接地用图案连接,其后,在所述集合基板、或者所述集合基板与所述封固树脂部,设置将相互紧邻的所述多层基板间的所述连结部切断的切断部,从而所述电子电路单元被各个地断开。

10. 如权利要求 7 所述的被屏蔽的电子电路单元的制造方法,其特征在于,

所述狭缝部,在已位于相互紧邻的所述多层基板间的状态下形成格子状,在对应于所述狭缝部的位置而设置的所述连结部设置有所述切断部,从而所述电子电路单元被各个地断开。

11. 如权利要求 7 所述的被屏蔽的电子电路单元的制造方法,其特征在于,

所属金属膜通过电镀来形成。

被屏蔽的电子电路单元及其制造方法

技术领域

[0001] 本发明涉及适合使用于电压控制器等的被屏蔽的电子电路单元及其制造方法。

背景技术

[0002] 图 36 是现有的电子电路单元的主要部分截面图,图 37 是表示现有的电子电路单元的制造方法的主要部分截面图,接着,基于图 36 说明现有的电子电路单元的结构,在多层基板 51 设置有具有信号用图案 52 与接地用图案 53 的配线图案 P1,该配线图案 P1 的信号用图案 52 被设置在多层基板 51 的上表面与积层间(积层内),且具有设置在多层基板 51 的侧面的下方部的端子部 52a,并且,接地用图案 53 被设置在多层基板 51 的上表面与下表面。

[0003] 由芯片部件构成的电子部件 54 具有设置在两端部的第一、第二电极 54a、54b,该电子部件 54 被载置于多层基板 51 的上表面,第一电极 54a 被锡焊于信号用图案 52,并且第二电极 54b 被锡焊于接地用图案 53,从而电子部件 54 被搭载于多层基板 51 的上表面。

[0004] 由绝缘材料构成的封固树脂部 55,在埋设有电子部件 54 的状态下,被设置在多层基板 51 的上表面,并且在该封固树脂部 55 设置有从上表面部至接地用的第二电极 54b 的盲状孔 55a。

[0005] 而且,进行电屏蔽的金属膜 56 被设置于封固树脂部 55 的上表面部、盲状孔 55a 的壁面、以及位于盲状孔 55a 的第二电极 54b,从而形成现有的电子电路单元。

[0006] 在此虽然没有图示出,不过具有这样的结构的现有的电子电路单元,其多层基板 51 的下表面被载置于母基板,设置在多层基板 51 的侧面的端子部 52a 被锡焊于设置在母基板上的导电图案,从而现有的电子电路单元被面安装于母基板。

[0007] 但是,因为现有的电子电路单元是进行电屏蔽的金属膜 56 只被设置在封固树脂部 55 的上表面部的结构,所以利用金属膜 56 来进行的电屏蔽不充分,而且因为金属膜 56 被设置在盲状孔 55a 内,所以特别是在金属膜 56 利用电镀来形成时,在盲状孔 55a 内的电镀液的循环不充分,从而金属膜 56 对第二电极 54b 的附着变得不可靠。

[0008] 接着,基于图 37 说明现有的电子电路单元的制造方法,首先,准备用于形成多个多层基板 51 的集合基板 57,在该集合基板 57 上对应于各个多层基板 51 来搭载电子部件 54。

[0009] 接着,在集合基板 57 的上表面埋设电子部件 54,在第二电极 54b 的位置设置具有盲状孔 55a 的封固树脂部 55,之后,设置形成在封固树脂部 55 的上表面部与盲状孔 55a 内的、且连接于第二电极 54b 的金属膜 56,然后在相互紧邻的多层基板 51 间的位置,集合基板 57 与封固树脂部 55 在切断线 S3 的位置被切断,电子电路单元被各个地断开,从而完成现有的电子电路单元的制造。

[0010] 但是,因为现有的电子电路单元的制造方法,进行电屏蔽的金属膜 56 只被设置在封固树脂部 55 的上表面部,所以利用金属膜 56 来进行的电屏蔽不充分,而且因为金属膜 56 被设置在盲状孔 55a 内,所以特别是在金属膜 56 利用电镀来形成时,在盲状孔 55a 内的电

镀液的循环不充分,从而金属膜 56 对第二电极 54b 的附着变得不可靠。

[0011] 因为现有的电子电路单元及其制造方法是进行电屏蔽的金属膜 56 只被设置在封固树脂部 55 的上表面部的结构,所以有如下问题:利用金属膜 56 来进行的电屏蔽不充分,而且因为金属膜 56 被设置在盲状孔 55a 内,所以特别是在金属膜 56 利用电镀来形成时,在盲状孔 55a 内的电镀液的循环不充分,从而金属膜 56 对第二电极 54b 的附着变得不可靠。

发明内容

[0012] 因而,本发明的目的在于提供一种电屏蔽良好、金属膜与接地用图案的连接状态可靠的电子电路单元及其制造方法。

[0013] 为了解决上述问题,本发明第一方面提供一种被屏蔽的电子电路单元,其结构如下:具有设置有配线图案的多层基板、被搭载于该多层基板的上表面的电子部件、以及在埋设有该电子部件的状态下设置于所述多层基板的上表面的由绝缘材料构成的封固树脂部,所述多层基板具有相互相对的两对侧面,并且所述配线图案具有设置在所述多层基板的积层间的接地用图案,所述封固树脂部具有上表面部与相互相对的两对侧面部,在所述封固树脂部的所述上表面部以及被狭缝部切割开而得到的相互相对的所述侧面部设置有金属膜,并且所述金属膜设置在所述多层基板的相互相对的所述侧面,且在所述侧面的位置连接于所述接地用图案,在所述多层基板上设有切断部,从所述封固树脂部的上表面部至露出位于所述积层间的所述接地用图案的位置设有所述狭缝部,所述切断部以比所述狭缝部的宽度小的宽度尺寸来形成。

[0014] 并且,本发明第二方面提供一种被屏蔽的电子电路单元,其结构如下:所述金属膜被设置在所述封固树脂部的所述上表面部以及被狭缝部切割开而得到的相互相对的所述侧面部的整个面上,并且与设置在所述多层基板的积层间的所述接地用图案相连接的所述金属膜被设置如下位置:所述位置是位于从所述多层基板的上表面至所述接地用图案之间的、相互相对的所述侧面的整个面。

[0015] 并且,本发明第三方面提供一种被屏蔽的电子电路单元,其结构如下:所述配线图案具有所述接地用图案与信号用图案,所述信号用图案被设置在比所述接地用图案更位于上方的所述多层基板的积层间。

[0016] 并且,本发明第四方面提供一种被屏蔽的电子电路单元,其结构如下:在所述多层基板具有连接导体,所述连接导体被设置为贯穿在从所述上表面到所述侧面的所述接地用图案所在的空间、且在所述侧面的位置连接于所述接地用图案,在该连接导体连接有所述金属膜。

[0017] 并且,本发明第五方面提供一种被屏蔽的电子电路单元,其结构如下:在所述多层基板具有侧电极,所述侧电极被设置在从所述上表面至所述多层基板的下表面的凹状的所述侧面、且在所述凹状的侧面的位置连接于所述接地用图案,在该侧电极连接有所述金属膜。

[0018] 并且,本发明第六方面提供一种被屏蔽的电子电路单元,其结构如下:在所述多层基板的下表面设置有连接于所述电子部件的端子部与所述接地用图案。

[0019] 并且,本发明第七方面提供一种被屏蔽的电子电路单元的制造方法,其是如下的制造方法:准备本发明第二或者第三方面所述的电子电路单元与用于形成多个所述多层基

板的集合基板,在所述集合基板设置了对应于各个所述多层基板而被搭载的所述电子部件与埋入设置有该电子部件的所述封固树脂部,在所述封固树脂部的上表面设置金属膜,之后,在相互紧邻的所述多层基板间的位置,在所述集合基板与所述封固树脂部上,在利用位于所述集合基板的下部侧的连结部来连结多个所述多层基板的状态下,从所述封固树脂部的上表面部至露出位于所述积层间的所述接地用图案的位置设置狭缝部,所述狭缝部位于所述连结部的上侧,在所述封固树脂部利用所述狭缝部来形成相互相对的所述侧面部,并且,在所述多层基板利用所述狭缝部来形成相互相对的所述侧面的一部分,然后,在包括有所述狭缝部内的所述封固树脂部与所述集合基板设置连接于位于所述积层间的所述接地用图案的所述金属膜,其后,在所述集合基板、或者所述集合基板与所述封固树脂部,设置将相互紧邻的所述多层基板间的所述连结部切断的切断部,从而所述电子电路单元被各个地断开,所述切断部以比所述狭缝部的宽度小的宽度尺寸来形成。

[0020] 并且,本发明第八方面提供一种被屏蔽的电子电路单元的制造方法,其是如下的制造方法:准备本发明第四方面所述的电子电路单元与用于形成多个所述多层基板的集合基板,在所述集合基板设置了:对应于各个所述多层基板而被搭载的所述电子部件;被设置在相互紧邻的所述多层基板间、且用于使位于所述积层间的所述接地用图案露出的切割条槽;连接于所述接地用图案、且用于形成被填充于所述切割条槽内的所述连接导体的导体部;以及包括有该导体部上地埋入设置有所述电子部件的所述封固树脂部,在所述封固树脂部的上表面设置金属膜,之后,在相互紧邻的所述多层基板间的位置,在所述集合基板与所述封固树脂部上,在利用位于所述集合基板的下部侧的连结部来连结多个所述多层基板的状态下,从所述封固树脂部的上表面部至位于所述积层间的所述接地用图案的位置设置狭缝部,所述狭缝部位于所述连结部的上侧,在所述封固树脂部利用所述狭缝部来形成相互相对的所述侧面部,并且,在所述多层基板利用所述狭缝部来形成相互相对的所述侧面的一部分,并且所述导体部被所述狭缝部分割,在所述狭缝部内形成有连接于所述接地用图案的所述连接导体,然后,在包括有所述狭缝部内的所述封固树脂部与所述集合基板设置连接于所述连接导体与位于所述积层间的所述接地用图案的所述金属膜,其后,在所述集合基板、或者所述集合基板与所述封固树脂部,设置将相互紧邻的所述多层基板间的所述连结部切断的切断部,从而所述电子电路单元被各个地断开。

[0021] 并且,本发明第九方面提供一种被屏蔽的电子电路单元的制造方法,其是如下的制造方法:准备本发明第五方面所述的电子电路单元与用于形成多个所述多层基板的集合基板,在所述集合基板设置了:对应于各个所述多层基板而被搭载的所述电子部件;被设置于相互紧邻的所述多层基板间、且用于使位于所述积层间的所述接地用图案露出的、并用于形成所述凹状的侧面的贯通孔;连接于所述接地用图案、且用于形成在所述贯通孔内的壁面形成的所述侧电极的导体;以及包括有所述贯通孔上地埋入设置有所述电子部件的所述封固树脂部,所述封固树脂部是通过在所述贯通孔内插入夹具,在所述贯通孔被堵塞的状态下形成的,在所述封固树脂部的上表面设置金属膜,之后,在相互紧邻的所述多层基板间的位置,在所述集合基板与所述封固树脂部上,在利用位于所述集合基板的下部侧的连结部来连结多个所述多层基板的状态下,从所述封固树脂部的上表面至位于所述积层间的所述接地用图案所露出的位置设置狭缝部,所述狭缝部位于所述连结部的上侧,在所述封固树脂部利用所述狭缝部来形成相互相对的所述侧面部,并且,在所述多层基板利用

所述狭缝部来形成相互相对的所述侧面的一部分,并且所述导电体的一部分被所述狭缝部分割,在位于被分割的所述贯通孔内的所述凹状的侧面形成有连接于所述接地用图案的所述侧电极的一部分,然后,在所述凹状的侧面、包括所述狭缝部内的所述封固树脂部以及所述集合基板上设置所述金属膜,所述金属膜与位于所述侧电极的一部分和所述积层间的所述接地用图案连接,其后,在所述集合基板、或者所述集合基板与所述封固树脂部,设置将相互紧邻的所述多层基板间的所述连结部切断的切断部,从而所述电子电路单元被各个地断开。

[0022] 并且,本发明第十方面提供一种被屏蔽的电子电路单元的制造方法,其是如下的制造方法:所述切断部以比所述狭缝部的宽度小的宽度尺寸来形成。

[0023] 并且,本发明第十一方面提供一种被屏蔽的电子电路单元的制造方法,其是如下的制造方法:所述狭缝部,在已位于相互紧邻的所述多层基板间的状态下形成为格子状,在对应于所述狭缝部的位置而设置的所述连结部设置有所述切断部,从而所述电子电路单元被各个地断开。

[0024] 并且,本发明第十二方面提供一种被屏蔽的电子电路单元的制造方法,其是如下的制造方法:所属金属膜通过电镀来形成。

[0025] 发明效果

[0026] 在本发明的电子电路单元中,因为形成了如下结构:金属膜被设置在埋入设置有电子部件的封固树脂部的上表面部与相互相对的侧面部、以及多层基板的相互相对的侧面的位置,且连接于设置在多层基板的上表面、或者多层基板的积层间的接地用图案,所以与现有的电子电路单元相比,利用金属膜而进行的电屏蔽良好,并且因为金属膜形成在封固树脂部的侧面部与多层基板的侧面,所以特别是在通过电镀来形成金属膜时,可以不需要现有的盲状孔,电镀液的循环良好,从而能够得到金属膜与接地用图案的连接状态可靠的电子电路单元。

[0027] 并且,因为金属膜被设置于封固树脂部的上表面部与相互相对的侧面部的整个面,并且与设置在多层基板的积层间的接地用图案相连接的金属膜,被设置在位于从多层基板的上表面至接地用图案之间的相互相对的侧面的整个面上,所以能够得到利用金属膜而进行的电屏蔽进一步良好的电子电路单元。

[0028] 并且,因为配线图案具有接地用图案与信号用图案,信号用图案被设置于比接地用图案更位于上方的多层基板的积层间,所以设置在比接地用图案更位于上方的多层基板的积层间的信号用图案可以利用金属膜而电屏蔽,从而能够得到屏蔽效果良好的电子电路单元。

[0029] 并且,因为在多层基板具有连接导体,所述连接导体被设置为贯穿在从上表面到侧面的接地用图案所在的空间、且在侧面的位置连接于接地用图案,在该连接导体连接有金属膜,所以可以利用连接导体可靠地保持多层基板的侧面上的金属膜,并且能够得到金属膜的剥离少的电子电路单元。

[0030] 并且,因为在多层基板具有侧电极,所述侧电极被设置在从上表面至多层基板的下表面的凹状的侧面、且在凹状的侧面的位置连接于接地用图案,在该侧电极连接有金属膜,所以可以利用侧电极可靠地保持多层基板的侧面上的金属膜,并且能够得到金属膜的剥离少的电子电路单元。

[0031] 并且,因为在多层基板的下表面设置有连接于电子部件的端子部,所以可以进行电子电路单元的面安装,并且因为在多层基板的下表面设置有接地用图案,所以能够得到电屏蔽效果良好的电子电路单元。

[0032] 并且,一种被屏蔽的电子电路单元的制造方法,其是如下的制造方法:具有电子电路单元与用于形成多个多层基板的集合基板,在集合基板设置了对应于各个多层基板而被搭载的电子部件与埋入设置有该电子部件的封固树脂部,之后,在相互紧邻的多层基板间的位置,在集合基板与封固树脂部上,在利用位于集合基板的下部侧的连结部来连结多个多层基板的状态下,从封固树脂部的上表面部至露出位于积层间的接地用图案的位置设置狭缝部,在封固树脂部利用狭缝部来形成相互相对的侧面部,并且,在多层基板利用狭缝部来形成相互相对的侧面的一部分,然后,在包括有狭缝部内的封固树脂部与集合基板设置连接于位于积层间的接地用图案的金属膜,其后,在集合基板、或者集合基板与封固树脂部,在相互紧邻的多层基板间的位置设置切断部,从而电子电路单元被各个地断开。

[0033] 即,因为金属膜被设置在封固树脂部的上表面部与相互相对的侧面部的整个面,并且与设置在多层基板的积层间的接地用图案相连接的金屬膜,被设置在位于从多层基板的上表面至接地用图案之间的相互相对的侧面的整个面,所以能够得到利用金属膜而进行的电屏蔽良好的电子电路单元,并且因为在封固树脂部与集合基板设置有狭缝部,所以特别是在通过电镀来形成金属膜时,电镀液的循环良好,从而能够得到金属膜与接地用图案的连接状态可靠的电子电路单元。

[0034] 并且,一种被屏蔽的电子电路单元的制造方法,其是如下的制造方法:具有电子电路单元与用于形成多个多层基板的集合基板,在集合基板设置了:对应于各个多层基板而被搭载的电子部件;被设置在相互紧邻的多层基板间、且用于使位于积层间的接地用图案露出的切割条槽;连接于接地用图案、且用于形成被填充于切割条槽内的连接导体的导体部;以及包括有该导体部上地埋入设置有电子部件的封固树脂部,之后,在相互紧邻的多层基板间的位置,在集合基板与封固树脂部上,在利用位于集合基板的下部侧的连结部来连结多个多层基板的状态下,从封固树脂部的上表面部至位于积层间的接地用图案的位置设置狭缝部,在封固树脂部利用狭缝部来形成相互相对的侧面部,并且,在多层基板利用狭缝部来形成相互相对的侧面的一部分,并且导体部被狭缝部分割,在狭缝部内形成有连接于接地用图案的连接导体,然后,在包括有狭缝部内的封固树脂部与集合基板设置连接于连接导体与位于积层间的接地用图案的金属膜,其后,在集合基板、或者集合基板与封固树脂部,在相互紧邻的多层基板间的位置设置切断部,从而电子电路单元被各个地断开。

[0035] 即,因为金属膜被设置在封固树脂部的上表面部与相互相对的侧面部的整个面,并且与设置在多层基板的积层间的接地用图案相连接的金屬膜,被设置在位于从多层基板的上表面至接地用图案之间的相互相对的侧面的整个面,所以能够得到利用金属膜而进行的电屏蔽良好的电子电路单元,并且因为在封固树脂部与集合基板设置有狭缝部,所以特别是在通过电镀来形成金属膜时,电镀液的循环良好,从而能够得到金属膜与接地用图案的连接状态可靠的电子电路单元,并且,因为金属膜连接于连接导体,所以可以可靠地保持多层基板的侧面上的金属膜,并且能够得到金属膜的剥离少的电子电路单元。

[0036] 并且,一种被屏蔽的电子电路单元的制造方法,其是如下的制造方法:具有电子电路单元与用于形成多个多层基板的集合基板,在集合基板设置了:对应于各个多层基板而

被搭载的电子部件；被设置于相互紧邻的多层基板间、且用于使位于积层间的接地用图案露出的、并用于形成凹状的侧面的贯通孔；连接于接地用图案、且用于形成在贯通孔内的壁面形成的侧电极的导电体；以及包括有贯通孔上地埋入设置有电子部件的封固树脂部，之后，在相互紧邻的多层基板间的位置，在集合基板与所述封固树脂部上，在利用位于集合基板的下部侧的连结部来连结多个多层基板的状态下，从封固树脂部的上表面至位于积层间的接地用图案所露出的位置设置狭缝部，在封固树脂部利用狭缝部来形成相互相对的侧面部，并且，在多层基板利用狭缝部来形成相互相对的侧面的一部分，并且贯通孔与导电体的一部分被狭缝部分割，在位于被分割的贯通孔内的凹状的侧面形成有连接于接地用图案的侧电极的一部分，然后，在包括有凹状的侧面与狭缝部内的封固树脂部与集合基板，设置连接于侧电极的一部分与位于积层间的接地用图案的金属膜，其后，在集合基板、或者集合基板与封固树脂部，在相互紧邻的多层基板间的位置设置切断部，从而电子电路单元被各个地断开。

[0037] 即，因为金属膜被设置在封固树脂部的上表面部与相互相对的侧面部的整个面，并且与设置在多层基板的积层间的接地用图案相连接的金属膜，被设置在位于从多层基板的上表面至接地用图案之间的相互相对的侧面的整个面，所以能够得到利用金属膜而进行的电屏蔽良好的电子电路单元，并且因为在封固树脂部与集合基板设置有狭缝部，所以特别是在通过电镀来形成金属膜时，电镀液的循环良好，从而能够得到金属膜与接地用图案的连接状态可靠的电子电路单元，并且，因为金属膜连接于侧电极，所以可以可靠地保持多层基板的侧面上的金属膜，并且能够得到金属膜的剥离少的电子电路单元。

[0038] 并且，因为切断部以比狭缝部的宽度小的宽度尺寸形成，所以能够得到在切断集合基板时，设置在狭缝部的侧壁面的金属膜不剥离的电子电路单元。

[0039] 并且，因为狭缝部在已位于相互紧邻的多层基板间的状态下形成格子状，在对应于狭缝部的位置而设置的连结部设置切断部，从而电子电路单元被各个地断开，所以在断开电子电路单元时的集合基板的切断只在连结部进行即可，从而能够得到生产率高的电子电路单元。

[0040] 并且，因为金属膜通过电镀来形成，所以容易形成金属膜，从而能够得到生产率高的电子电路单元。

附图说明

[0041] 图 1 是本发明的电子电路单元的第一实施例的俯视图；

[0042] 图 2 是图 1 的 2-2 线的截面图；

[0043] 图 3 是表示本发明的电子电路单元的第一实施例的制造方法的第一工序的俯视图；

[0044] 图 4 是表示本发明的电子电路单元的第一实施例的制造方法的第一工序的截面图；

[0045] 图 5 是表示本发明的电子电路单元的第一实施例的制造方法的第二工序的截面图；

[0046] 图 6 是表示本发明的电子电路单元的第一实施例的制造方法的第三工序的俯视图；

- [0047] 图 7 是表示本发明的电子电路单元的第一实施例的制造方法的第三工序的截面图；
- [0048] 图 8 是表示本发明的电子电路单元的第一实施例的制造方法的第四工序的截面图；
- [0049] 图 9 是表示本发明的电子电路单元的第一实施例的制造方法的第五工序的截面图；
- [0050] 图 10 是本发明的电子电路单元的第二实施例的俯视图；
- [0051] 图 11 是图 10 的 11-11 线的截面图；
- [0052] 图 12 是图 10 的 12-12 线的截面图；
- [0053] 图 13 是表示本发明的电子电路单元的第二实施例的制造方法的第三工序的俯视图；
- [0054] 图 14 是本发明的电子电路单元的第三实施例的俯视图；
- [0055] 图 15 是图 14 的 15-15 线的截面图；
- [0056] 图 16 是表示本发明的电子电路单元的第三实施例的制造方法的第一工序的俯视图；
- [0057] 图 17 是表示本发明的电子电路单元的第三实施例的制造方法的第一工序的截面图；
- [0058] 图 18 是表示本发明的电子电路单元的第三实施例的制造方法的第二工序的俯视图；
- [0059] 图 19 是表示本发明的电子电路单元的第三实施例的制造方法的第二工序的截面图；
- [0060] 图 20 是表示本发明的电子电路单元的第三实施例的制造方法的第三工序的截面图；
- [0061] 图 21 是表示本发明的电子电路单元的第三实施例的制造方法的第四工序的俯视图；
- [0062] 图 22 是表示本发明的电子电路单元的第三实施例的制造方法的第四工序的截面图；
- [0063] 图 23 是表示本发明的电子电路单元的第三实施例的制造方法的第五工序的截面图；
- [0064] 图 24 是表示本发明的电子电路单元的第三实施例的制造方法的第六工序的截面图；
- [0065] 图 25 是本发明的电子电路单元的第四实施例的俯视图；
- [0066] 图 26 是图 25 的 26-26 线的截面图；
- [0067] 图 27 是表示本发明的电子电路单元的第四实施例的制造方法的第一工序的俯视图；
- [0068] 图 28 是表示本发明的电子电路单元的第四实施例的制造方法的第一工序的截面图；
- [0069] 图 29 是表示本发明的电子电路单元的第四实施例的制造方法的第二工序的俯视图；

- [0070] 图 30 是表示本发明的电子电路单元的第四实施例的制造方法的第二工序的截面图；
- [0071] 图 31 是表示本发明的电子电路单元的第四实施例的制造方法的第三工序的截面图；
- [0072] 图 32 是表示本发明的电子电路单元的第四实施例的制造方法的第四工序的俯视图；
- [0073] 图 33 是表示本发明的电子电路单元的第四实施例的制造方法的第四工序的截面图；
- [0074] 图 34 是表示本发明的电子电路单元的第四实施例的制造方法的第五工序的截面图；
- [0075] 图 35 是表示本发明的电子电路单元的第四实施例的制造方法的第六工序的截面图；
- [0076] 图 36 是现有的电子电路单元的主要部分截面图；
- [0077] 图 37 是表示现有的电子电路单元的制造方法的主要部分截面图。
- [0078] 符号说明
- [0079] 1:多层基板
- [0080] P:配线图案
- [0081] 2:信号用图案
- [0082] 2a:端子部
- [0083] 3:接地用图案
- [0084] 3a:端子部
- [0085] 4:电子部件
- [0086] 5:封固树脂部
- [0087] 6:金属膜
- [0088] 7:连接导体
- [0089] 8:侧电极
- [0090] 11:集合基板
- [0091] 11a:连结部
- [0092] 11b:切割条槽
- [0093] 11c:贯通孔
- [0094] 12:狭缝部
- [0095] 13:切断部
- [0096] 14:导体部
- [0097] 15:导电体
- [0098] S1、S2:切断线

具体实施方式

[0099] 说明本发明的电子电路单元及其制造方法的附图,图 1 是本发明的电子电路单元的第一实施例的俯视图,图 2 是图 1 的 2-2 线的截面图,图 3 是表示本发明的电子电路单元

的第一实施例的制造方法的第一工序的俯视图,图 4 是表示本发明的电子电路单元的第一实施例的制造方法的第一工序的截面图,图 5 是表示本发明的电子电路单元的第一实施例的制造方法的第二工序的截面图,图 6 是表示本发明的电子电路单元的第一实施例的制造方法的第三工序的俯视图,图 7 是表示本发明的电子电路单元的第一实施例的制造方法的第三工序的截面图,图 8 是表示本发明的电子电路单元的第一实施例的制造方法的第四工序的截面图,图 9 是表示本发明的电子电路单元的第一实施例的制造方法的第五工序的截面图。

[0100] 并且,图 10 是本发明的电子电路单元的第二实施例的俯视图,图 11 是图 10 的 11-11 线的截面图,图 12 是图 10 的 12-12 线的截面图,图 13 是表示本发明的电子电路单元的第二实施例的制造方法的第三工序的俯视图。

[0101] 并且,图 14 是本发明的电子电路单元的第三实施例的俯视图,图 15 是图 14 的 15-15 线的截面图,图 16 是表示本发明的电子电路单元的第三实施例的制造方法的第一工序的俯视图,图 17 是表示本发明的电子电路单元的第三实施例的制造方法的第一工序的截面图,图 18 是表示本发明的电子电路单元的第三实施例的制造方法的第二工序的俯视图,图 19 是表示本发明的电子电路单元的第三实施例的制造方法的第二工序的截面图,图 20 是表示本发明的电子电路单元的第三实施例的制造方法的第三工序的截面图,图 21 是表示本发明的电子电路单元的第三实施例的制造方法的第四工序的俯视图,图 22 是表示本发明的电子电路单元的第三实施例的制造方法的第四工序的截面图,图 23 是表示本发明的电子电路单元的第三实施例的制造方法的第五工序的截面图,图 24 是表示本发明的电子电路单元的第三实施例的制造方法的第六工序的截面图。

[0102] 并且,图 25 是本发明的电子电路单元的第四实施例的俯视图,图 26 是图 25 的 26-26 线的截面图,图 27 是表示本发明的电子电路单元的第四实施例的制造方法的第一工序的俯视图,图 28 是表示本发明的电子电路单元的第四实施例的制造方法的第一工序的截面图,图 29 是表示本发明的电子电路单元的第四实施例的制造方法的第二工序的俯视图,图 30 是表示本发明的电子电路单元的第四实施例的制造方法的第二工序的截面图,图 31 是表示本发明的电子电路单元的第四实施例的制造方法的第三工序的截面图,图 32 是表示本发明的电子电路单元的第四实施例的制造方法的第四工序的俯视图,图 33 是表示本发明的电子电路单元的第四实施例的制造方法的第四工序的截面图,图 34 是表示本发明的电子电路单元的第四实施例的制造方法的第五工序的截面图,图 35 是表示本发明的电子电路单元的第四实施例的制造方法的第六工序的截面图。

[0103] 接着,基于图 1、图 2 说明本发明的电子电路单元的结构,由陶瓷材料等绝缘材料构成的多层基板 1 以四方形的积层基板形成,在此省略了符号,不过是具有上表面、下表面、相互相对的两对侧面、以及积层间(积层内)的结构。

[0104] 配线图案 P 具有信号用图案 2 与接地用图案 3,该配线图案 P 的信号用图案 2 被设置在多层基板 1 的上表面与积层间(积层内),且具有设置在多层基板 1 的下表面的多个端子部 2a,并且,接地用图案 3 被设置在多层基板 1 的积层间(积层内)与下表面,且具有设置在多层基板 1 的下表面的端子部 3a,并且位于积层间的接地用图案 3 成为在多层基板 1 的相互相对的侧面露出的状态。

[0105] 而且,在此虽未图示,但是信号用图案 2 的端子部 2a 利用通孔等连接体而连接于

设置在上表面或者积层间的信号用图案 2,并且,在此虽未图示,但是接地用图案 3 的端子部 3a 利用通孔或者侧 (side) 电极等连接体而连接于设置在积层间的接地用图案 3。

[0106] 另外,在图 2 中,信号用图案 2 与接地用图案 3 被设置在积层间,但是该信号用图案 2 与接地用图案 3 也可以在几层的积层间,并且,也可以不在积层间设置信号用图案 2 与接地用图案 3,而是在上表面与下表面的两层具有信号用图案 2 与接地用图案 3 的两面基板。

[0107] 由芯片部件等构成的电子部件 4 在被载置于多层基板 1 的上表面的状态下,被锡焊于信号用图案 2,并被搭载于多层基板 1 的上表面,以此形成希望的电路。

[0108] 由绝缘材料构成的封固树脂部 5 覆盖电子部件 4 的整体,在埋设有该电子部件 4 的状态下,被设置于多层基板 1 的上表面整体,该封固树脂部 5 形成四棱柱状,在此省略了符号,形成为具有上表面部与相互相对的两对侧面部的结构,且封固树脂部 5 的侧面部与多层基板 1 的侧面形成为同一平面状态。

[0109] 通过电镀等形成的金属膜 6 被设置在:封固树脂部 5 的上表面部的整面、封固树脂部 5 的相互相对的一对侧面部的整个面、以及位于从多层基板 1 的上表面至积层间的接地用图案 3 之间的多层基板 1 的相互相对的一对侧面的整面。

[0110] 而且,金属膜 6 在多层基板 1 的侧面的位置,成为连接于接地用图案 3 的状态,成为进行位于多层基板 1 的上表面的电子部件 4 或者信号用图案 2 的电屏蔽的结构,从而形成本发明的电子电路单元。

[0111] 在此虽未图示,但是具有这样的结构的本发明的电子电路单元,多层基板 1 的下表面被载置于母基板,设置在多层基板 1 的下表面的端子部 2a、3a 被锡焊于设置在母基板上的导电图案,从而本发明的电子电路单元被面安装于母基板。

[0112] 另外,在上述实施例中,说明了金属膜 6 连接于设置在积层间的接地用图案 3 的电子电路单元,不过也可以将接地用图案 3 设置在多层基板 1 的上表面,该接地用图案 3 在多层基板 1 的侧面的位置连接于金属膜 6。

[0113] 并且,在上述实施例中,说明了位于积层间的信号用图案 2 比位于积层间的接地用图案 3 位于更为下方(下表面侧)的电子电路单元,不过也可以是:位于积层间的信号用图案 2 比位于积层间的接地用图案 3 位于更为上方(上表面侧),位于积层间的信号用图案 2 也被金属膜 6 电屏蔽。

[0114] 接着,基于图 3~图 9 说明本发明的电子电路单元的第一实施例的制造方法,首先,如图 3、图 4 所示,准备用于形成多个多层基板 1 的集合基板 11,接着,在如图 3、图 4 所示的第一工序中,电子部件 4 对应于各个多层基板 1 而被搭载(安装)于集合基板 11。

[0115] 接着,在图 5 所示的第二工序中,在集合基板 11 的上表面的整个面设置封固树脂部 5 来埋入设置电子部件 4,之后,在图 6、图 7 的第三工序中,在相互紧邻的多层基板 1 间(切断线 S1)的位置,在集合基板 11 与封固树脂部 5 上,在利用位于集合基板 11 的下部侧的连结部 11a 来连结多个多层基板 1 的状态下,从封固树脂部 5 的上表面部至露出位于积层间的接地用图案 3 的位置设置狭缝部 12,在封固树脂部 5 利用狭缝部 12 来形成相互相对的一对侧面部,并且,在多层基板 1 利用狭缝部 12 来形成相互相对的一对侧面的一部分。

[0116] 在该第三工序中,多个狭缝部 12 形成为并列状态。

[0117] 接着,在图 8 的第四工序中,在包括有狭缝部 12 内的封固树脂部 5 与集合基板 11

上通过电镀形成与位于积层间的接地用图案 3 连接的金属膜 6。

[0118] 在该第四工序中的金属膜 6 被形成在狭缝部 12 内的整面（封固树脂部 5 的侧面部与多层基板 1 的一部分的侧面、以及狭缝部 12 的底面）与封固树脂部 5 的上表面部。

[0119] 接着，在图 9 的第五工序中，在相互紧邻的多层基板 1 间（参照图 6 的切断线 S1、S2）的位置设置切断部 13，从而电子电路单元被各个地断开。

[0120] 该第五工序中的切断部 13，以比狭缝部 12 的宽度小的宽度尺寸形成，在狭缝部 12 的底面的位置被切断，并且在切断线 S1 的位置切断连结部 11a，并且，在切断线 S2 的位置切断封固树脂部 5 与集合基板 11（没有狭缝部 12 的连结部 11a），从而完成本发明的电子电路单元的制造。

[0121] 并且，图 10～图 12 表示本发明的电子电路单元的第二实施例，说明该第二实施例，金属膜 6 被设置在：封固树脂部 5 的上表面部的整个面、封固树脂部 5 的相互相对的两对侧面部的整个面、以及位于从多层基板 1 的上表面至积层间的接地用图案 3 之间的多层基板 1 的相互相对的两对侧面的整个面。

[0122] 即，金属膜 6 形成了如下结构：被设置在封固树脂部 5 的已露出的外表面的整个面、和从多层基板 1 的上表面至接地用图案 3 之间的侧面的整个面，利用金属膜 6 来进行多层基板 1 的上表面或者积层间的信号用图案 2 的电屏蔽。

[0123] 其它的结构具有与上述第一实施例相同的结构，对相同的部件标注相同的附图标记，在此省略其说明。

[0124] 另外，在上述第二实施例，说明了接地用图案 3 从多层基板 1 的两对侧面分别露出的电子电路单元，不过接地用图案 3 也可以从多层基板 1 的一个侧面、或者相互相对的一对侧面露出。

[0125] 接着，基于图 13、以及作为第一实施例的图 3～图 9 来说明本发明的电子电路单元的第二实施例的制造方法，首先，如图 3、图 4 所示，准备用于形成多个多层基板 1 的集合基板 11，接着，在如图 3、图 4 所示的第一工序中，电子部件 4 对应于各个多层基板 1 而被搭载（安装）于集合基板 11，接着，在如图 5 所示的第二工序中，在集合基板 11 的上表面的整个面设置封固树脂部 5 来埋入设置电子部件 4。

[0126] 即，在第一、第二工序中，与第一实施例相同。

[0127] 接着，在第三工序的图 13 中，在相互紧邻的多层基板 1 间（切断线 S1、S2）的位置，在集合基板 11 与封固树脂部 5 上，在利用位于集合基板 11 的下部侧的连结部 11a 来连结多个多层基板 1 的状态下，从封固树脂部 5 的上表面部至露出位于积层间的接地用图案 3 的位置设置狭缝部 12，在封固树脂部 5 利用狭缝部 12 来形成相互相对的两对侧面部，并且，在多层基板 1 利用狭缝部 12 来形成相互相对的两对侧面的一部分。

[0128] 在该第二实施例的第三工序中，狭缝部 12 形成为格子状。

[0129] 接着，在图 8 的第四工序中，在包括有狭缝部 12 内的封固树脂部 5 与集合基板 11 上通过电镀形成与位于积层间的接地用图案 3 连接的金属膜 6。

[0130] 在该第四工序中的金属膜 6 被形成在狭缝部 12 内的整个面（封固树脂部 5 的侧面部与多层基板 1 的一部分的侧面、以及狭缝部 12 的底面）与封固树脂部 5 的上表面部。

[0131] 即，该第四工序与第一实施例相同。

[0132] 接着，在第五工序的图 9 中，在相互紧邻的多层基板 1 间（参照图 13 的切断线 S1、

S2) 的位置设置切断部 13, 从而电子电路单元被各个地断开。

[0133] 该第五工序中的切断部 13, 以比狭缝部 12 的宽度小的宽度尺寸形成, 在狭缝部 12 的底面的位置被切断, 并且切断线 S1、S2 的位置的连结部 11a 被切断, 从而完成本发明的电子电路单元的制造。

[0134] 并且, 图 14、图 15 表示本发明的电子电路单元的第三实施例, 说明该第三实施例, 在多层基板 1 具有连接导体 7, 所述连接导体 7 被设置为贯穿在从多层基板 1 的上表面到侧面的接地用图案 3 所在的空间、且在侧面的位置连接于接地用图案 3, 在该连接导体 7 连接有金属膜 6。

[0135] 其它结构具有与上述第一实施例相同的结构, 对相同部件标注相同的附图标记, 在此省略其说明。

[0136] 另外, 在该第三实施例中, 说明了金属膜 6 设置在封固树脂部 5 的上表面部与一对侧面部、以及多层基板 1 的一对侧面的电子电路单元, 但是如图 10 ~ 图 12 的第二实施例所示, 金属膜 6 也可以被设置在封固树脂部 5 的已露出的外表面的整个面、与从多层基板 1 的上表面至接地用图案 3 之间的侧面的整个面。

[0137] 接着, 基于图 16 ~ 图 24 说明本发明的电子电路单元的第三实施例的制造方法, 首先, 如图 16、图 17 所示, 准备用于形成多个多层基板 1 的集合基板 11, 其为了露出位于积层间的接地用图案 3 而具有设置在相互紧邻的多层基板 1 间 (切断线 S1) 的切割条槽 11b, 接着, 在如图 16、图 17 所示的第一工序中, 电子部件 4 对应于各个多层基板 1 而被搭载 (安装) 于集合基板 11。

[0138] 接着, 在如图 18、图 19 所示的第二工序中, 由导电材料构成的导体部 14 被填充在切割条槽 11b 内, 该导体部 14 连接于接地用图案 3。

[0139] 该导体部 14 形成为并列状态, 并且用于形成后述的连接导体 7。

[0140] 接着, 在图 20 的第三工序中, 在集合基板 11 的上表面的整个面与导体部 14 的上表面设置封固树脂部 5 来埋入设置电子部件 4。

[0141] 接着, 在图 21、图 22 的第四工序中, 在相互紧邻的多层基板 1 间 (切断线 S1) 的位置, 在集合基板 11 与封固树脂部 5、以及导体部 14 上, 在利用位于集合基板 11 的下部侧的连结部 11a 来连结多个多层基板 1 的状态下, 从封固树脂部 5 的上表面部至露出位于积层间的接地用图案 3 的位置设置狭缝部 12。

[0142] 在该第四工序中, 导体部 14 被狭缝部 12 分割, 在狭缝部 12 内形成连接于接地用图案 3 的连接导体 7, 并且在封固树脂部 5 利用狭缝部 12 来形成相互相对的一对侧面部, 并且, 在多层基板 1 利用狭缝部 12 来形成相互相对的一对侧面的一部分。

[0143] 接着, 在图 23 的第五工序中, 在包括有狭缝部 12 内的封固树脂部 5 与集合基板 11 上通过电镀形成连接于位于积层间的接地用图案 3 的金属膜 6。

[0144] 在该第五工序中的金属膜 6 附着于连接导体 7 的表面, 并且被形成在狭缝部 12 内的整个面 (封固树脂部 5 的侧面部与多层基板 1 的一部分的侧面、以及狭缝部 12 的底面) 与封固树脂部 5 的上表面部。

[0145] 接着, 在第六工序的图 24 中, 在相互紧邻的多层基板 1 间 (参照图 21 的切断线 S1、S2) 的位置设置切断部 13, 从而电子电路单元被各个地断开。

[0146] 该第六工序中的切断部 13, 以比狭缝部 12 的宽度小的宽度尺寸形成, 在狭缝部 12

的底面的位置被切断,并且在切断线 S1 的位置切断连结部 11a,并且在切断线 S2 的位置切断封固树脂部 5 与集合基板 11(没有狭缝部 12 的连结部 11a),从而完成本发明的电子电路单元的制造。

[0147] 另外,该第三实施例也可以如图 13 的第二实施例所述,狭缝部 12 形成为格子状。

[0148] 并且,图 25、图 26 表示本发明的电子电路单元的第四实施例,说明该第四实施例,在多层基板 1 具有侧(side)电极 8,所述侧电极 8 被设置于从多层基板 1 的上表面至多层基板 1 的下表面的凹状的侧面、且在凹状的侧面的位置与接地用图案 3 相连接,在该侧电极 8 上连接有金属膜 6。

[0149] 其它结构具有与上述第一实施例相同的结构,对相同部件标注相同的附图标记,在此省略其说明。

[0150] 另外,在该第四实施例中,说明了金属膜 6 设置在封固树脂部 5 的上表面部与一对侧面部、以及多层基板 1 的一对侧面的电子电路单元,不过如图 10~图 12 的第二实施例所示,金属膜 6 也可以被设置在封固树脂部 5 的已露出的外表面的整个面、与从多层基板 1 的上表面至接地用图案 3 之间的侧面的整个面。

[0151] 接着,基于图 27~图 35 说明本发明的电子电路单元的第四实施例的制造方法,首先,如图 27、图 28 所示,准备用于形成多个多层基板 1 的集合基板 11,所述集合基板 11 为了露出位于积层间的接地用图案 3 而具有设置在相互紧邻的多层基板 1 间(切断线 S1)的贯通孔 11c,接着,在如图 27、图 28 所示的第一工序中,电子部件 4 对应于各个多层基板 1 而被搭载(安装)于集合基板 11。

[0152] 接着,在如图 29、图 30 所示的第二工序中,导体 15 被设置在贯通孔 11c 的壁面,该导体 15 连接于接地用图案 3。

[0153] 该导体 15 被设置在设置于相互紧邻的多层基板 1 间的贯通孔 11c 的壁面,且用于形成后述的侧电极 8。

[0154] 接着,在图 31 的第三工序中,在集合基板 11 的上表面的整个面与贯通孔 11c 的上表面设置封固树脂部 5 来埋入设置电子部件 4。

[0155] 在该第三工序中,在贯通孔 11c 内插入夹具(没有图式),在贯通孔 11c 被堵塞的状态下来形成封固树脂部 5。

[0156] 接着,在图 32、图 33 的第四工序中,在相互紧邻的多层基板 1 间(切断线 S1)的位置,在集合基板 11 与封固树脂部 5、以及导体 15 上,在利用位于集合基板 11 的下部侧的连结部 11a 来连结多个多层基板 1 的状态下,从封固树脂部 5 的上表面部至露出位于积层间的接地用图案 3 的位置设置(至位于积层间的接地用图案 3 的位置)设置狭缝部 12。

[0157] 在该第四工序中,狭缝部 12 的宽度是比贯通孔 11c 的直径小的宽度尺寸,导体 15 的上部的一部分被狭缝部 12 分割,在狭缝部 12 内形成连接于接地用图案 3 的侧电极 8,并且在封固树脂部 5 利用狭缝部 12 来形成相互相对的一对侧面部,并且,在多层基板 1 利用狭缝部 12 来形成相互相对的一对侧面的一部分。

[0158] 接着,在图 34 的第五工序中,在包括有狭缝部 12 内以及贯通孔 11c 内的封固树脂部 5 与集合基板 11 上通过电镀形成与位于积层间的接地用图案 3 连接的金属膜 6。

[0159] 在该第五工序中的金属膜 6 附着于侧电极 8 的表面,并且被形成在狭缝部 12 内的整个面(封固树脂部 5 的侧面部与多层基板 1 的一部分的侧面、以及狭缝部 12 的底面)与

封固树脂部 5 的上表面部。

[0160] 接着,在第六工序的图 35 中,在相互紧邻的多层基板 1 间(参照图 32 的切断线 S1、S2)的位置设置切断部 13,从而电子电路单元被各个地断开。

[0161] 该第六工序中的切断部 13,以比狭缝部 12 的宽度小的宽度尺寸形成,在狭缝部 12 的底面的位置被切断,并且在切断线 S1 的位置切断连结部 11a,并且在切断线 S2 的位置切断封固树脂部 5 与集合基板 11(没有狭缝部 12 的连结部 11a),从而完成本发明的电子电路单元的制造。

[0162] 另外,该第四实施例也可以如图 13 的第二实施例所述,狭缝部 12 形成为格子状。

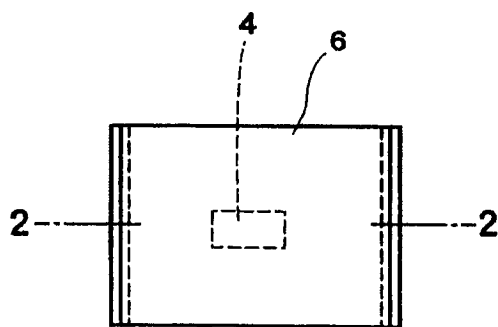


图 1

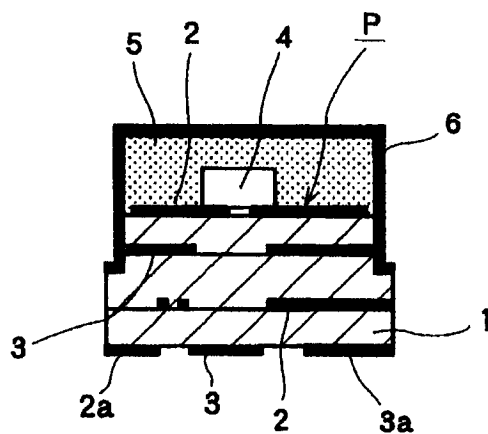


图 2

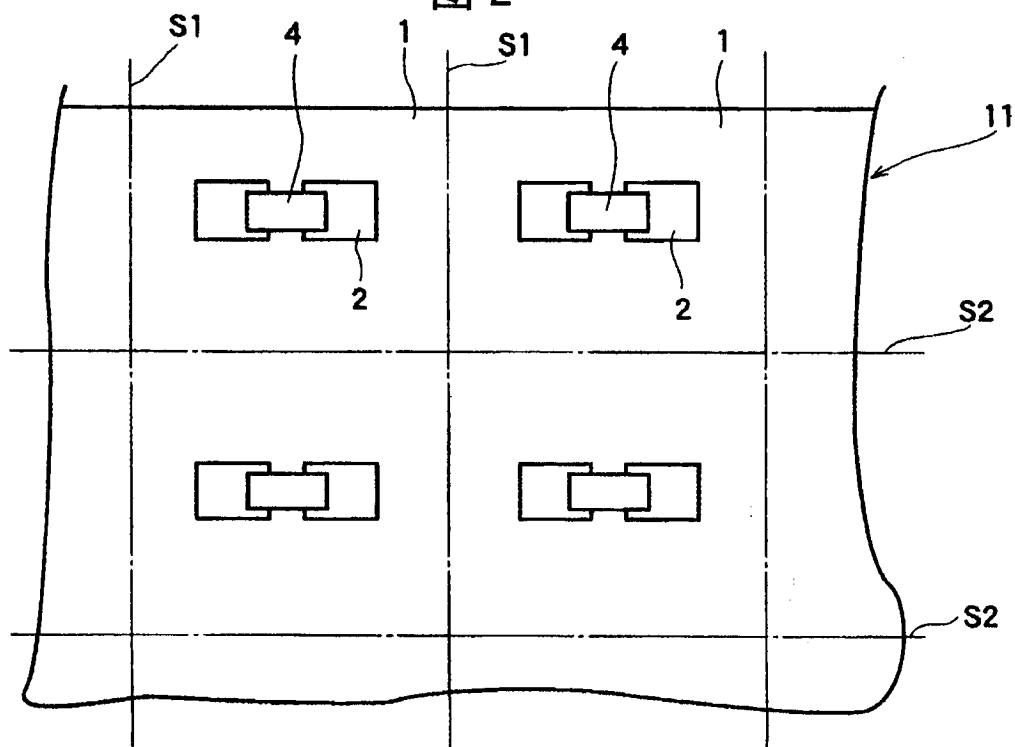


图 3

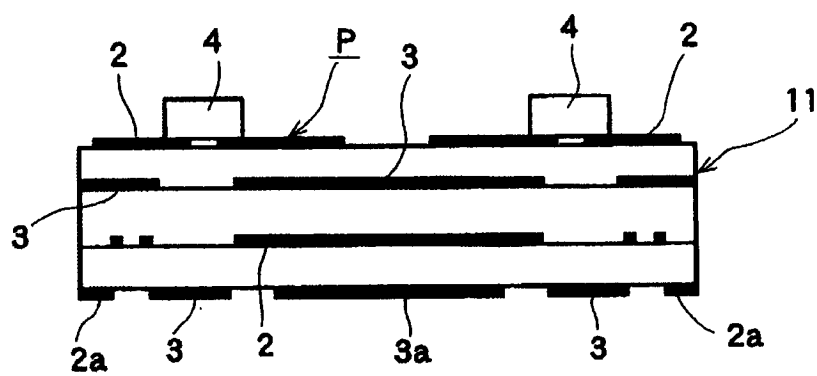


图 4

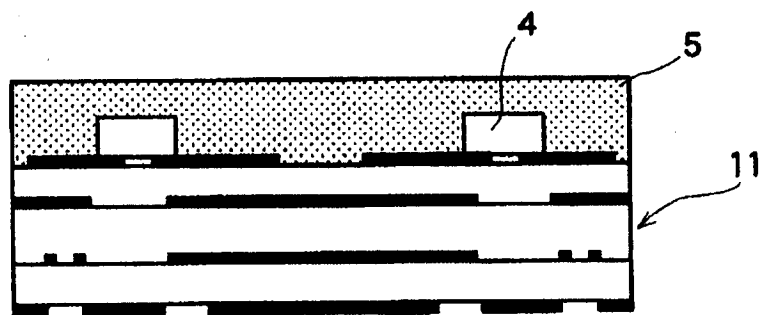


图 5

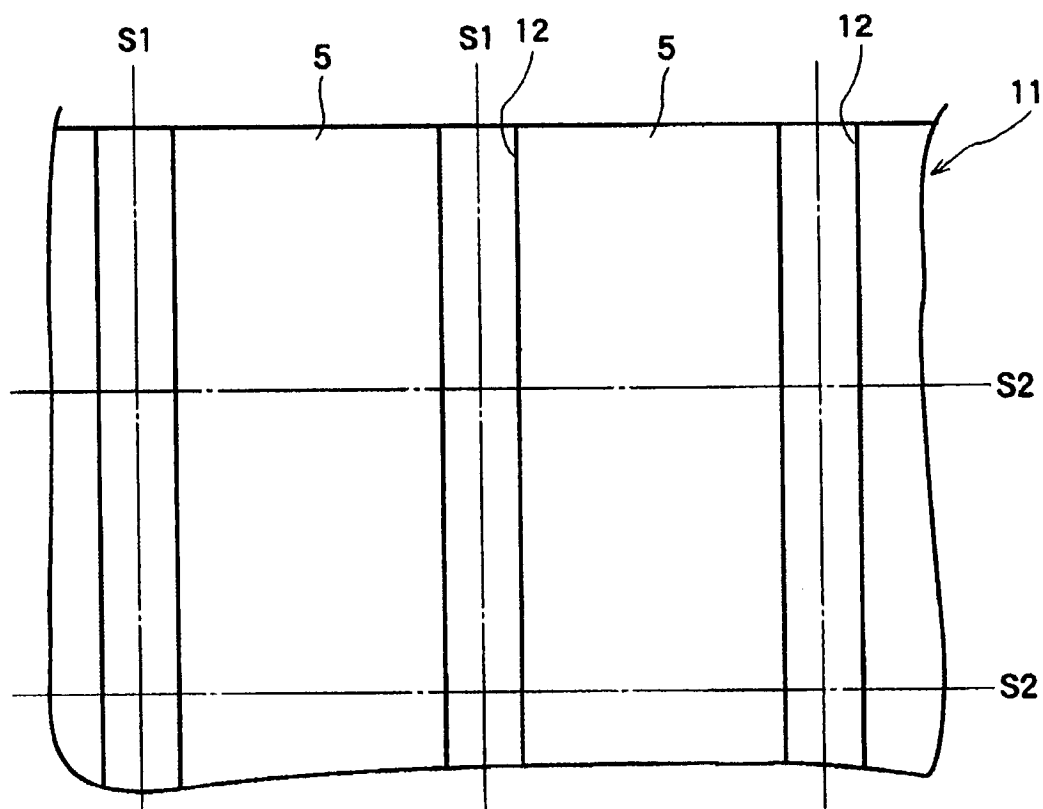


图 6

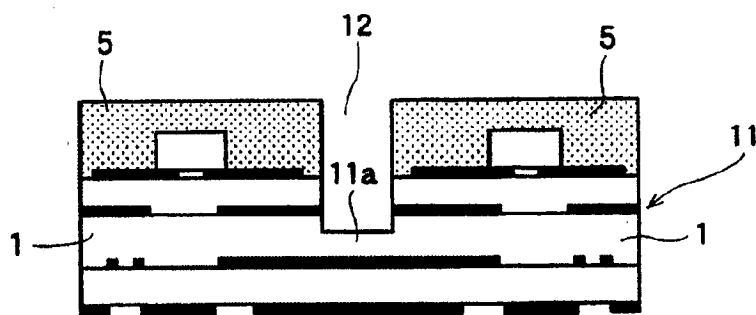


图 7

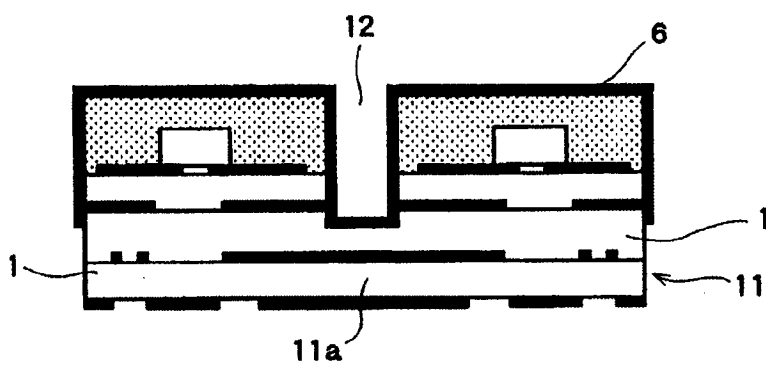


图 8

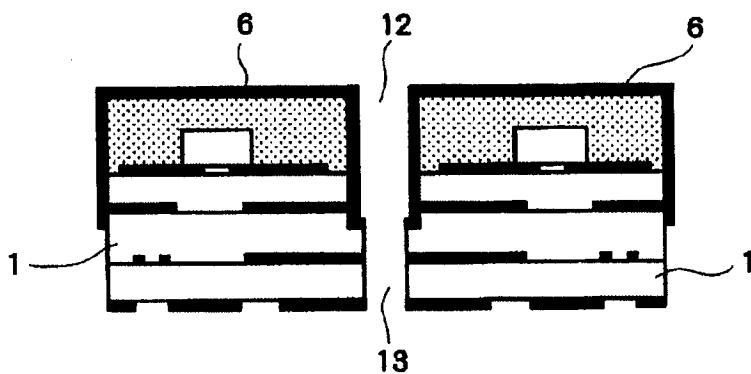


图 9

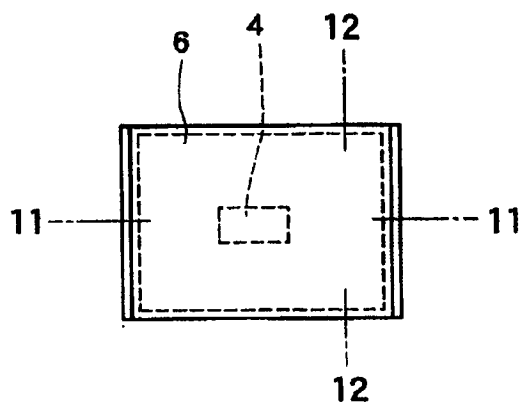


图 10

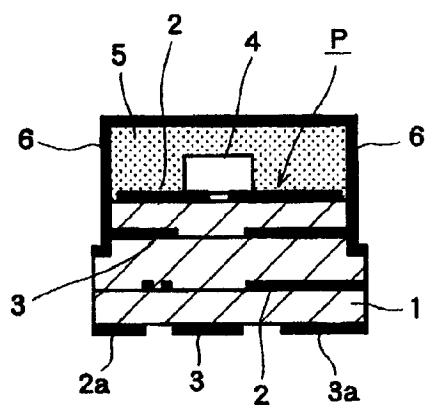


图 11

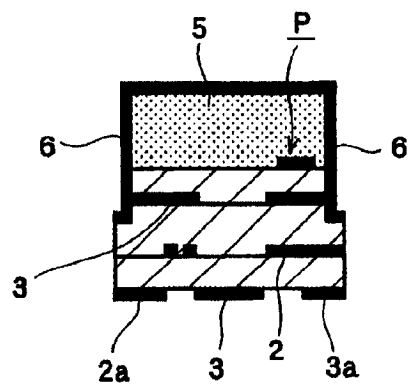


图 12

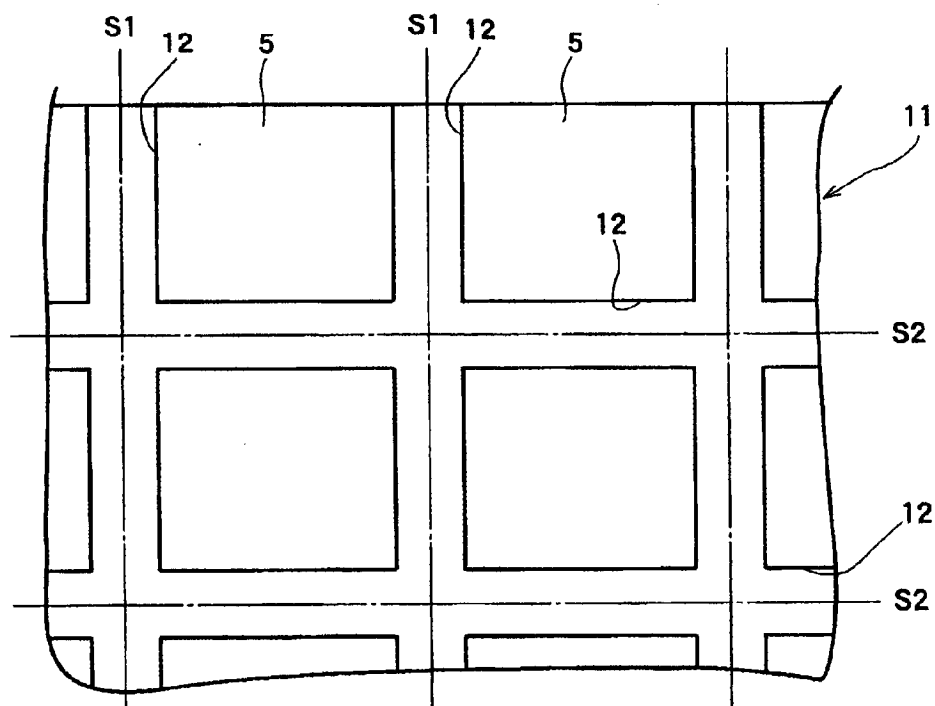


图 13

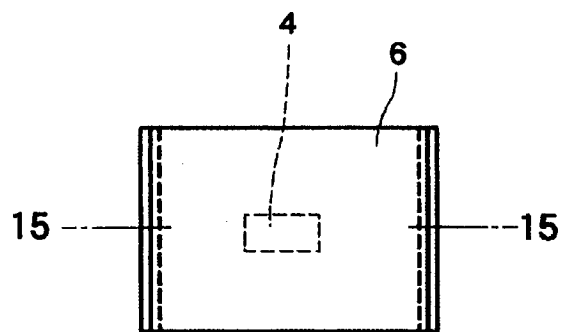


图 14

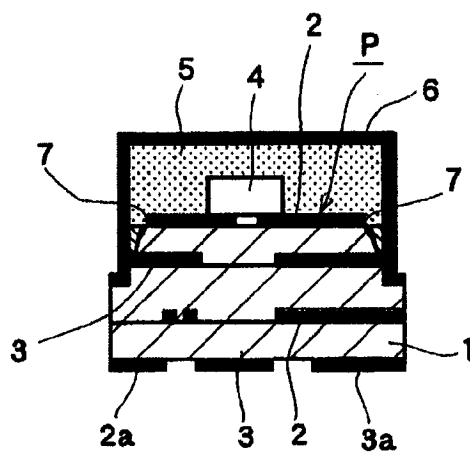


图 15

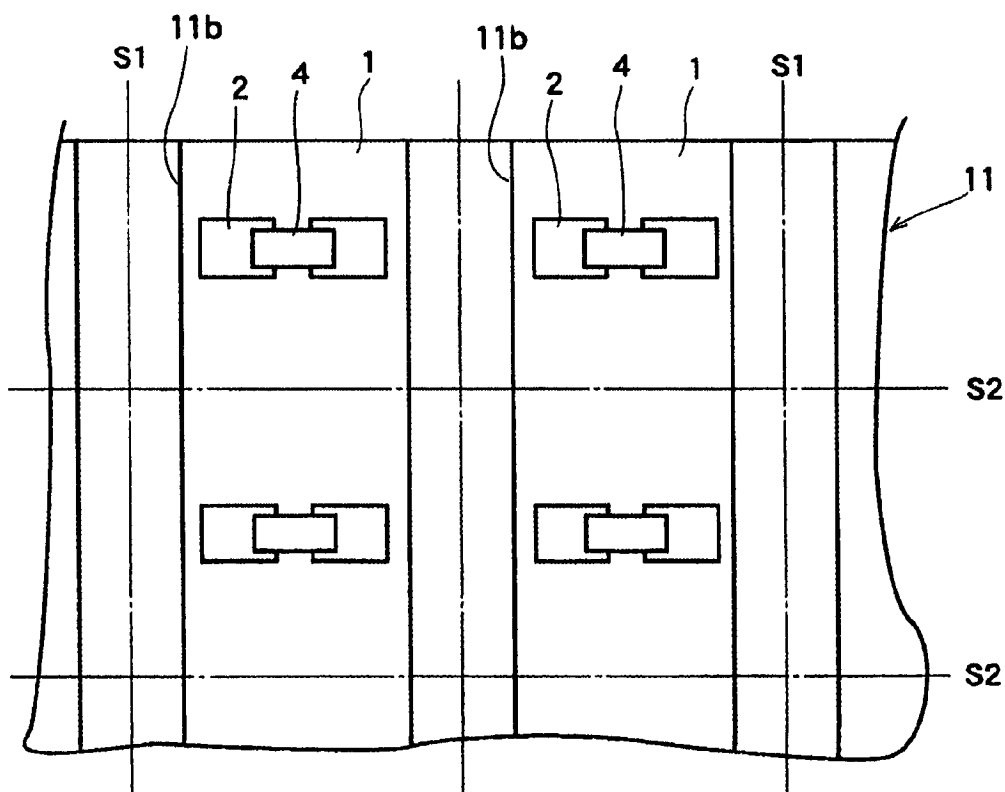


图 16

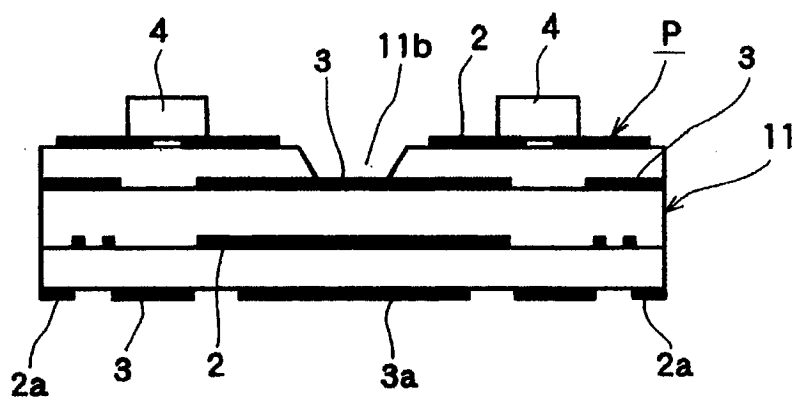


图 17

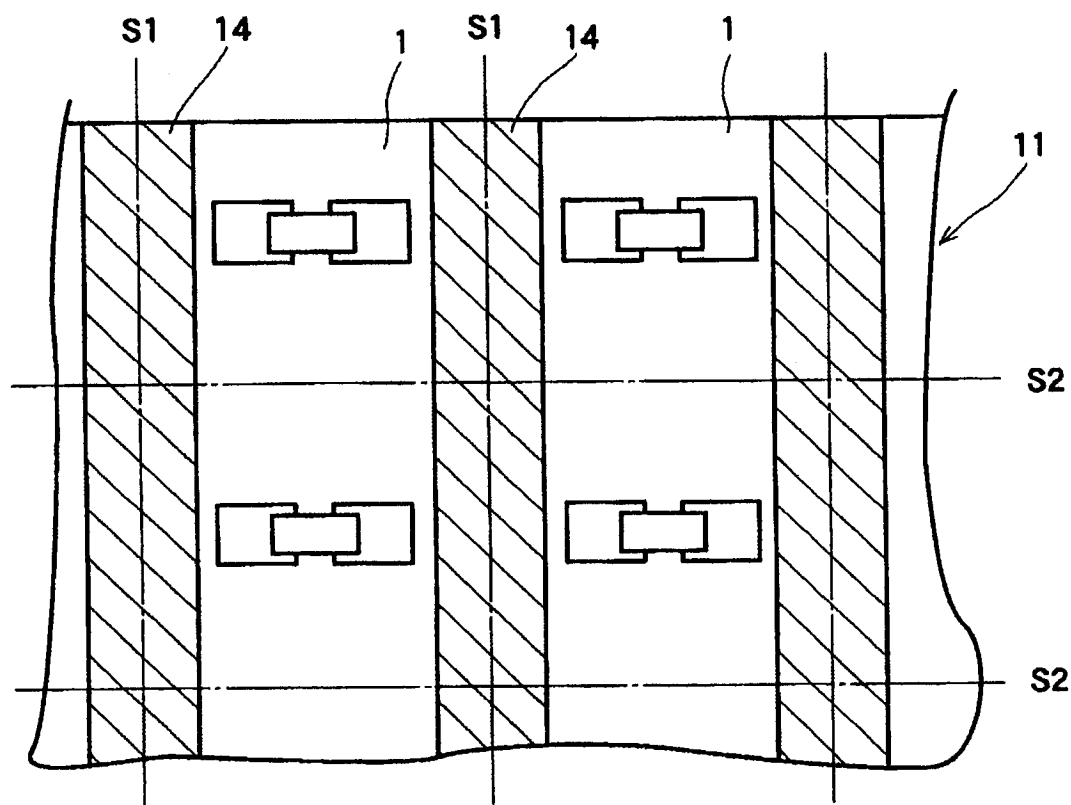


图 18

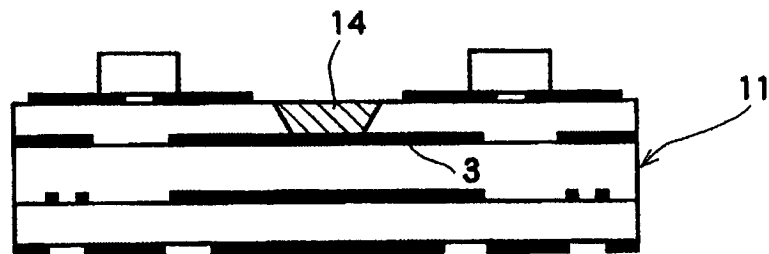


图 19

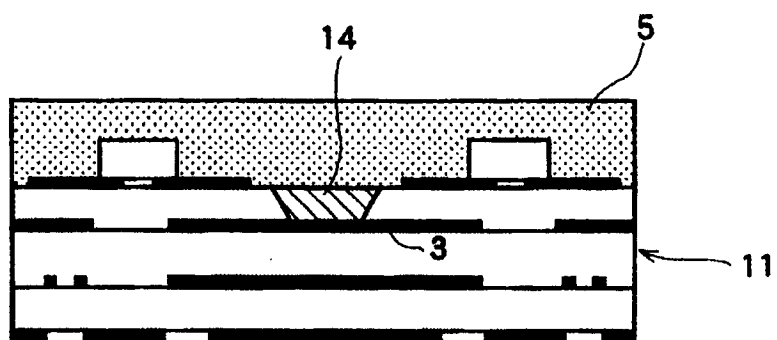


图 20

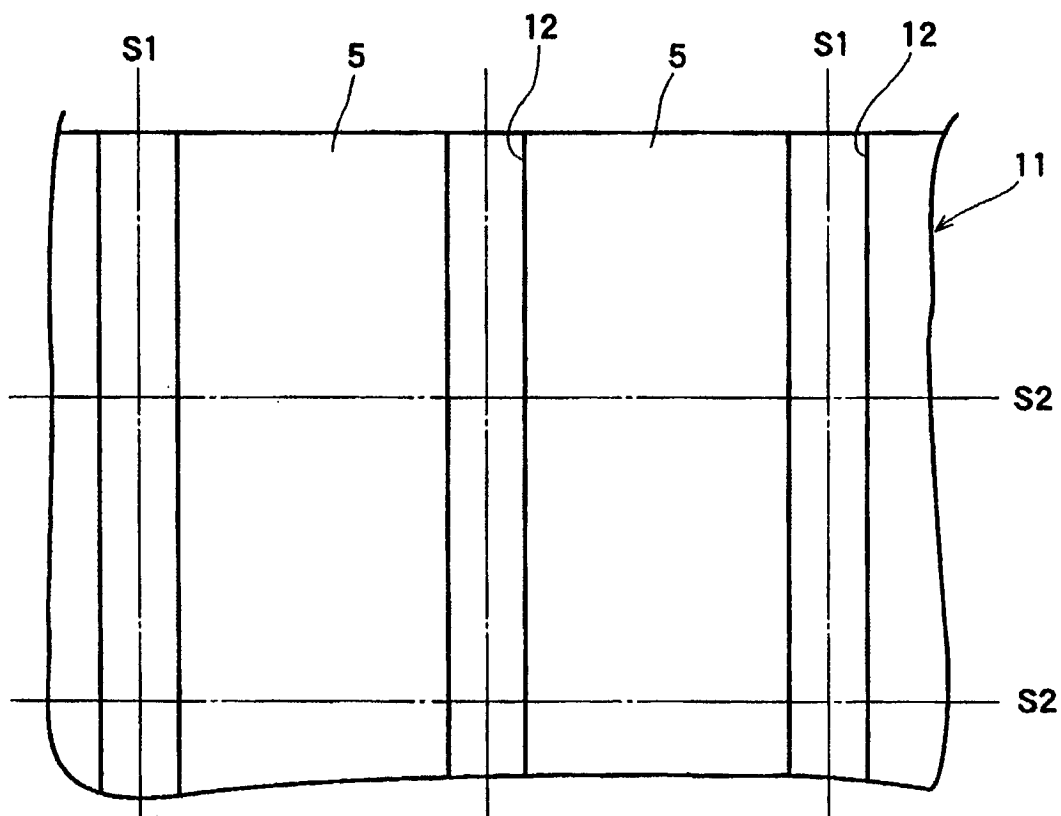


图 21

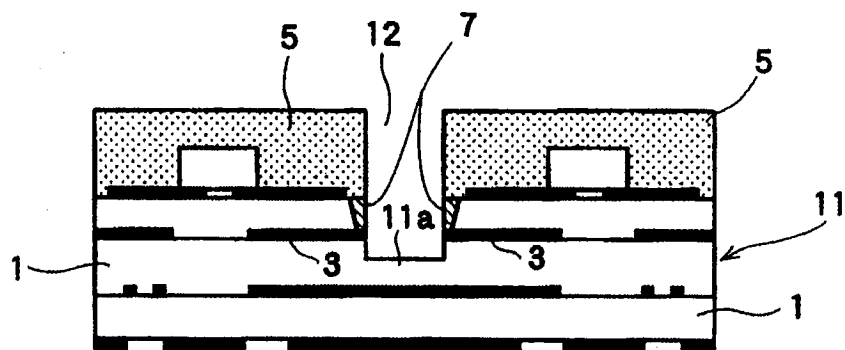


图 22

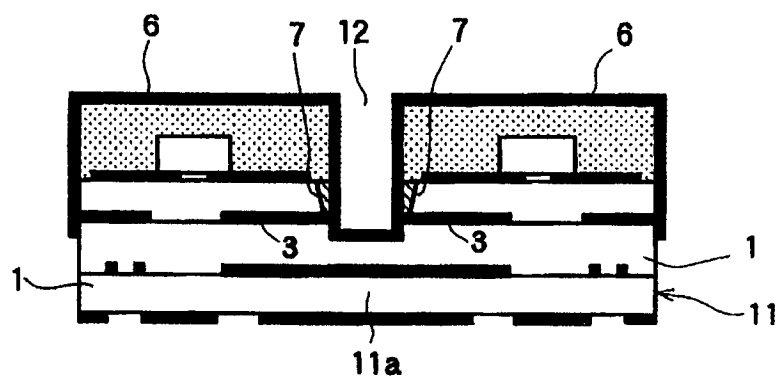


图 23

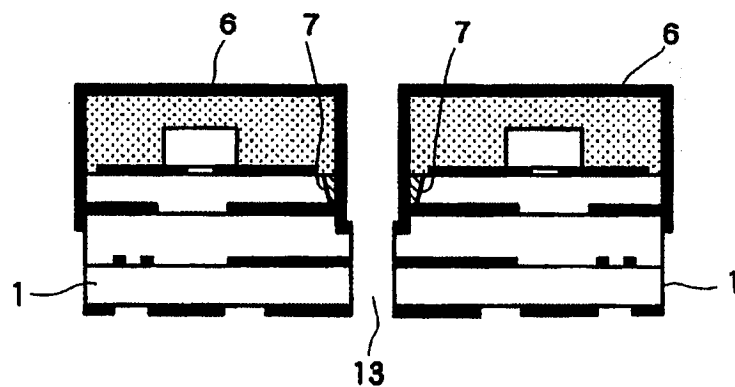


图 24

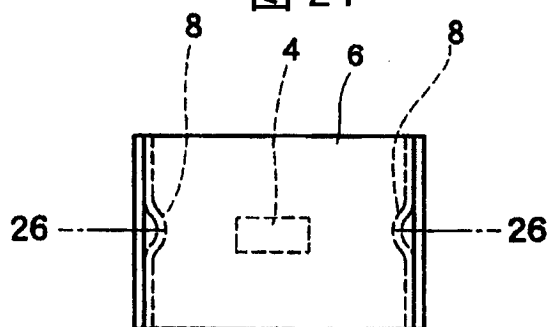


图 25

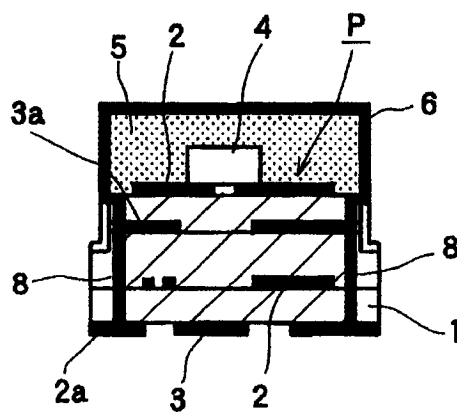


图 26

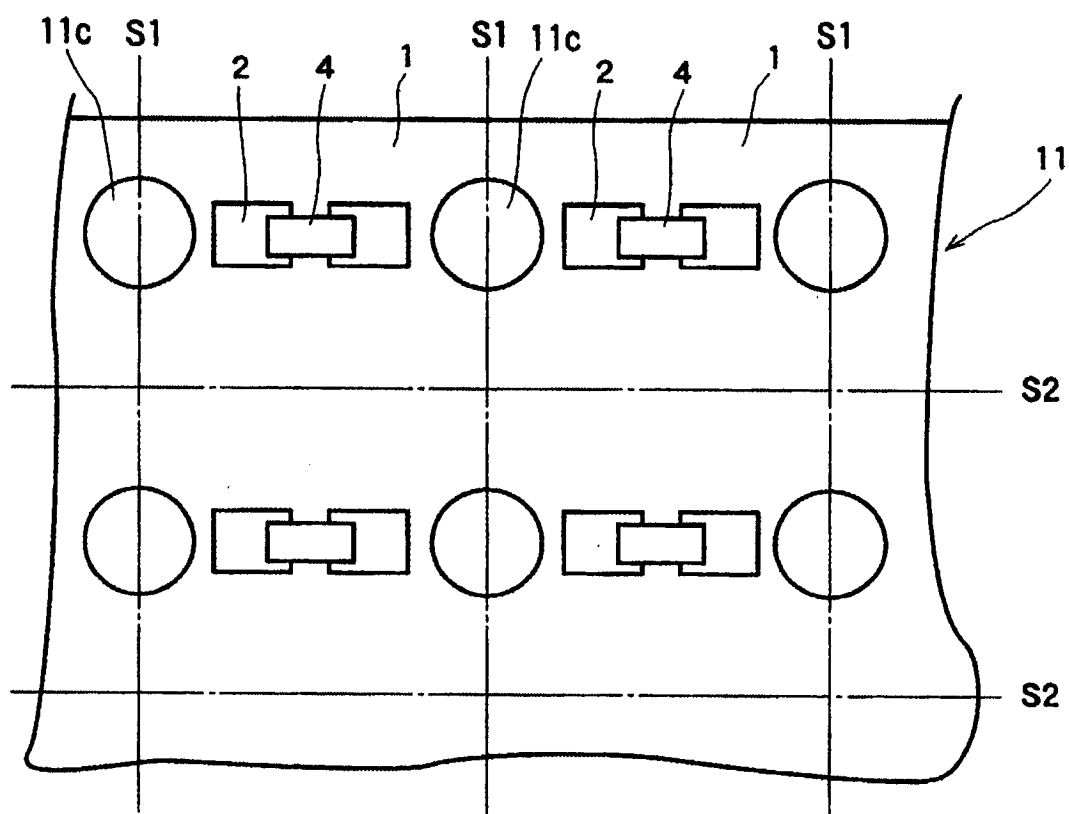


图 27

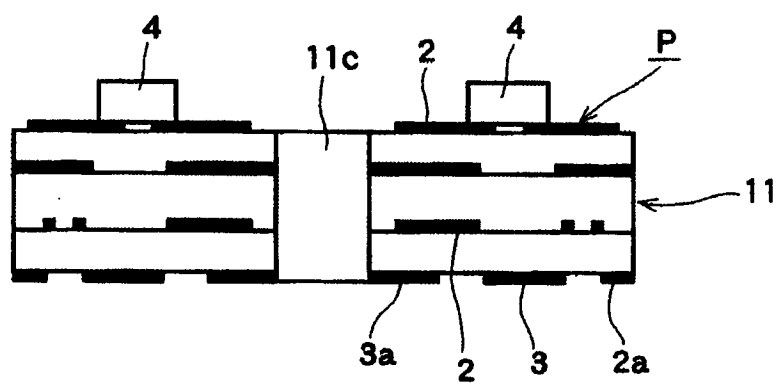


图 28

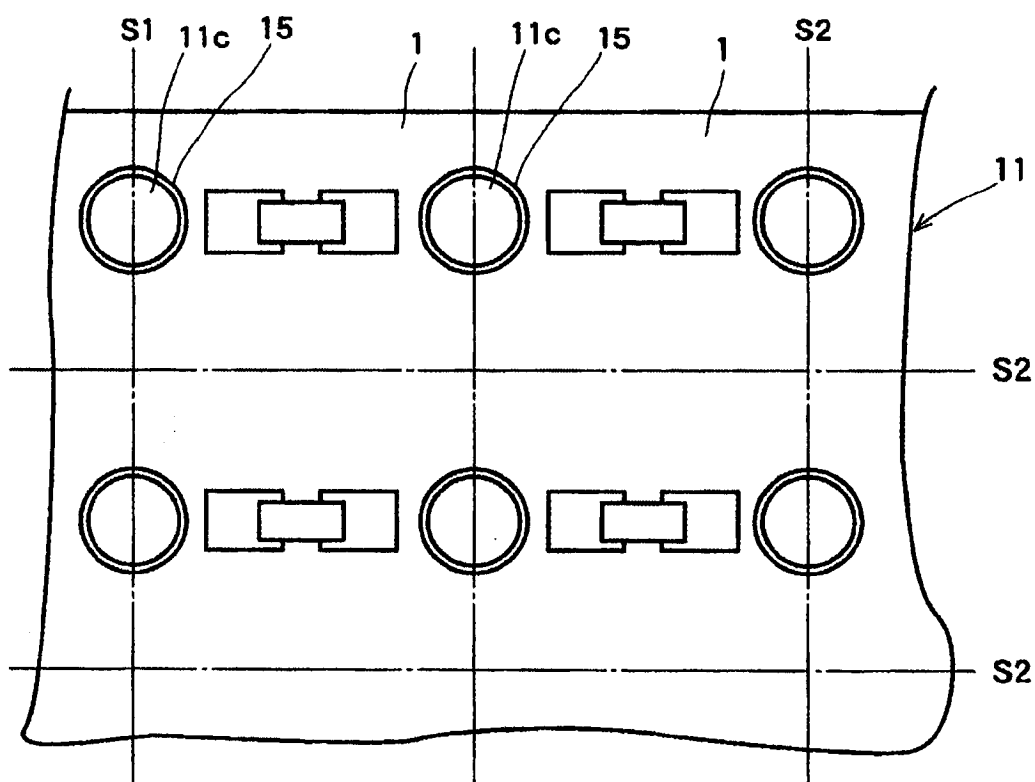


图 29

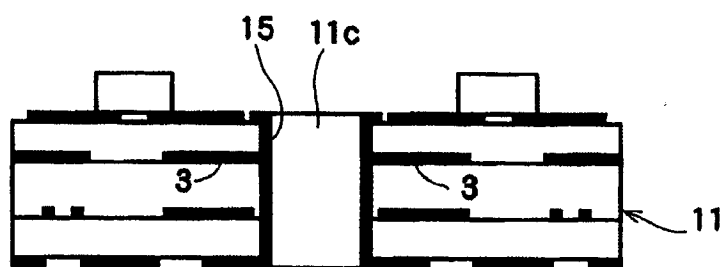


图 30

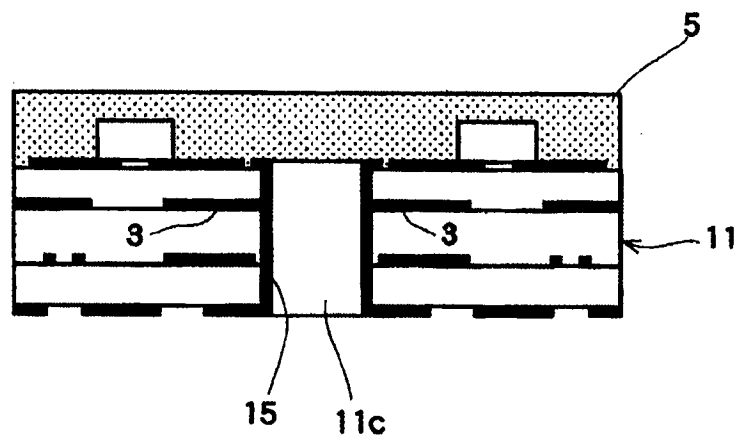


图 31

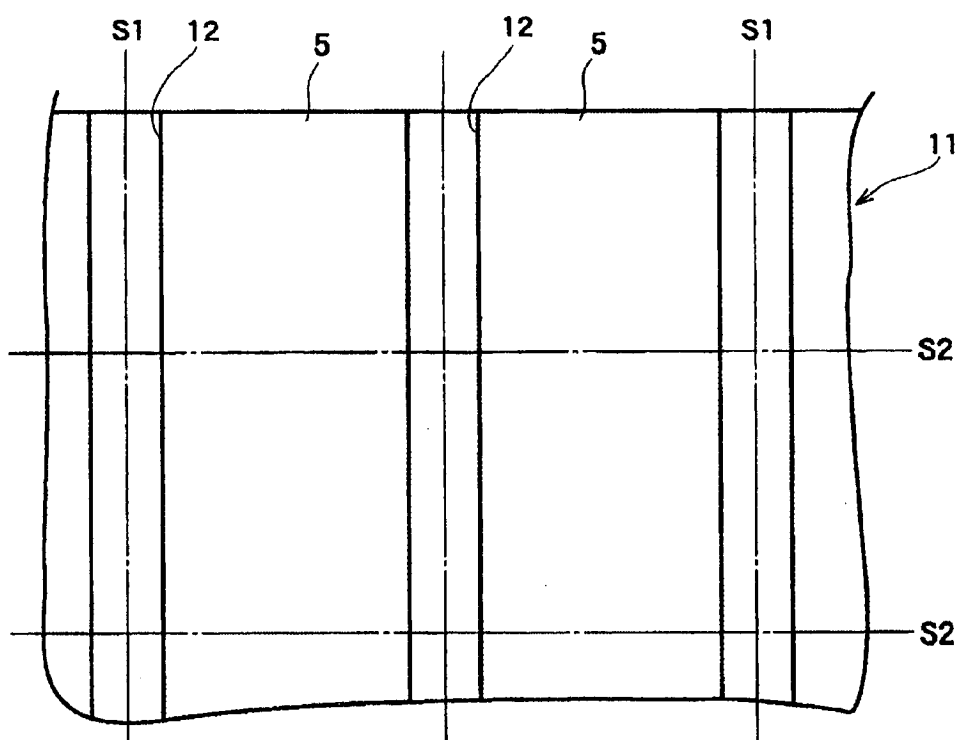


图 32

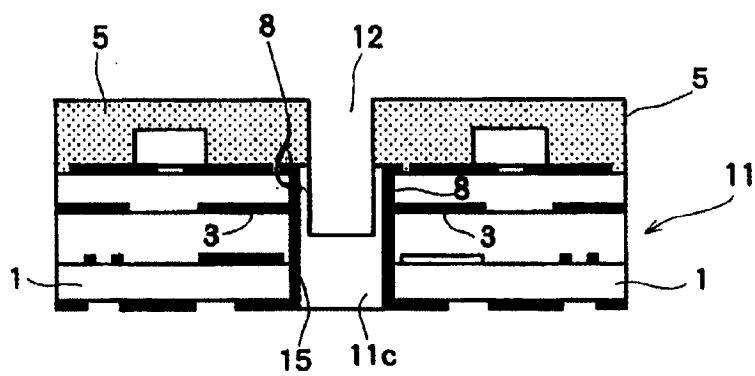


图 33

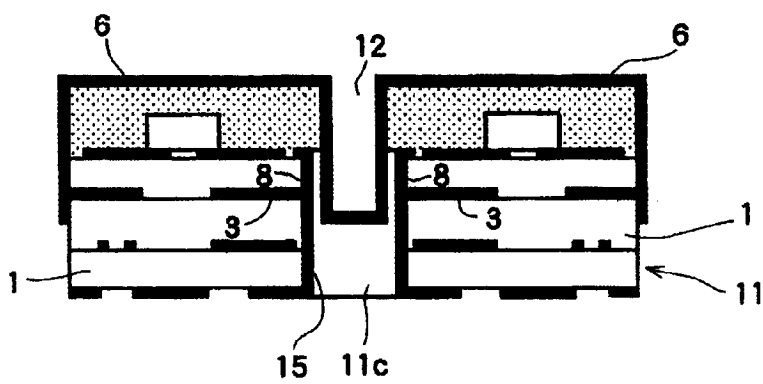


图 34

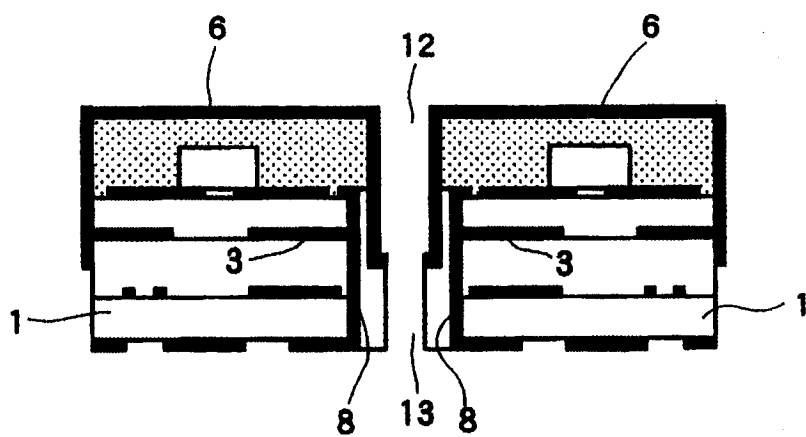


图 35

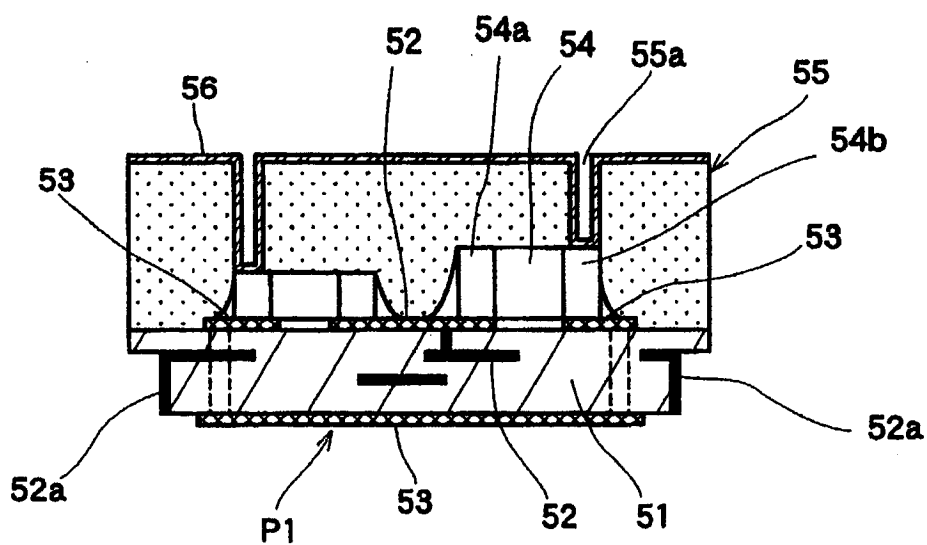


图 36

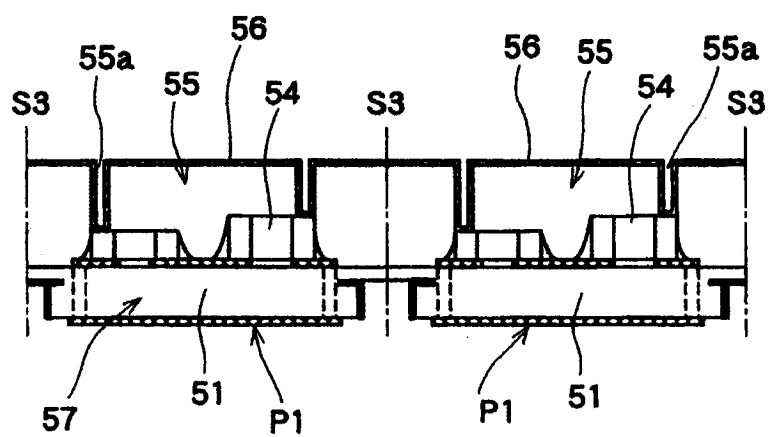


图 37