

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

**特許第4157715号
(P4157715)**

(45) 発行日 平成20年10月1日 (2008. 10. 1)

(24) 登録日 平成20年7月18日 (2008. 7. 18)

(51) Int. Cl.

F I

H O 1 L 25/065 (2006. 01)

H O 1 L 25/08

Z

H O 1 L 25/07 (2006. 01)**H O 1 L 25/18 (2006. 01)**

請求項の数 4 (全 14 頁)

(21) 出願番号 特願2002-79240 (P2002-79240)
 (22) 出願日 平成14年3月20日 (2002. 3. 20)
 (65) 公開番号 特開2003-282814 (P2003-282814A)
 (43) 公開日 平成15年10月3日 (2003. 10. 3)
 審査請求日 平成17年3月7日 (2005. 3. 7)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 菊間 克仁
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 明石 裕二
 愛知県春日井市高蔵寺町二丁目1844番
 2 富士通ヴィエルエスアイ株式会社内
 (72) 発明者 生田 武史
 東京都渋谷区恵比寿一丁目22番20号
 株式会社ジャパンアウトソーシング内
 最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1の半導体チップを第1の樹脂で封止する工程と、
 前記第1の樹脂で封止された前記第1の半導体チップにバーンイン試験を行う工程と、
 前記バーンイン試験により良品と判断された前記第1の半導体チップを基板上に搭載する工程と、
 前記基板上に搭載された前記第1の半導体チップの上方に、ベアチップである第2の半導体チップを積層する工程と、
 前記基板上に搭載された前記第1のチップと前記第2の半導体チップを第2の樹脂により封止する工程と、
 を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

請求項1に記載の半導体装置の製造方法において、
 前記バーンイン試験後の前記第1の半導体チップに初期不良が無い場合に、前記第1の半導体チップを前記基板上に搭載することを特徴とする半導体装置の製造方法。

【請求項 3】

請求項1または2記載の半導体装置の製造方法において、
 前記第1の樹脂の熱膨張率と、前記第2の樹脂の熱膨張率が同一であることを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 または 2 記載の半導体装置の製造方法において、
前記第 1 の樹脂の材料と前記第 2 の樹脂の材料が同一であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法に係り、特に複数の半導体チップを一つのパッケージ内に内設した M C P (Multi Chip Package) 構造を有した半導体装置の製造方法に関する。

【0002】

現在、移動携帯端末に代表される小型電子機器類は小型化の一途を辿っており、それに伴いこれらの機器に内蔵される部品等も小型化している。 10

【0003】

従って、これらの機器の主要部品である半導体装置の実装面積削減の為、複数の半導体チップを一つのパッケージ内に集約的に配設する MCP 構造の半導体装置が注目されるようになってきている。

【0004】

【従来の技術】

図 1 及び図 2 は、従来の M C P 構造の半導体装置の一例を示している。図 1 に示す半導体装置 1 A は、複数（同図に示す例では 2 個）の半導体チップ 3 , 4 を積層した構成とされている。即ち、基板 2 の上部に先ず第 1 の半導体チップ 3 が配設され、この第 1 の半導体チップ 3 の上部に第 2 の半導体チップ 4 が積み上げられた構成とされている（このタイプの M C P をスタックタイプという）。 20

【0005】

この第 1 及び第 2 の半導体チップ 3 , 4 は、ワイヤ 5 を用いて基板 2 と電気的に接続されている。また、基板 2 の上部には封止樹脂 6 がモールドされており、各半導体チップ 3 , 4 及びワイヤ 5 はこの封止樹脂 6 により保護されている。更に、基板 2 の下面には外部接続端子となる半田ボール 7 が配設されている。この半田ボール 7 は、基板 2 に形成された配線及びスルーホールを介してワイヤ 5 と接続されている。

【0006】

また、図 2 に示す半導体装置 1 B は、複数（同図に示す例では 2 個）の半導体チップ 3 , 4 を基板 2 上に水平方向に並んで配設した構成とされている（このタイプの M C P をプレーンタイプという）。第 1 及び第 2 の半導体チップ 3 , 4 は、ワイヤ 5 を用いて基板 2 と電気的に接続されている。また、基板 2 の上部には封止樹脂 6 がモールドされており、各半導体チップ 3 , 4 及びワイヤ 5 はこの封止樹脂 6 により保護されている。更に、基板 2 の下面には外部接続端子となる半田ボール 7 が配設されている。この半田ボール 7 は、基板 2 に形成された配線及びスルーホールを介してワイヤ 5 と接続されている。 30

【0007】

ところで、上記の M C P 構造の半導体装置 1 A , 1 B に搭載する半導体チップ 3 , 4 は、一般に試験済みの良品チップのみを使用して製品化する。しかし使用しようとする半導体チップ 3 , 4 が開発初期段階である場合、或いは半導体チップそのものに技術的な問題等のある場合においては、通常の試験工程のみでは半導体装置の信頼性が確保できない。例えば、DRAMセルコア技術使用のメモリなどである。このような場合、通常試験工程に加え、半導体チップの初期不良品を除去するためのバーンイン（B I）と呼ばれる加熱による加速試験が必要となる。 40

【0008】

図 3 及び図 4 は、従来の M C P 構造の半導体装置 1 A , 1 B の製造工程を説明するための図である。図 3 は半導体装置 1 A , 1 B の製造工程図であり、図 4 は各製造工程の処理を示す概略図である。

【0009】

ステップ 1 0 A ~ 1 2 A（図では、ステップを S と略称している）は、第 1 の半導体チッ 50

プ3を製造する工程である。また、ステップ10B～12Bは、第2の半導体チップ4を製造する工程である。各半導体チップ3, 4を製造するには、まず各半導体チップ3, 4が形成されたウェハを各々作製する(ステップ10A, 10B)。続いて、このウェハを個々の半導体チップ3, 4に個片化するためダイシングを行ない(ステップ11A, 11B)、これにより第1及び第2の半導体チップ3, 4が製造される(ステップ12A, 12B)。

【0010】

バーンインが必要な第1の半導体チップ3と、バーンインが不要な第2の半導体チップ4がそれぞれ製造されると、続いて第1及び第2の半導体チップ3, 4は、基板2上に搭載される(ステップ13)。この際、図1に示した半導体装置1Aでは第1及び第2の半導体チップ3, 4はスタックされ、また図2に示した半導体装置1Bでは、第1及び第2の半導体チップ3, 4は基板2上に並んだ状態に搭載される。

10

【0011】

続いて、各半導体チップ3, 4と基板2との間でワイヤ5がボンディングされ(ステップ14)、その後この基板2には樹脂封止が行なわれ、封止樹脂6が形成される(ステップ15)。続いて、このように封止樹脂6が配設された基板2を個々の半導体装置1A, 1Bにダイシングにより個片化し(ステップ16)、これにより半導体装置1A, 1Bが製造される(ステップ17)。

【0012】

上記のように、複数の半導体チップ3, 4が配設されたMCP構造の半導体装置1A, 1Bでは、1つの半導体装置1A, 1Bにバーンインが必要な半導体チップ3と、バーンインが不要な半導体チップ4とが混在して搭載される場合がある。

20

【0013】

このような半導体装置1A, 1Bの信頼性を保証するためには、バーンインが必要な半導体チップ3に対してバーンインを行なう必要がある。従って、バーンインが必要な半導体チップ3と、バーンインが不要な半導体チップ4とが混在した半導体装置1A, 1Bでは、第1の半導体チップ3の初期不良品を除去するためにバーンインが実施される(ステップ18)。そして、バーンインの結果を評価し、第1の半導体チップ3に処理不良が発生していた場合には、当該第1の半導体チップ3が配設された半導体装置を除去する。

【0014】

続いて、電気的特性試験、外観試験等の最終評価試験が実施され(ステップ20)、不良品が存在していた場合にはこれを除去する(ステップ21)。そして、以上の各工程を実施することにより、半導体装置が完成する。

30

【0015】

【発明が解決しようとする課題】

しかしながら、従来のように第1の半導体チップ3と第2の半導体チップ4を基板2上に配設し、これを封止樹脂6により封止した構成の半導体装置1Aでは、第1の半導体チップ3に対してバーンインを行なうことにより、バーンインが不要な第2の半導体チップ4に対しても熱が印加されてしまう。このため、バーンイン時に、バーンインが不要な第2の半導体チップ4が劣化或いは破壊されてしまうおそれがある。

40

【0016】

この問題点を回避する手段として、バーンインを必要とする第1の半導体チップ3を、半導体装置1A, 1Bに搭載する前の状態、即ちウェハ状態でバーンインする方法(ウェーハレベル・バーンイン)も考えられている。しかしながら、この方法を用いる場合でも、各半導体チップ内にウェーハレベル・バーンイン用の回路を組み込む必要があること、また大規模なウェーハレベル・バーンイン装置が必要となること、及びスループットが低い等の問題が新たに生じ、ウェーハレベル・バーンインも実際上は困難である。

【0017】

本発明は上記の点に鑑みてなされたものであり、バーンインの不要な半導体チップの損傷を防止しつつ、バーンインが必要な半導体チップの初期信頼性を確保しうる半導体装置

50

の製造方法を提供することを目的とする。

【 0 0 1 8 】

【課題を解決するための手段】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【 0 0 1 9 】

請求項 1 記載の発明に係る半導体装置の製造方法は、

第 1 の半導体チップを第 1 の樹脂で封止する工程と、

前記第 1 の樹脂で封止された前記第 1 の半導体チップにバーンイン試験を行う工程と、

前記バーンイン試験により良品と判断された前記第 1 の半導体チップを基板上に搭載する工程と、

前記基板上に搭載された前記第 1 の半導体チップの上方に、ヘアチップである第 2 の半導体チップを積層する工程と、

前記基板上に搭載された前記第 1 のチップと前記第 2 の半導体チップを第 2 の樹脂により封止する工程とを含むことを特徴とするものである。

また、請求項 2 記載の発明は、

請求項 1 に記載の半導体装置の製造方法において、

前記バーンイン試験後の前記第 1 の半導体チップに初期不良が無い場合に、前記第 1 の半導体チップを前記基板上に搭載することを特徴とするものである。

また、請求項 3 記載の発明は、

請求項 1 または 2 記載の半導体装置の製造方法において、

前記第 1 の樹脂の熱膨張率と、前記第 2 の樹脂の熱膨張率が同一であることを特徴とするものである。

また、請求項 4 記載の発明は、

請求項 1 または 2 記載の半導体装置の製造方法において、

前記第 1 の樹脂の材料と前記第 2 の樹脂の材料が同一であることを特徴とするものである。

【 0 0 3 7 】

【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。

図 5 乃至図 7 は、本発明の第 1 実施例である半導体装置 2 0 A 及びその製造方法を説明するための図である。図 5 は半導体装置 2 0 A の製造工程図であり、図 6 及び図 7 は各製造工程の処理を示す概略図である。

【 0 0 3 8 】

図 7 (C) 及び図 7 (D) は、半導体装置 2 0 A を示している。各図に示す半導体装置 2 0 A は、基板 1 4 上に半導体パッケージ 1 0 A と半導体チップ 1 3 , 1 5 を積層し、これを封止樹脂 1 7 により樹脂封止した M C P 構造とされている。

【 0 0 3 9 】

半導体パッケージ 1 0 A は、後述するように第 1 の半導体チップ 1 1 を樹脂パッケージ 2 7 により封止したものである。本実施例では、半導体パッケージ 1 0 A としてチップサイズパッケージ (C S P) を用いており、基板 1 4 に電氣的に接続された構成とされている。

【 0 0 4 0 】

また、第 2 及び第 3 の半導体チップ 1 3 , 1 5 は、この半導体パッケージ 1 0 A の上面に積層させた構成とされている。各半導体チップ 1 3 , 1 5 と基板 1 4 は、ワイヤ 1 6 により接続された構成とされている。また、基板 1 4 の下面には、外部接続端子となる半田ボール 1 9 が配設されている。この半田ボール 1 9 は、基板 1 4 , ワイヤ 1 6 等を介して半導体パッケージ 1 0 A 及び各半導体チップ 1 3 , 1 5 と電氣的接続されている。

【 0 0 4 1 】

続いて、上記構成とされた半導体装置 2 0 A の製造方法について説明する。

半導体装置 20A に搭載される半導体チップは、半導体パッケージ 10A に封止される第 1 の半導体チップ 11 がバーンインを必要とし、ベアチップ状態で搭載される第 2 及び第 3 の半導体チップ 13, 15 はバーンインを必要としない半導体チップとしている。そして、本実施例ではバーンインを必要とする第 1 の半導体チップ 11 を、基板 14 に実装する前に樹脂パッケージ 27 に封止し、この樹脂パッケージ 27 に封止された状態の第 1 の半導体チップ 11 に対してバーンインを行なうことを特徴としている。

尚、以下の説明において、半導体パッケージ 10 (良品半導体パッケージ 10A, 不良半導体パッケージ 10B を含む) とは、第 1 の半導体チップ 11 を樹脂パッケージ 27 により封止したものをいう。

【0042】

ステップ 30 ~ 32 は、半導体パッケージ 10A を製造する工程である。半導体パッケージ 10A を製造するには、まず第 1 の半導体チップ 11 が形成されたウェハを作製する。続いて、このウェハを個々の第 1 の半導体チップ 11 に個片化するためダイシングを行なう。これにより、第 1 の半導体チップ 11 が製造される。

【0043】

本実施例では、このように製造された第 1 の半導体チップ 11 を、ベアチップ状態で半導体装置 20A に直接搭載するのではなく、樹脂パッケージ 27 に封止して半導体パッケージ 10A を用意したうえで半導体装置 20A に搭載することを特徴としている。例えば、ベアチップ状の第 1 の半導体チップ 11 に半田ボール 18 を形成し、その後に樹脂封止を実施することにより樹脂パッケージ 27 を形成する。これにより、図 6 (A) に示すような CSP タイプの半導体パッケージ 10 を製造する。

この際、ウェハ状態の第 1 の半導体チップ 11 に対して樹脂パッケージ 27 を形成し、その後にダイシングを行なうことにより CSP タイプの半導体パッケージ 10 を製造する方法を用いてもよい (ステップ 30)。或いは、樹脂パッケージに封止された、図 6 (A) に示すような CSP タイプの市販の半導体パッケージを他社より購入してもよい。

【0044】

上記のように半導体パッケージ 10 が用意されると、続いて半導体パッケージ 10 に対してバーンインが実施される (ステップ 31)。このバーンインはスクリーニング試験の一つとして実施されるものであり、所定のサイクルで加熱と冷却を繰り返して実施することにより、不良品の半導体チップ 11 に初期不良を発生させる。

【0045】

そして、バーンインが終了した半導体パッケージ 10 に対し評価を行ない、図 6 (A) に示すように、半導体パッケージ 10 を良品半導体パッケージ 10A と不良半導体パッケージ 10B とを区別する (ステップ 32)。良品半導体パッケージ 10A は後述するように半導体装置 20A に搭載されるが、不良半導体パッケージ 10B はこのステップ 32 において除去される。よって、以降の工程では、良品半導体パッケージ 10A のみが使用される。

【0046】

一方、バーンインが不要な第 2 及び第 3 の半導体チップ 13, 15 は、従来と同様に製造される。即ち、第 2 の半導体チップ 13 が形成されたウェハ、及び第 3 の半導体チップ 15 が形成されたウェハを作成し (ステップ 33)、続いて図 6 (B) に示すように、この各ウェハを個々の第 2 及び第 3 の半導体チップ 13, 15 に個片化するためダイシングを行なう (ステップ 34)。これにより、第 2 及び第 3 の半導体チップ 13, 15 が製造される (ステップ 35)。

【0047】

尚、請求項に記載の「試験を必要としない第 2 の半導体チップ」とは、本実施例における第 2 及び第 3 の半導体チップ 13, 15 に相当する。また、「試験を必要としない」とは、「バーンインのような初期不良を排除するための試験を必要としない」との意味であり、最終評価試験等の通常半導体チップに対して実施される試験をも必要としないという意味ではない。

10

20

30

40

50

【 0 0 4 8 】

上記のように、良品半導体パッケージ 1 0 A、第 2 の半導体チップ 1 3、及び第 3 の半導体チップ 1 5 が製造されると、続いて良品半導体パッケージ 1 0 A 及び各半導体チップ 1 3、1 5 を基板 1 4 上に搭載する処理が実施される（ステップ 3 6）。

【 0 0 4 9 】

具体的には、まず図 6（C）に示すように、基板 1 4 にバーンインにより良品と判断された良品半導体パッケージ 1 0 A を搭載する。本実施例では、良品半導体パッケージ 1 0 A はパッケージ下面に半田ボール端子を有した C S P 構造であり、基板 1 4 に対して半田ボール端子により電氣的に接続される。

【 0 0 5 0 】

良品半導体パッケージ 1 0 A が基板 1 4 に接合されると、続いて図 6（D）に示されるように、第 3 の半導体チップ 1 5 が良品半導体パッケージ 1 0 A の上面に搭載され、続いてその上部に第 2 の半導体チップ 1 3 が搭載される。このように本実施例では、3 個の半導体チップ 1 1、1 3、1 5 を積層した構造であるため、製造される半導体装置 2 0 A の小型化及び実装面積の小スペース化を図ることができる。

【 0 0 5 1 】

また、各半導体チップ 1 3、1 5 を良品半導体パッケージ 1 0 A 上に搭載する際、各半導体チップ 1 3、1 5 は、その回路形成面が上方を向くフェイスアップの状態に搭載される。更に、第 2 の半導体チップ 1 3 は、第 3 の半導体チップ 1 5 に対して小さい形状とされているため、積層された後も第 3 の半導体チップ 1 5 の電極は露出した状態を維持する。尚、良品半導体パッケージ 1 0 A と第 3 の半導体チップ 1 5 の接合、及び第 3 の半導体チップ 1 5 と第 2 の半導体チップ 1 3 の接合には、ダイ付け用の接着剤を用いることができる。

【 0 0 5 2 】

基板 1 4 に対する良品半導体パッケージ 1 0 A 及び半導体チップ 1 3、1 5 の搭載が終了すると、続いて図 7（A）に示すように、各半導体チップ 1 3、1 5 と基板 1 4 との間でワイヤ 1 6 がボンディングされる（ステップ 3 7）。その後、この基板 1 4 に対して樹脂封止が行なわれ、図 7（B）に示すように、封止樹脂 1 7 が形成される（ステップ 3 8）。

【 0 0 5 3 】

このように、封止樹脂 1 7 により良品半導体パッケージ 1 0 A（第 1 の半導体チップ 1 1）及び各半導体チップ 1 3、1 5 は封止されるため、半導体装置 2 0 A が置かれる雰囲気や外力に対する各半導体チップ 1 1、1 3、1 5 の強度を向上させることができ、製造される半導体装置 2 0 A の信頼性を向上させることができる。

【 0 0 5 4 】

また、本実施例では良品半導体パッケージ 1 0 A の樹脂パッケージ 2 7 と、封止樹脂 1 7 とが同一の熱膨張率を有するよう構成されている。具体的には、樹脂パッケージ 2 7 と封止樹脂 1 7 は同一樹脂により構成されている。尚、この理由については、説明の便宜上、後述するものとする。

【 0 0 5 5 】

続いて、図 7（C）に示すように、封止樹脂 1 7 が配設された基板 1 4 を個々の半導体装置 2 0 A にダイシングにより個片化し（ステップ 3 9）、これにより半導体装置 2 0 A が製造される（ステップ 4 0）。このように製造された 2 0 A には、電氣的特性試験等の最終評価試験（F T 試験）が実施され（ステップ 4 1）、不良品が存在していた場合にはこれを除去し、図 7（D）に示す半導体装置 2 0 A が完成する。

【 0 0 5 6 】

本実施例による半導体装置 2 0 A の製造方法によれば、ステップ 3 1 でバーンインを行ない、ステップ 3 2 で良品と判断された良品半導体パッケージ 1 0 A（第 1 の半導体チップを、バーンイン（試験）を必要としない第 2 及び第 3 の半導体チップ 1 3、1 5 と共に基板 1 4 上に搭載し半導体装置 2 0 A を製造する。このため、良品半導体パッケージ 1 0 A

10

20

30

40

50

及び各半導体チップ 13, 15 を基板 14 に搭載し封止樹脂 17 を形成し半導体装置 20A を製造した後に、第 1 の半導体チップ 11 に対してバーンインを行なう必要がなくなる。

これにより、従来のようにバーンインを行なわない、換言すれば信頼性の補償されていない半導体チップと、バーンインが不要な半導体チップとを共に基板に搭載した後にバーンインを行なう方法に比べ、第 2 及び第 3 の半導体チップ 13, 15 に対してバーンインが実施されないため、このバーンインが不要な各半導体チップ 13, 15 が損傷することはなく、よって半導体装置 20A の信頼性及び歩留りの向上を図ることができる。

【0057】

また、本実施例ではバーンインにおいて良品と判断された第 1 の半導体チップ 11 は、樹脂パッケージ 27 に封止された状態で基板 14 に実装される。このため、ベアチップ状態で実装する構成に比べ、実装時において第 1 の半導体チップ 11 が損傷することを防止でき、半導体装置 20A の製造歩留りを更に向上させることができる。

【0058】

また上記したように、本実施例では良品半導体パッケージ 10A の樹脂パッケージ 27 と封止樹脂 17 が同一の熱膨張率を有するよう、封止樹脂 17 と樹脂パッケージ 27 を同一の材料としている。これにより、樹脂パッケージ 27 に封止された第 1 の半導体チップ 11 (即ち、良品半導体パッケージ 10A) を封止樹脂 17 内に封止しても、封止樹脂 17 と樹脂パッケージ 27 との間で熱膨張差に起因した応力が発生することを防止できる。

【0059】

よって、樹脂パッケージ 27 と封止樹脂 17 との界面にクラック等の損傷が発生することを防止でき、製造される半導体装置 20A の信頼性を高めることができる。また、封止樹脂 17 と樹脂パッケージ 27 とが同一の材質であることにより、両者 17, 27 の密着性が向上する。このため、封止樹脂 17 と樹脂パッケージ 27 との界面に間隙が発生したり水分が侵入したりすることを防止でき、これによっても半導体装置 20A の信頼性を向上させることができる。

【0060】

次に、本発明の第 2 実施例である半導体装置及びその製造方法について説明する。図 8 は、第 2 実施例に係る半導体装置 20B 及びその製造方法を説明するための図である。

【0061】

尚、本実施例に係る半導体装置 20B の構成及び半導体装置 20B を製造する製造工程は、先に説明した第 1 実施例に係る半導体装置 20A の構成及び半導体装置 20A を製造する製造工程と共通する部分が多い。このため、以下の説明において第 1 実施例と同一製造工程については説明を省略し、また図 8 以降において、第 1 実施例の説明に用いた図 6 及び図 7 に示された構成と同一構成については同一符号を付して、その説明を省略するものとする。

【0062】

前記した第 1 実施例に係る半導体装置 20A は、第 1 の半導体チップ 11 を封止するパッケージ構造として CSP タイプのものをを用い、基板 14 に対して半田ボール 18 を介して電氣的に接合する構成としていた。これに対して本実施例に係る半導体装置 20B は、第 1 の半導体チップ 11 を封止する良品半導体パッケージ 21 として、SOP (Single Inline Package) タイプのものをを用いたことを特徴とするものである。

【0063】

SOP タイプの良品半導体パッケージ 21 は、外部接続端子としてリード 22 を用いている。このリード 22 は樹脂パッケージ 27 の側部から延出しており、また基板 14 に表面実装するためガルウイング状に成形されている。

【0064】

この SOP タイプの良品半導体パッケージ 21 は、第 1 実施例と同様にバーンインが実施され、その結果良品であったもののみが基板 14 に実装される。図 8 (A) は、バーンインの結果、良品であると評価された第 1 の半導体チップ 11 を基板 14 に実装する構成を示

10

20

30

40

50

している。基板 1 4 とリード 2 2 の接合は、予め基板 1 4 のリード 2 2 接合位置に半田クリームを塗布しておき、この半田クリームにリード 2 2 を仮止めし、その後に基板 1 4 をリフロー炉に通すことにより、リード 2 2 を基板 1 4 に半田付けすることにより行なう。

【 0 0 6 5 】

基板 1 4 に良品半導体パッケージ 2 1 が接合されると、続いて図 8 (B) に示すようにバーインが不要な第 2 及び第 3 の半導体チップ 1 3 , 1 5 を良品半導体パッケージ 2 1 上に搭載する。次に、図 8 (C) に示すように各半導体チップ 1 3 , 1 5 と基板 1 4 をワイヤ 1 6 により接続する。

【 0 0 6 6 】

次に、図 8 (D) に示すように良品半導体パッケージ 2 1 , 半導体チップ 1 3 , 1 5 が搭載された基板 1 4 に対して封止樹脂 1 7 が形成されると共に、基板 1 4 に下面に外部接続端子となる半田ボール 1 9 が配設される。続いて図 8 (E) に示すように個々の半導体装置 2 0 B 毎に個片化を行なうダイシングが実施され、これにより半導体装置 2 0 B が製造される。

【 0 0 6 7 】

上記した本実施例に係る半導体装置 2 0 A 及びその製造方法によれば、第 1 の半導体チップ 1 1 が内設された良品半導体パッケージ 2 1 がリード 2 2 を有し、このリード 2 2 が基板 1 4 にはんだ付けされるため、良品半導体パッケージ 2 1 と基板 1 4 との間に熱膨張差が存在しても、この熱膨張率差に起因して発生する応力は、リード 2 2 が弾性変形することにより吸収される。これにより、半導体装置 2 0 B の信頼性を向上させることができる。

【 0 0 6 8 】

次に、本発明の第 3 実施例である半導体装置及びその製造方法について説明する。図 9 乃至図 1 1 は、第 3 実施例に係る半導体装置 2 0 C 及びその製造方法を説明するための図である。

【 0 0 6 9 】

本実施例に係る半導体装置 2 0 C は、基板 1 4 の裏面 1 4 A に第 2 及び第 3 の半導体チップ 1 3 , 1 5 を配設し、基板 1 4 の表面 1 4 B に良品半導体パッケージ 1 0 A を搭載し、更に基板 1 4 としてリードフレーム 2 3 を有したものをを用いたことを特徴とするものである。

【 0 0 7 0 】

リードフレーム 2 3 を有した基板 1 4 は、図 1 0 及び図 1 1 に拡大して示すように、その裏面 1 4 A にワイヤ 1 6 がボンディングされるワイヤ接続用ランド 2 4 が形成されており、また表面 1 4 B には良品半導体パッケージ 1 0 A が接合される半田ボール接続用ランド 2 5 を形成された構成とされている。また、リードフレーム 2 3 は、ワイヤ接続用ランド 2 4 及び半田ボール接続用ランド 2 5 と電氣的に接続されると共に、側方に延出する部分はガルウイング状に折り曲げられた構成とされている。

【 0 0 7 1 】

半導体装置 2 0 C を製造するには、先ず図 9 (A) に示すように、リードフレーム 2 3 が折り曲げられていない状態の基板 1 4 に対し、接着剤を用いて第 3 の半導体チップ 1 5 及び第 2 の半導体チップ 1 3 を積層させて搭載する。続いて、図 9 (B) に示すように各半導体チップ 1 3 , 1 5 と基板 1 4 とをワイヤ 1 6 で接続し、その後に図 9 (C) に示すように封止樹脂 1 7 を形成する。

【 0 0 7 2 】

上記のように封止樹脂 1 7 が形成されると、基板 1 4 の上下面 1 4 A , 1 4 B を逆にすると共に、リードフレーム 2 3 の成形処理を行なう。続いて、図 9 (D) に示すように、良品半導体パッケージ 1 0 A を基板 1 4 の裏面 1 4 A にフリップチップ接合する。これにより、図 9 (E) に示す半導体装置 2 0 C が製造される。

【 0 0 7 3 】

本実施例に係る半導体装置 2 0 C は、基板 1 4 の裏面 1 4 A に良品半導体パッケージ 1 0

10

20

30

40

50

Aが搭載され、表面14Bに第2及び第3の半導体チップ13, 15が搭載される。このように、良品半導体パッケージ10A及び各半導体チップ13, 15が基板14を挟んで上下に搭載されることにより、半導体装置20Cの小型化及び実装スペースの小スペース化を図ることができる。

【0074】

次に、本発明の第4実施例である半導体装置及びその製造方法について説明する。図12は、第4実施例に係る半導体装置20D及びその製造方法を説明するための図である。

【0075】

本実施例に係る半導体装置20Dは、上記した第3実施例に係る半導体装置20Cと略同一の構成である。しかしながら、第3実施例に係る半導体装置20Cが良品半導体パッケージ10Aを基板14に半田ボール18を介して電氣的に接続したのに対し、本実施例ではリード22を有した良品半導体パッケージ21を用い、これを基板14に表面実装した構成とした点で相違した構成とされている。また、第3実施例に係る半導体装置20Cが第3の半導体チップ15を基板14にワイヤ16を用いて接続していたのに対し、本実施例では第3の半導体チップ15Aに半田ボール26を設け、基板14にフリップチップ接合した構成としている。

【0076】

本実施例に係る半導体装置20Dによっても、良品半導体パッケージ21及び各半導体チップ13, 15が基板14を挟んで上下に搭載されることにより、半導体装置20Cの小型化及び実装スペースの小スペース化を図ることができる。

【0077】

【発明の効果】

上述の如く本発明によれば、第1及び第2の半導体チップを基板に搭載した後に試験を行う方法に比べ、試験実施により第2の半導体チップが損傷することがないため、半導体装置の歩留りの向上を図ることができる。

【0079】

また、試験において良品と判断された第1の半導体チップは、パッケージに封止された状態で基板に実装されるため、ベアチップ状態で実装する構成に比べ、実装時において第1の半導体チップが損傷することを防止でき、半導体装置の歩留りを更に向上させることができる。

【0080】

更に、第1の半導体チップ及び第2の半導体チップは封止樹脂により封止されるため、半導体装置が置かれる雰囲気や外力に対する各半導体チップの強度を向上させることができ、製造される半導体装置の信頼性を向上させることができる。

【0081】

また、本発明によれば、パッケージと封止樹脂との間に熱膨張差に起因した応力が発生することを防止できるため、パッケージと封止樹脂との界面にクラック等の損傷が発生することを防止でき、よって製造される半導体装置の信頼性を高めることができる。

【0082】

また、本発明によれば、パッケージと封止樹脂との界面にクラック等の損傷が発生することを防止できると共に、パッケージと封止樹脂とが同一の材質であることにより両者の密着性が向上し、よってパッケージと封止樹脂との界面に間隙が発生したり水分が侵入したりすることを防止できる。

【図面の簡単な説明】

【図1】従来の一例であるスタックタイプの半導体装置を示す図である。

【図2】従来の一例であるプレーンタイプの半導体装置を示す図である。

【図3】従来の一例である半導体装置の製造工程を示すブロック図である。

【図4】従来の一例である半導体装置の製造方法を製造手順に沿って示す図である。

【図5】本発明の第1実施例である半導体装置の製造工程を示すブロック図である。

【図6】本発明の第1実施例である半導体装置の製造方法を製造手順に沿って示す図であ

10

20

30

40

50

る（その１）。

【図 7】本発明の第 1 実施例である半導体装置の製造方法を製造手順に沿って示す図である（その 2）。

【図 8】本発明の第 2 実施例である半導体装置の製造方法を製造手順に沿って示す図である。

【図 9】本発明の第 3 実施例である半導体装置の製造方法を製造手順に沿って示す図である。

【図 10】第 3 実施例で用いる基板を拡大して示す図である。

【図 11】第 3 実施例において、半導体パッケージと基板との接合部分を拡大して示す図である。

10

【図 12】本発明の第 4 実施例である半導体装置の製造方法を製造手順に沿って示す図である。

【符号の説明】

10A, 21 良品半導体パッケージ

10B 不良半導体パッケージ

11 第 1 の半導体チップ

13 第 2 の半導体チップ

14 基板

15, 15A 第 3 の半導体チップ

16 ワイヤ

20

17 封止樹脂

18, 19, 26 半田ボール

20A ~ 20D 半導体装置

22 リード

23 リードフレーム

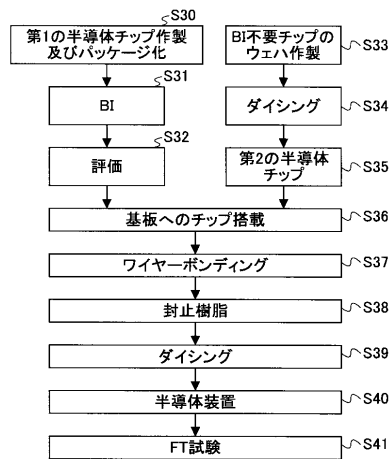
24 ワイヤ接続用ランド

25 半田ボール接続用ランド

27 樹脂パッケージ

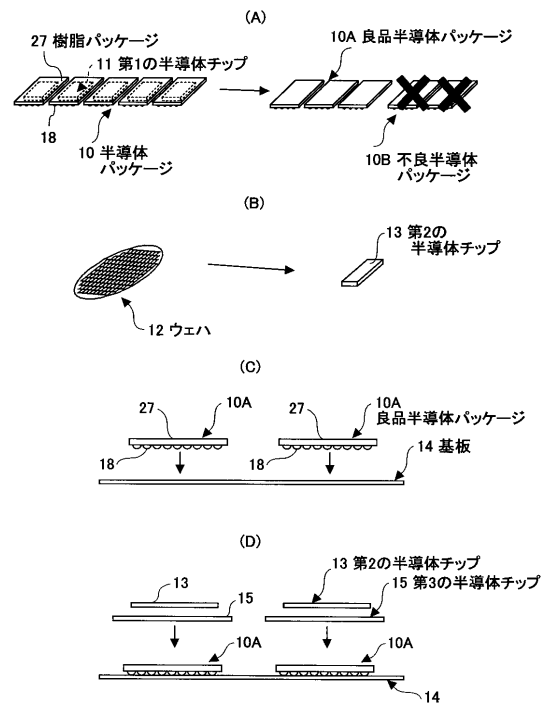
【図 5】

本発明の第1実施例である半導体装置の製造工程を示すブロック図



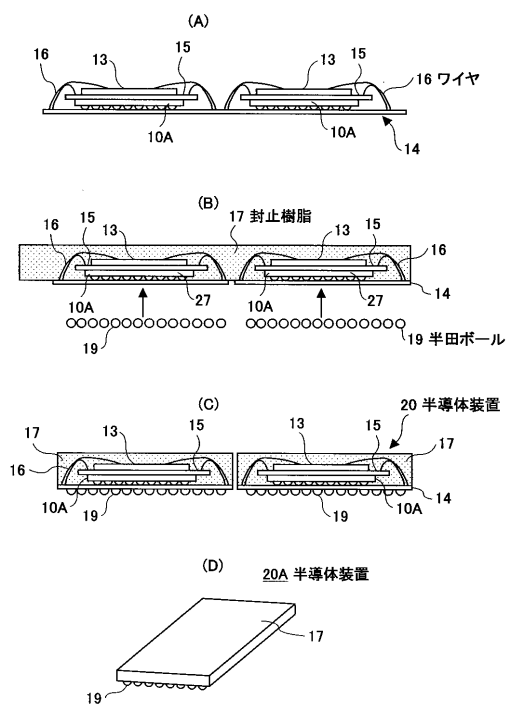
【図 6】

本発明の第1実施例である半導体装置の製造方法を製造手順に沿って示す図（その1）



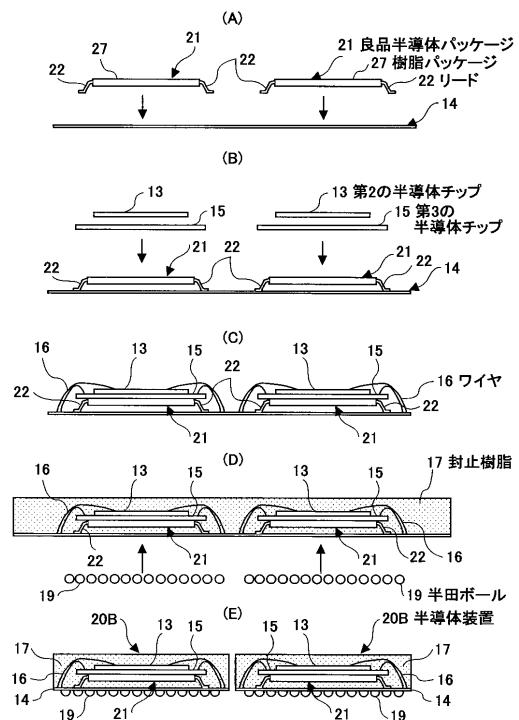
【図 7】

本発明の第1実施例である半導体装置の製造方法を製造手順に沿って示す図（その2）



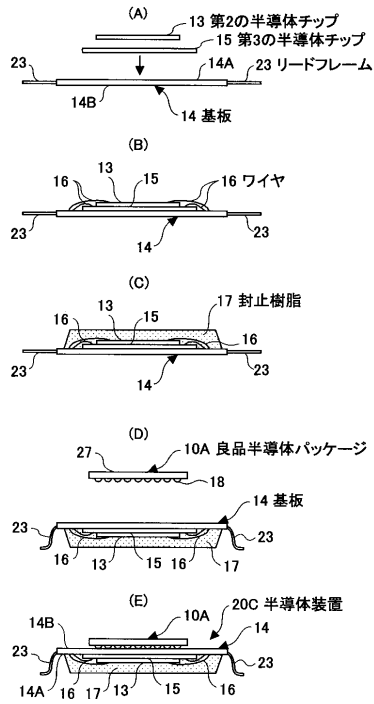
【図 8】

本発明の第2実施例である半導体装置の製造方法を製造手順に沿って示す図



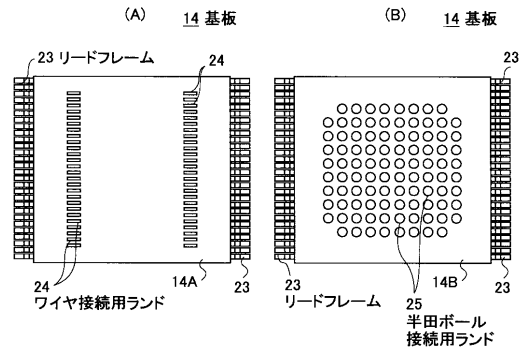
【図 9】

本発明の第3実施例である半導体装置
の製造方法を製造手順に沿って示す図



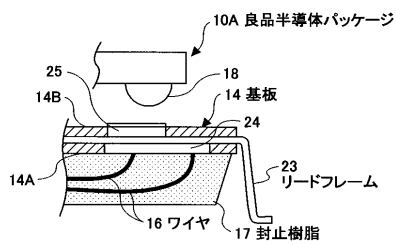
【図 10】

第3実施例で用いる基板を拡大して示す図



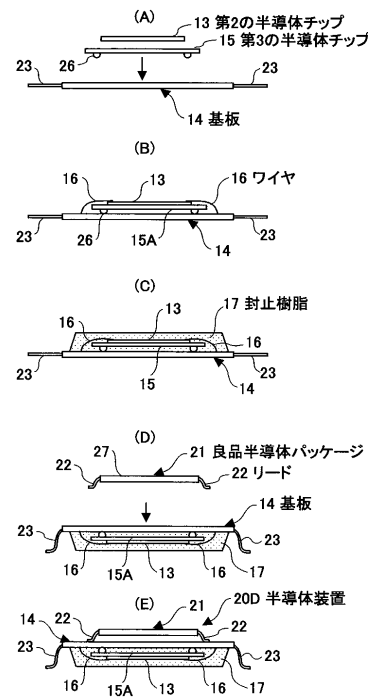
【図 11】

第3実施例において、半導体パッケージ
と基板との接合部分を拡大して示す図



【図 12】

本発明の第4実施例である半導体装置
の製造方法を製造手順に沿って示す図



フロントページの続き

審査官 石野 忠志

- (56)参考文献 特開平 0 4 - 1 4 4 2 6 9 (J P , A)
特開平 0 5 - 3 4 3 6 0 8 (J P , A)
特開平 0 6 - 1 6 3 8 1 1 (J P , A)
特開 2 0 0 2 - 0 4 0 0 9 5 (J P , A)
特開 2 0 0 3 - 2 7 3 3 1 7 (J P , A)
特開 2 0 0 1 - 1 1 8 9 8 3 (J P , A)
特開 2 0 0 1 - 2 8 4 5 2 0 (J P , A)
特開平 0 8 - 2 2 2 6 8 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 25/065
H01L 25/07
H01L 25/18
H01L 23/28-23/31