

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-113253

(P2010-113253A)

(43) 公開日 平成22年5月20日(2010.5.20)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H092
G09F 9/00 (2006.01)	G09F 9/00 338	4M104
G02F 1/1368 (2006.01)	G02F 1/1368	5C094
H01L 29/786 (2006.01)	H01L 29/78 616U	5F110
H01L 29/417 (2006.01)	H01L 29/78 616V	5G435

審査請求 未請求 請求項の数 7 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2008-287182 (P2008-287182)  
 (22) 出願日 平成20年11月7日 (2008.11.7)

(71) 出願人 502356528  
 株式会社 日立ディスプレイズ  
 千葉県茂原市早野3300番地  
 (74) 代理人 110000154  
 特許業務法人はるか国際特許事務所  
 (72) 発明者 海東 拓生  
 千葉県茂原市早野3300番地 株式会社  
 日立ディスプレイズ内  
 (72) 発明者 官沢 敏夫  
 千葉県茂原市早野3300番地 株式会社  
 日立ディスプレイズ内  
 Fターム(参考) 2H092 GA14 JA26 JA28 JB57 MA07  
 MA17 NA22 QA06 QA07

最終頁に続く

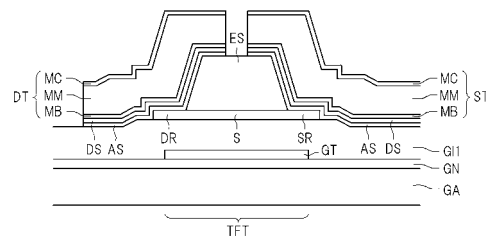
(54) 【発明の名称】 表示装置及び表示装置の製造方法

(57) 【要約】

【課題】 オン電流とオフ電流の適正化を図った薄膜トランジスタを備えた表示装置及びその製造方法を提案することを目的とする。

【解決手段】 透明基板GAの上側に積層されるゲート電極GTと、その上側に積層されるソース電極ST及びドレイン電極DTと、これらに積層されてソース電極ST及びドレイン電極DT間の電流を制御する第1半導体膜Sと、第1半導体膜Sのソース側端部SRとドレイン側端部DRを露出させて第1半導体膜Sの上側に接して積層される絶縁膜ESと、ソース側端部SRとソース電極STとの間と、ドレイン側端部DRとドレイン電極DTとの間の双方で積層される第2半導体膜ASと第3半導体膜DSと、を含み、第3半導体膜DSは、ソース電極ST及びドレイン電極DTとオーミック接合し、第2半導体膜ASは、第3の半導体膜DSの下側に、第3の半導体膜DSよりも高抵抗となるように形成されることを特徴とする表示装置。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

透明基板の上側に積層されるゲート電極と、  
前記ゲート電極の上側に積層されるソース電極及びドレイン電極と、  
前記ゲート電極と、前記ソース電極及び前記ドレイン電極との間に積層されて、前記ソース電極及び前記ドレイン電極間の電流を制御する第 1 の半導体膜と、  
前記第 1 の半導体膜のソース電極側端部とドレイン電極側端部を露出させて、前記第 1 の半導体膜の上側に接して積層される絶縁膜と、  
前記ソース電極側端部と前記ソース電極との間と、前記ドレイン電極側端部と前記ドレイン電極との間の双方において積層される第 2 の半導体膜と第 3 の半導体膜と、を含み、  
前記第 3 の半導体膜は、前記ソース電極及び前記ドレイン電極とオーミック接合し、  
前記第 2 の半導体膜は、前記第 3 の半導体膜の下側に、前記第 3 の半導体膜よりも高抵抗となるように形成される、  
ことを特徴とする表示装置。

## 【請求項 2】

請求項 1 の表示装置において、  
前記第 2 の半導体膜は、所定材料で形成され、  
前記第 3 の半導体膜は、前記所定材料に不純物が添加されて形成される、  
ことを特徴とする表示装置。

## 【請求項 3】

請求項 2 の表示装置において、  
前記第 1 の半導体膜は、多結晶シリコン又は微結晶シリコンで形成され、  
前記第 2 の半導体膜は、非晶質シリコンで形成され、  
前記第 3 の半導体膜は、前記非晶質シリコンに前記不純物が添加されて形成される、  
ことを特徴とする表示装置。

## 【請求項 4】

請求項 1 の表示装置において、  
前記第 2 の半導体膜と前記第 3 の半導体膜は、前記ソース電極及び前記ドレイン電極と一体的に形成されて、  
前記ソース電極と、該ソース電極と一体的に形成される前記第 2 の半導体膜と前記第 3 の半導体膜は、前記絶縁膜の一部と前記ソース電極側端部を覆い、  
前記ドレイン電極と、該ドレイン電極と一体的に形成される前記第 2 の半導体膜と前記第 3 の半導体膜は、前記絶縁膜の一部と前記ドレイン電極側端部を覆う、  
ことを特徴とする表示装置。

## 【請求項 5】

ゲート電極が発生させる電界により、ソース電極及びドレイン電極間の電流を制御する第 1 の半導体膜を、該ゲート電極の上側に形成する第 1 半導体膜形成工程と、  
前記第 1 の半導体膜の上側に接して絶縁膜を積層し、該絶縁膜から前記第 1 の半導体膜の外周部を露出させる絶縁膜形成工程と、  
前記ソース電極及び前記ドレイン電極とオーミック接合する第 3 の半導体膜を形成する第 3 半導体膜形成工程と、  
前記第 3 の半導体膜よりも高抵抗となる第 2 の半導体膜を、前記第 3 の半導体膜の下側に積層する第 2 半導体膜形成工程と、  
前記ソース電極と前記ドレイン電極を積層し、これらの形状をエッチングして加工するソースドレイン電極加工工程と、  
前記ソースドレイン電極形成工程において加工された前記ソース電極及び前記ドレイン電極の形状に従って、前記第 3 の半導体膜と前記第 2 の半導体膜をエッチングし、前記ソース電極及び前記ドレイン電極から露出した前記第 1 の半導体膜の前記外周部をエッチングして加工する半導体膜加工工程と、を含む、  
ことを特徴とする表示装置の製造方法。

## 【請求項 6】

請求項 5 の表示装置の製造方法であって、

前記第 2 半導体膜形成工程は、所定材料を積層することにより第 2 の半導体膜を形成し

、  
前記第 3 半導体膜形成工程は、前記第 2 半導体膜形成工程における前記所定材料の積層を継続しつつ不純物を添加することにより、前記第 3 の半導体膜を形成する、  
ことを特徴とする表示装置の製造方法。

## 【請求項 7】

請求項 5 の表示装置の製造方法であって、

前記第 2 半導体膜形成工程は、所定材料を積層することにより第 2 の半導体膜を形成し

10

、  
前記第 3 半導体膜形成工程は、前記第 2 半導体膜形成工程における前記所定材料の積層を継続する積層工程と、該積層工程により積層された前記所定材料に不純物を打込むことにより前記第 3 の半導体膜を形成する不純物打込み工程と、  
を含むことを特徴とする表示装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、薄膜トランジスタ (TFT) を用いて画素の表示制御を行う表示装置及び表示装置の製造方法に関する。

20

## 【背景技術】

## 【0002】

従来より、非晶質シリコン (a-Si) を用いて形成される薄膜トランジスタの電気的特性等の性能を向上させることが検討されている。ここで、所望の電気的特性を得るために、例えば、非晶質シリコンを用いて形成される薄膜トランジスタの構造をなるべく維持して設計された製造プロセスを流用しつつ、シリコンの結晶粒径を大きくして電子移動度等を改善するという方向性で検討もなされている。

## 【0003】

特許文献 1 は、このような従来技術の一例であり、図 6 は、特許文献 1 で記載されているものと同様のボトムゲート構造による薄膜トランジスタを示す図である。特許文献 1 では、同図で示すように、表示装置の製造上の理由から、多結晶シリコン (p-Si) が非晶質シリコンの下側に積層されている。

30

【特許文献 1】特開平 5 - 5 5 5 7 0 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

図 6 で示される薄膜トランジスタに着目すると、オン電流は電子移動度の大きい多結晶シリコン層 S P を流れるが、オフ電流が問題となる。これは、ゲート電極 G T にマイナス電圧が印加すると、多結晶シリコン層 S P に正孔が誘起され、ドレイン電極 D T 及びソース電極 S T と多結晶シリコン層 S P との間に電位障壁がないことから、正孔による電流がそのままドレイン電極 D T 及びソース電極 S T に流れるためである。

40

## 【0005】

そこでまず、本願発明者らは、図 7 に示すような構造を検討した。図 7 で示すように、多結晶シリコン層 S P と非晶質シリコン層 S A とを、不純物と共に非晶質シリコンで成膜される不純物シリコン層 (Doped-Si) D S で覆うことにより、正孔の通過が防止されてオフ電流が抑制される。しかし、多結晶シリコン層 S P とドレイン電極 D T 及びソース電極 S T とは不純物シリコン層 D S を介して接続し、この接続部分が狭いことから接触抵抗が大きくなってオン電流が不十分となる。

## 【0006】

そこで、本願発明者らは、図 8 に示すような構造を検討した。図 7 の構造におけるオン

50

電流を増大させるために、図8に示すように、ドレイン電極DT及びソース電極STと半導体膜Sとが接続する部分を広くして、接触抵抗を低下させている。この加工は、まず非晶質シリコン層SAの代わりに絶縁膜ESを形成し、半導体膜Sにおいて絶縁膜ESから露出する部分が、不純物シリコン層DSと接触するように行われる。

【0007】

図8に示すような構造では、図9Aに示すゲート電圧とドレイン電流の特性を示すグラフのように、ドレイン電圧1Vでは、オン電流が十分に確保され、かつ、オフ電流も抑制できている。しかし、ドレイン電圧10Vの場合には、不純物シリコン層DSのみではオフ電流を抑制できずに、ドレイン電極側端部DRとゲート電極間の電位差が大きくなって、ドレイン電極側端部DRに強い電界集中が発生し、オフ電流が増加することとなる。従

10

【0008】

本発明は、製造プロセスによるコスト増を抑えて、オン電流とオフ電流の適正化を図った薄膜トランジスタを備えた表示装置及びその製造方法を提案することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明に係る表示装置は、透明基板の上側に積層されるゲート電極と、前記ゲート電極の上側に積層されるソース電極及びドレイン電極と、前記ゲート電極と、前記ソース電極及び前記ドレイン電極との間に積層されて、前記ソース電極及び前記ドレイン電極間の電流を制御する第1の半導体膜と、前記第1の半導体膜のソース電極側端部とドレイン電極側端部を露出させて、前記第1の半導体膜の上側に接して積層される絶縁膜と、前記ソース電極側端部と前記ソース電極との間と、前記ドレイン電極側端部と前記ドレイン電極との間の双方において積層される第2の半導体膜と第3の半導体膜と、を含み、前記第3の半導体膜は、前記ソース電極及び前記ドレイン電極とオーミック接合し、前記第2の半導体膜は、前記第3の半導体膜の下側に、前記第3の半導体膜よりも高抵抗となるように形成される、ことを特徴とする。

20

【0010】

また、本発明に係る表示装置の一態様では、前記第2の半導体膜は、所定材料で形成され、前記第3の半導体膜は、前記所定材料に不純物が添加されて形成されるようにしてもよい。

30

【0011】

また、本発明に係る表示装置の一態様では、前記第1の半導体膜は、多結晶シリコン又は微結晶シリコンで形成され、前記第2の半導体膜は、非晶質シリコンで形成され、前記第3の半導体膜は、前記非晶質シリコンに前記不純物が添加されて形成されるようにしてもよい。

【0012】

また、本発明の一態様では、前記第2の半導体膜と前記第3の半導体膜は、前記ソース電極及び前記ドレイン電極と一体的に形成されて、前記ソース電極と、該ソース電極と一体的に形成される前記第2の半導体膜と前記第3の半導体膜は、前記絶縁膜の一部と前記ソース電極側端部を覆い、前記ドレイン電極と、該ドレイン電極と一体的に形成される前記第2の半導体膜と前記第3の半導体膜は、前記絶縁膜の一部と前記ドレイン電極側端部を覆うようにしてもよい。

40

【0013】

また、本発明に係る表示装置の製造方法は、ゲート電極が発生させる電界により、ソース電極及びドレイン電極間の電流を制御する第1の半導体膜を、該ゲート電極の上側に形成する第1半導体膜形成工程と、前記第1の半導体膜の上側に接して絶縁膜を積層し、該絶縁膜から前記第1の半導体膜の外周部を露出させる絶縁膜形成工程と、前記ソース電極及び前記ドレイン電極とオーミック接合する第3の半導体膜を形成する第3半導体膜形成

50

工程と、前記第3の半導体膜よりも高抵抗となる第2の半導体膜を、前記第3の半導体膜の下側に積層する第2半導体膜形成工程と、前記ソース電極と前記ドレイン電極を積層し、これらの形状をエッチングして加工するソースドレイン電極加工工程と、前記ソースドレイン電極形成工程において加工された前記ソース電極及び前記ドレイン電極の形状に従って、前記第3の半導体膜と前記第2の半導体膜をエッチングし、前記ソース電極及び前記ドレイン電極から露出した前記第1の半導体膜の前記外周部をエッチングして加工する半導体膜加工工程と、を含むことを特徴とする。

【0014】

また、本発明に係る表示装置の製造方法の一態様では、前記第2半導体膜形成工程は、所定材料を積層することにより第2の半導体膜を形成し、前記第3半導体膜形成工程は、前記第2半導体膜形成工程における前記所定材料の積層を継続しつつ不純物を添加することにより、前記第3の半導体膜を形成するようにしてもよい。

10

【0015】

また、本発明に係る表示装置の製造方法の一態様では、前記第2半導体膜形成工程は、所定材料を積層することにより第2の半導体膜を形成し、前記第3半導体膜形成工程は、前記第2半導体膜形成工程における前記所定材料の積層を継続する積層工程と、該積層工程により積層された前記所定材料に不純物を打込むことにより前記第3の半導体膜を形成する不純物打込み工程と、を含むようにしてもよい。

【発明の効果】

【0016】

本発明によれば、製造プロセスによるコスト増を抑えて、表示装置における薄膜トランジスタのオン電流とオフ電流とを適正化をすることが出来る。

20

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0018】

本発明の一実施形態に係る表示装置は、IPS(In-Plane Switching)方式の液晶表示装置であって、走査信号線、映像信号線、薄膜トランジスタ、画素電極、及びコモン電極が配置されたTFT基板と、当該TFT基板と対向し、カラーフィルタが設けられた対向基板と、両基板に挟まれた領域に封入された液晶材と、を含んで構成される。このTFT基板では、ガラス基板等の透明基板上に薄膜トランジスタ等が配置される。

30

【0019】

図1は、上記の液晶表示装置のTFT基板SUBの等価回路図を示している。また、図2は、TFT基板SUBにおける1つの画素領域の拡大平面図である。

【0020】

これらの図において、TFT基板SUBでは、多数のゲート信号線GLが互いに等間隔を置いて図中横方向に延びており、また、多数のドレイン信号線DLが互いに等間隔を置いて図中縦方向に延びている。そして、これらゲート信号線GL及びドレイン信号線DLにより碁盤状に並ぶ画素領域のそれぞれが区画されている。また、各ゲート信号線GLと平行に、コモン信号線CLが図中横方向に延びている。

40

【0021】

ゲート信号線GL及びドレイン信号線DLにより区画される画素領域の隅には、MIS(Metal-Insulator-Semiconductor)構造を有する薄膜トランジスタTFTが形成されており、そのゲート電極GTはゲート信号線GLに接続され、ドレイン電極DTはドレイン信号線DLに接続されている。また、各画素領域には一对の画素電極PX及び対向電極CTが形成されており、画素電極PXは薄膜トランジスタTFTのソース電極STに接続され、対向電極CTはコモン信号線CLに接続されている。

【0022】

以上の回路構成において、各画素の対向電極CTにはコモン信号線CLを介して基準電圧が印加され、ゲート信号線GLにゲート電圧が印加されることにより画素行が選択され

50

る。また、その選択のタイミングにおいて、各ドレイン信号線DLに映像信号が供給されることにより、各画素の画素電極PXに映像信号の電圧が印加される。これにより、画素電極PXと対向電極CTの間の電位差に応じた強度の横電解が発生し、この横電解の強度に応じて液晶分子の配向が決まるようになっている。

#### 【0023】

ここで図2に示すように、ゲート信号線GLに接続されたゲート電極GTの上側には、絶縁膜ESが形成されて、さらにドレイン電極DT及びソース電極STが絶縁膜ESの一部に重なるように形成されている。

#### 【0024】

図3は、図2に示すIII-IIIの断面を示す図であり、ドレイン信号線DLが延伸する方向に対して垂直な断面である。同図に示すように、TFT基板SUB上の薄膜トランジスタTFTでは、ゲート電極GTの上側にゲート絶縁膜GI1を介して第1の半導体膜Sが形成される。この第1の半導体膜Sは、ゲート電極GTに印加される電圧に従って、ドレイン電極DTとソース電極ST間の電流を制御する。また、第1の半導体膜Sの上側に接して絶縁膜ESが形成されて、この絶縁膜ESは第1のソース側端部SRとドレイン側端部DRを露出させつつ、第1の半導体膜Sのソース側端部SRとドレイン側端部DRに挟まれる領域を覆っている。第1の半導体膜Sにおける絶縁膜ESの下側の領域は、主に、ゲート電極GTが発生させる電界によりドレイン電極DT及びソース電極ST間の電流を制御するチャンネル領域となる。

#### 【0025】

そして特に、ドレイン側端部DRの上側と絶縁膜ESの一部に延在するように、非晶質シリコンで形成された第2の半導体膜ASと、第2の半導体膜Sの上側において非晶質シリコンに不純物が添加されて成膜される第3の半導体膜DSが形成される。この第2の半導体膜ASと第3の半導体膜DSは、ソース側端部SRと絶縁膜ESの一部にかけても同様に形成されて、ドレイン側端部DRを覆う第3の半導体膜DSの上側にはドレイン電極DTが、ソース側端部SRを覆う第3の半導体膜DSの上側にはソース電極STが形成される。第3の半導体膜DSは、ドレイン電極DT及びソース電極STとオーミックコンタクトを取って接続され、第2の半導体膜ASは第3の半導体膜よりもキャリアとなる不純物濃度が低いことにより第3の半導体膜よりも高抵抗に形成される。

#### 【0026】

ここでオーミックコンタクトとは、配線層と半導体膜等の電氣的接触部において、電圧-電流特性が直線性を示すコンタクトのことをいい、ドレイン電極DT及びソース電極STの材料等に従って第3の半導体膜DSの材料が選択される。本実施形態におけるドレイン電極DT及びソース電極STは、主にアルミニウムで形成されて、第3の半導体膜DSは、リン等の不純物が高濃度に添加された非晶質シリコンで形成される。第2の半導体膜ASと第3の半導体膜DSは、ソース電極ST及びドレイン電極DTが形成される電極形状をマスクとしてエッチングされるため、第2の半導体膜ASと第3の半導体膜DSは、ソース電極STとドレイン電極DTと平面的に見て同一のパターン形状で形成される。

#### 【0027】

第1の半導体膜Sは、非晶質シリコンがCVD法等により成膜されて、レーザーアニール等によって、微結晶シリコン( $\mu\text{-Si}$ )や多結晶シリコン等の結晶性シリコンへと結晶化されることにより形成される。一般に、半導体膜Sにおけるシリコンの結晶性が向上するにつれて、結晶サイズが大きくなるために電子移動度が向上するが、要求されるプロセス温度が高温になるためにプロセスコストが増大することとなる。本実施形態における第1の半導体膜Sは、微結晶シリコンまたは多結晶シリコンを含んで形成される。

#### 【0028】

なお、微結晶シリコンは、結晶粒径が10nm以上100nm程度以下の範囲にあり、半導体膜Sにおける結晶粒径は、反射電子線回折やラマン分光法等によって確認することができる。

#### 【0029】

10

20

30

40

50

絶縁膜 E S は、C V D 法によって、例えば二酸化シリコン ( S i O <sub>2</sub> 等 ) で形成される。この絶縁膜 E S は、後述するように、ドレイン電極 D T 等をマスクとして第 3 の半導体膜 D S をエッチングして形成する際に第 1 の半導体膜 S にエッチングが及ばないようにする役割を担う。

【 0 0 3 0 】

ドレイン電極 D T 及びソース電極 S T は、主にアルミニウム等の金属で形成されて、2 つの第 3 の半導体膜 D S を覆うようにそれぞれ形成されている。ドレイン電極 D T とドレイン側端部 D R、及びソース電極 S T とソース側端部 S R との間には、非晶質シリコンに不純物が高濃度に添加されて形成された第 3 の半導体膜 D S と、非晶質シリコンが積層されることによって形成される第 2 の半導体膜 A S が介在することとなる。

10

【 0 0 3 1 】

以上により、微結晶シリコンもしくは多結晶シリコンで形成された第 1 の半導体膜 S におけるソース側端部 S R とドレイン側端部 D R が、第 2 の半導体膜 A S を介してソース電極 S T 及びドレイン電極 D T とオーミック接合する。したがって、第 3 の半導体膜よりも高抵抗となる第 2 の半導体膜 A S による電界集中の低減効果により、ドレイン電極側端部 D R とゲート電極 G T 間にかかる電位差が低くなる。これにより、ゲート絶縁膜 G I 1 において、ゲート電極 G T とドレイン電極 D T とで挟まれる部分において発生する電界集中が緩和されて、ドレイン電極が高電位となる場合においてもオフ電流が抑制されることとなる ( 図 9 B ) 。

【 0 0 3 2 】

以上では、本実施形態における T F T 基板 S U B 上の薄膜トランジスタ T F T について説明した。以下では、かかる薄膜トランジスタ T F T を製造する方法について、図 4 A ~ 図 4 L、及び図 5 A ~ 図 5 C を用いて説明する。

20

【 0 0 3 3 】

まず、ガラス基板等の透明基板 G A に汚染防止膜 G N が形成されて、ゲート電極 G T が形成される ( 図 4 A )。汚染防止膜 G N は、例えば C V D 法により窒化シリコン ( S i N ) が積層される。また、ゲート電極 G T は、例えばモリブデン等の導電性の金属で形成されて、公知のリソグラフィ工程とエッチング工程を経てその形状が同図に示すように加工される。

【 0 0 3 4 】

次に、ゲート電極 G T を被覆するようにゲート絶縁膜 G I 1 が形成されるとともに、第 1 の半導体膜 S がゲート絶縁膜 G I 1 上に形成される ( 図 4 B )。ゲート絶縁膜 G I 1 は、例えば二酸化シリコンであり、C V D 法によって積層される。第 1 の半導体膜 S は、まず、非晶質シリコンが C V D 法によって積層されて、エキシマレーザ、もしくは R T A ( Rapid Thermal Anneal ) 法を用いて多結晶シリコンへと結晶化されることにより形成される。このとき、非晶質シリコンを熱処理することにより、微結晶シリコンへと結晶化させてもよい。

30

【 0 0 3 5 】

次に、結晶化された半導体膜 S の上側に接して絶縁膜 E S を形成するために、C V D 法により二酸化シリコンを積層する ( 図 4 C )。そして、絶縁膜 E S 上に、公知のリソグラフィ工程を経て、レジストパターン R P を形成する ( 図 4 D )。この公知のリソグラフィ工程では、まず、フォトレジストを上記の絶縁膜 E S 上に塗布し、該フォトレジスト上に、所定のパターンが形成されたフォトマスクを介して紫外線等を照射する。フォトマスク上のパターンに対応するパターンがフォトレジスト上に転写されることにより、エキシマレーザが照射される部分と照射されない部分が生じて、照射される部分のフォトレジストに化学反応が生じる。そして、現像プロセスにより、フォトレジストにける化学反応が生じた部分、或いは、化学反応が生じなかった部分が除去されて、レジストパターン R P が形成されることとなる。なお、このレジストパターン R P の形状は、第 1 の半導体膜 S を加工する形状で形成されている。

40

【 0 0 3 6 】

50

ここで、レジストパターン R P をマスクにして、フッ酸系でウェットエッチングを行い、積層されている絶縁膜 E S が加工される ( 図 4 E )。このとき、絶縁膜 E S は、サイドエッチングされることによりレジストパターン R P の内側部分も加工される。これにより絶縁膜 E S は、テーパを有して形成されて、同図で示すように、その断面が左右対称な台形状に形成される。ウェットエッチングによって絶縁膜 E S が加工された後は、レジストパターン R P に従ってドライエッチングされることにより、第 1 の半導体膜 S がレジストパターン R P と同様のパターンに加工される ( 図 4 F )。絶縁膜 E S は、レジストパターン R P の外延部からその内側に略均等にサイドエッチングされて形成されるため、絶縁膜 E S は第 1 の半導体膜 S の略中心となる位置を中心とする領域に形成されることとなる。

【 0 0 3 7 】

そしてこの後、レジストパターン R P が酸素プラズマ等を用いるアッシングにより除去される ( 図 4 G )。ここで図 5 A は、図 4 G における第 1 の半導体膜 S と絶縁膜 E S とが加工された様子を示す上面図である。上述したように、第 1 の半導体膜 S はドライエッチングによりレジストパターン R P の形状にしたがって加工され、絶縁膜 E S はウェットエッチングによりレジストパターン R P の内側部分が侵食される。したがって、第 1 の半導体膜 S の外周部分が絶縁膜 E S から露出して形成される。

【 0 0 3 8 】

そして特に、図 4 G で示される構造の表面に、非晶質シリコンが C V D 法によって積層されることにより、第 2 の半導体膜 A S が形成され ( 図 4 H )、さらに非晶質シリコンの積層を継続しつつリン等の不純物が添加されて第 3 の半導体膜 D S が成膜される ( 図 4 I )。このため、第 2 の半導体膜 A S と第 3 の半導体膜 D S が簡易に形成される。さらに、第 3 の半導体膜 D S の上側には、ドレイン電極 D T 及びソース電極 S T が形成される ( 図 4 J )。このドレイン電極 D T 及びソース電極 S T は、スパッタリング法により、下層から順に、バリアメタル層 M B、主配線層 M M、キャップメタル層 M C がそれぞれ積層されて形成される。このとき、バリアメタル層 M B およびキャップメタル層 M C は、例えば、チタン、タンゲステン、クロムやモリブデン等の高融点の金属による導電性の金属薄膜により積層されて、主配線層 M M を保護する機能を担う。また、主配線層 M M は、アルミニウム又はアルミニウムを含む合金で形成されて、ドレイン電極 D T 及びソース電極 S T は、不純物とともに成膜された非晶質シリコンである第 3 の半導体膜 D S と良質なオーミックコンタクトをとる。なお、図 4 I では、第 2 の半導体膜 A S を形成する非晶質シリコンの積層を継続しつつ、不純物を添加して第 3 の半導体膜 D S を形成するとしている。しかし、第 3 の半導体膜 D S を形成する際に、第 2 の半導体膜 A S における非晶質シリコンの積層を継続し、継続して積層された非晶質シリコンに高濃度に不純物を打込むことにより、第 3 の半導体膜 D S を形成してもよい。

【 0 0 3 9 】

この後、キャップメタル層 M C、主配線層 M M、バリアメタル層 M B、第 3 の半導体膜 D S、及び、第 2 の半導体膜 A S は、公知のリソグラフィ工程およびエッチング工程によって加工される ( 図 4 K )。

【 0 0 4 0 】

ここで、図 5 B 及び図 5 C は、図 4 K における各層が加工された様子を示す上面図である。まず、ドレイン電極 D T 及びソース電極 S T を形成するためのレジストパターンが、キャップメタル層 M C 上に形成され、該レジストパターンに従って、キャップメタル層 M C、主配線層 M M、バリアメタル層 M B がウェットエッチングされて、ドレイン電極 D T およびソース電極 S T が形成される ( 図 5 B )。次に、これらのドレイン電極 D T 及びソース電極 S T をマスクとしてドライエッチングがされて、第 3 の半導体膜 D S と第 2 の半導体膜 A S が、ドレイン電極 D T 及びソース電極 S T の形状にしたがって一体的に加工される。これにより、第 3 の半導体膜 D S 及び第 2 の半導体膜 A S は、ドレイン電極 D T 等と同じパターン形状で積層されることとなる ( 図 5 B )。

【 0 0 4 1 】

そして、第 3 の半導体膜 D S と第 2 の半導体膜 A S のドライエッチングが継続されて、

10

20

30

40

50



ドレイン電極 D T 及びソース電極 S T と、絶縁膜 E S から露出している第 1 の半導体膜 S の外周部が加工され、ドレイン電極側端部 D R とソース電極側端部 S R が形成される ( 図 5 C ) 。ドレイン電極側端部 D R 等は、第 1 の半導体膜 S において、絶縁膜 E S から露出し、かつ、ドレイン電極 D T 等と重畳する部分に形成される。第 3 の半導体膜 D S と、第 2 の半導体膜 A S と、第 1 の半導体膜 S とは、ともにシリコンで形成されているために、同じドライエッチングのプロセスで形状の加工が可能となる。このとき絶縁膜 E S は、第 1 の半導体膜 S にドライエッチングが及ばないようにさせるエッチングストッパーの役割を果たす。

#### 【 0 0 4 2 】

最後に、パッシベーション膜 P A が、プラズマ C V D 法により窒化シリコンで成膜される ( 図 4 J ) 。このパッシベーション膜 P A に覆われて、上述のようにして形成された薄膜トランジスタ T F T が保護される。

10

#### 【 0 0 4 3 】

ドレイン電極 D T とドレイン電極側端部 D R との間、ソース電極 S T とソース電極側端部 S R との間の双方には、第 2 の半導体膜 A S と第 3 の半導体膜 D S が積層される。ドレイン電極側端部 D R 及びソース電極側端部 S R は、多結晶シリコン又は微結晶シリコンで形成された第 1 の半導体膜 S よりも電子移動度が低い非晶質シリコンで形成された第 2 の半導体膜 A S に覆われる。第 3 の半導体膜 D S は、第 2 の半導体膜 A S の上側に覆うように形成されて、さらにドレイン電極 D T 及びソース電極 S T が第 3 の半導体膜 D S を覆うように形成される。第 3 の半導体膜 D S は、非晶質シリコンに不純物が高濃度に添加されて形成され、ドレイン電極 D T 及びソース電極 S T とオーミック接合をなす。非晶質シリコンによって形成される第 2 の半導体膜 A S は、キャリアとなる不純物の量が第 3 の半導体膜 D S よりも少ないので、第 3 の半導体膜 D S よりも高抵抗となるように形成される。第 3 の半導体膜 D S と、第 2 の半導体膜 A S は、ドレイン電極 D T 及びソース電極 S T をマスクとするドライエッチングにより、ドレイン電極 D T 及びソース電極 S T と一体的に形成される。

20

#### 【 0 0 4 4 】

なお、本発明の実施形態に係る液晶表示装置において、上記では液晶の駆動方式を I P S 方式として説明しているが、本発明は例えば V A ( Vertically Aligned ) 方式や T N ( Twisted Nematic ) 方式等のその他の方式の駆動方式であってもよい。図 1 0 は、V A 方式及び T N 方式の表示装置を構成する T F T 基板 S U B の等価回路を示す図であり、図 1 1 は、これらの方式の表示装置の T F T 基板 S U B の画素領域を示す拡大平面図である。V A 方式及び T N 方式の場合には、T F T 基板と対向してカラーフィルタが設けられた対向基板に、対向電極 C T 及びコモン信号線 C L が設けられる。

30

#### 【 0 0 4 5 】

なお、本発明の実施形態を上記では液晶表示装置として説明しているが、これに限定されることはなく、たとえば有機 E L ( Electro Luminescence ) 素子等の他の表示装置にも適用できることはいまでもない。

#### 【 0 0 4 6 】

なお、第 2 の半導体膜 A S の膜厚が厚くなるほど、第 2 の半導体膜 A S による抵抗が大きくなる。この場合には、電界集中がさらに緩和されてオフ電流が抑制されることとなるため、第 2 の半導体膜 A S の厚みは、オン電流とオフ電流とを適正化するように決定される。また、オフ電流を抑制するために、第 1 の半導体膜 S におけるドレイン電極側端部 D R 及びソース電極側端部 S R に不純物を低濃度に添加してもよい。この場合には、図 4 G において絶縁膜 E S をマスクとしてリン ( P ) 等の不純物が打込まれる。不純物の打込みは、イオン注入機によりイオン化されることにより電界加速されて、加工する対象となる T F T 基板の面内に均一に、T F T 基板に対して略垂直方向から打ち込まれる。不純物が打ち込まれたドレイン電極側端部 D R とソース電極側端部 S R は、チャンネル層と P N 接合を形成して、その境界に空乏層が形成される。不純物が打込まれたドレイン電極側端部 D R とソース電極側端部 S R 、及び、第 2 の半導体膜 A S の双方が形成されることにより、

40

50

ドレイン電極 D T 及びソース電極 S T とでさらに高い電圧がかかる場合であっても電界集中が緩和される。

【 0 0 4 7 】

なお、上記の実施形態に係る表示装置においては、第 3 の半導体膜 D S が、非晶質シリコンに高濃度にリン等の不純物を添加して形成され、ドレイン電極 D T 及びソース電極 S T とオーミック接合するように形成されている。しかし、第 3 の半導体膜 D S は、少なくともドレイン電極 D T 及びソース電極 S T とオーミック接合する材料で形成されていけばよい。また、上記の実施形態においては、第 1 の半導体膜 S が多結晶シリコン又は微結晶シリコンで形成されて、第 2 の半導体膜 A S が第 1 の半導体膜 S よりも電子移動度の低い非晶質シリコンで積層され、第 3 の半導体膜 D S が非晶質シリコンに不純物が添加されて成膜されているとしている。しかし、少なくとも第 3 の半導体膜 D S よりも第 2 の半導体膜 A S が高抵抗となるように形成されればよい。具体的には、第 1 の半導体膜 S が多結晶シリコンで形成され、第 2 の半導体膜 A S が微結晶シリコンで形成され、第 3 の半導体膜 D S が微結晶シリコンに不純物が高濃度に添加されて形成されてもよい。また、第 2 の半導体膜 A S が低濃度の不純物が添加された非晶質シリコンで形成され、第 3 の半導体膜 D S が高濃度の不純物が添加された非晶質シリコンで形成されて、第 2 の半導体膜 A S が第 3 の半導体膜 D S よりも高抵抗となってもよい。

10

【 0 0 4 8 】

以上説明した本発明の実施形態に係る表示装置は、上記の実施形態によっては限定されず、その技術的思想の範囲内において異なる形態にて実施されてよい。

20

【 図面の簡単な説明 】

【 0 0 4 9 】

【 図 1 】 I P S 方式の液晶表示装置を構成する T F T 基板の等価回路図である。

【 図 2 】 本実施形態に係る T F T 基板の画素領域を示す拡大平面図である。

【 図 3 】 図 2 の III - III 切断面における断面図である。

【 図 4 A 】 本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【 図 4 B 】 本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【 図 4 C 】 本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

30

【 図 4 D 】 本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【 図 4 E 】 本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【 図 4 F 】 本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【 図 4 G 】 本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【 図 4 H 】 本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

40

【 図 4 I 】 本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【 図 4 J 】 本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【 図 4 K 】 本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【 図 4 L 】 本実施形態に係る表示装置における薄膜トランジスタ T F T を製造する様子を示す図である。

【 図 5 A 】 薄膜トランジスタ T F T を製造する様子を示す上面図である。

50

- 【図5B】薄膜トランジスタTFTを製造する様子を示す上面図である。
- 【図5C】薄膜トランジスタTFTを製造する様子を示す上面図である。
- 【図6】特許文献1に記載されているものと同様のボトムゲート構造による薄膜トランジスタを示す図である。
- 【図7】図6における薄膜トランジスタの構造に対して本願発明者らが検討した構造を示す図である。
- 【図8】図7における薄膜トランジスタの構造に対して本願発明者らが検討した構造を示す図である。
- 【図9A】図8の薄膜トランジスタにおけるゲート電圧とドレイン電流の特性を示すグラフである。
- 【図9B】図3の薄膜トランジスタにおけるゲート電圧とドレイン電流の特性を示すグラフである。
- 【図10】VA方式及びTN方式の表示装置を構成するTFT基板の等価回路図の一例を示す図である。
- 【図11】VA方式及びTN方式のTFT基板の画素領域の一例を示す拡大平面図である。

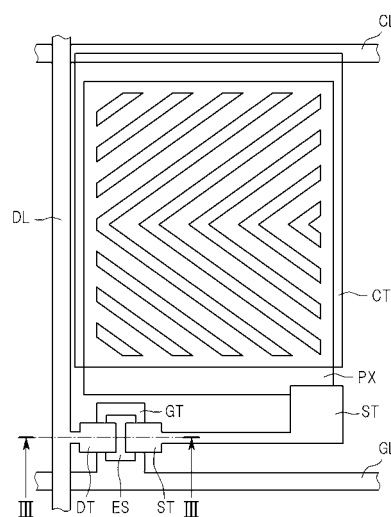
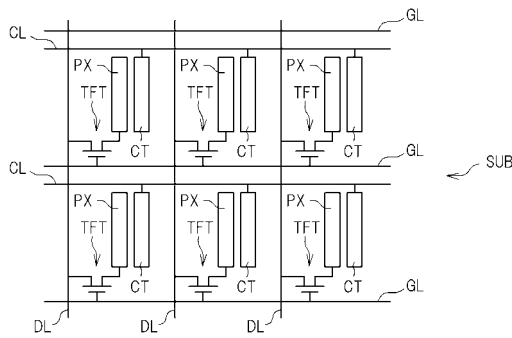
【符号の説明】

【0050】

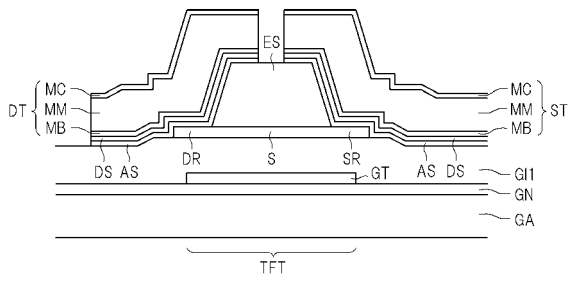
SUB TFT基板、GL ゲート信号線、CL コモン信号線、PX 画素電極、CT 対向電極、TFT 薄膜トランジスタ、DT ドレイン電極、ST ソース電極、GT ゲート電極、ES 絶縁膜、DS 第3の半導体膜（不純物シリコン層）、AS 第2の半導体膜、S 第1の半導体膜、GA 透明基板、GN 汚染防止膜、GI1 ゲート絶縁膜、DR ドレイン電極側端部、SR ソース電極側端部、MB バリアメタル層、MM 主配線層、MC キャップメタル層、RP レジストパターン、PA パッシベーション膜、SA 非晶質シリコン層、SP 多結晶シリコン層。

【図1】

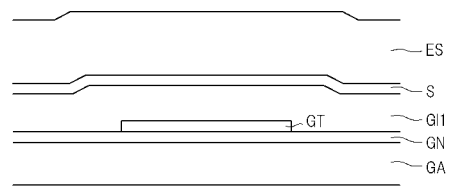
【図2】



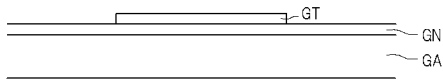
【 図 3 】



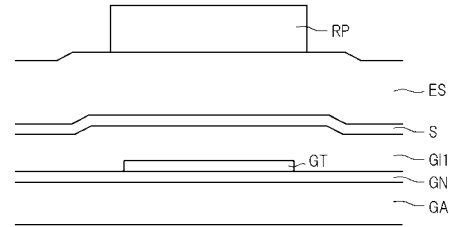
【 図 4 C 】



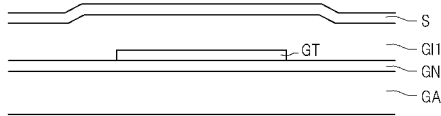
【 図 4 A 】



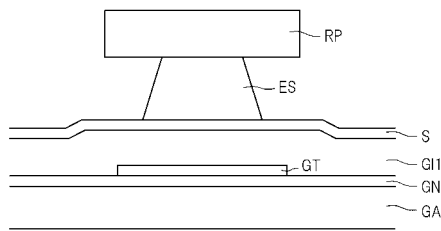
【 図 4 D 】



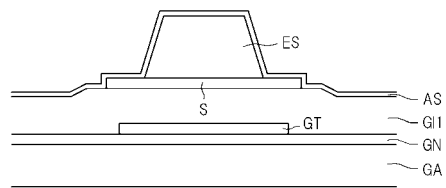
【 図 4 B 】



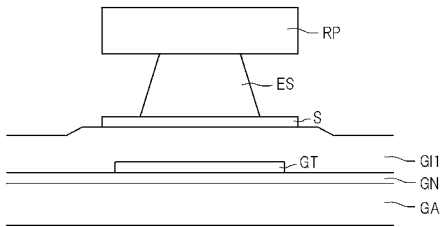
【 図 4 E 】



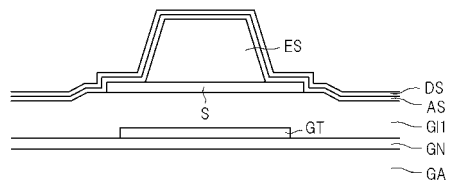
【 図 4 H 】



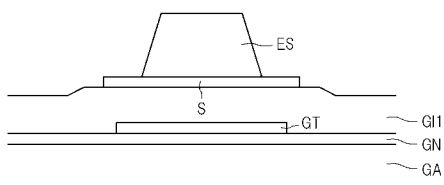
【 図 4 F 】



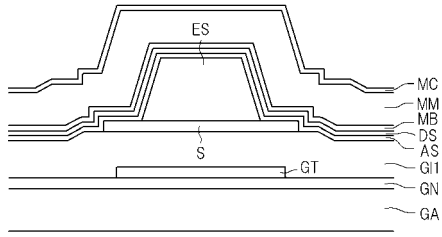
【 図 4 I 】



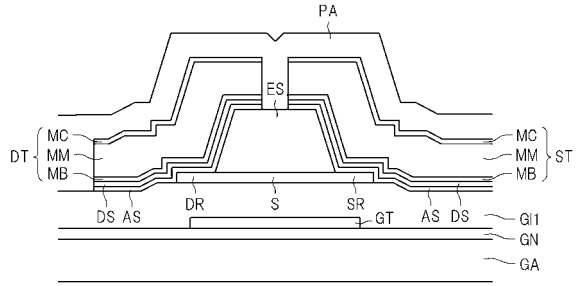
【 図 4 G 】



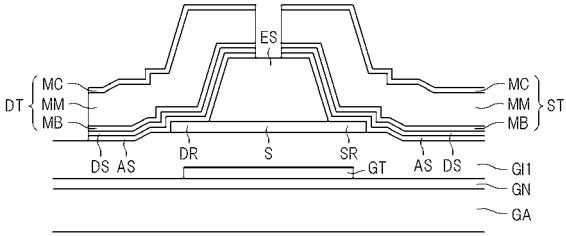
【 図 4 J 】



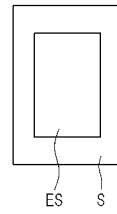
【 図 4 L 】



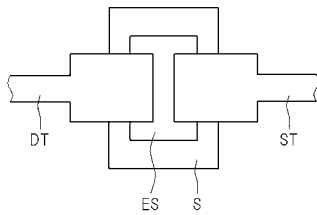
【 図 4 K 】



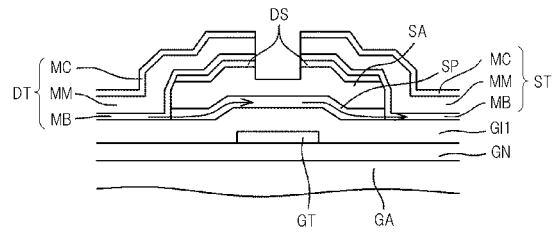
【 図 5 A 】



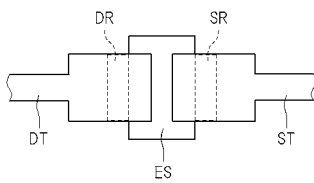
【 図 5 B 】



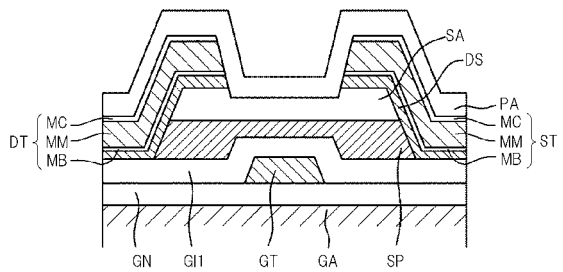
【 図 6 】



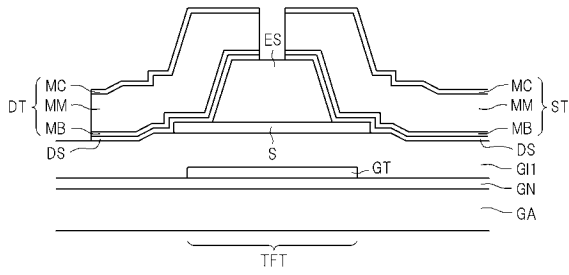
【 図 5 C 】



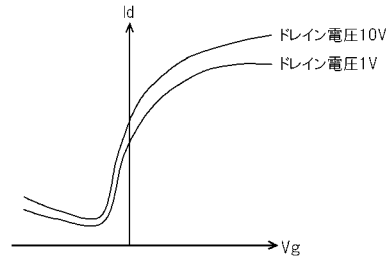
【 図 7 】



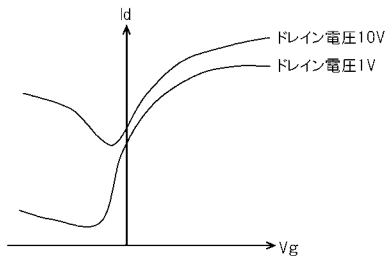
【 図 8 】



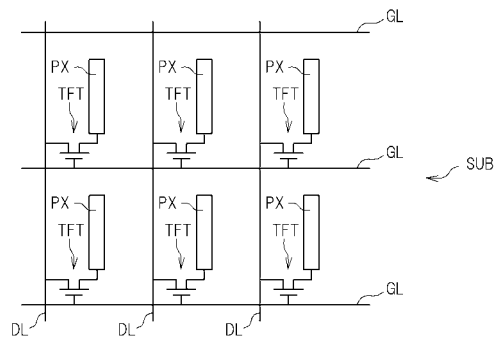
【 図 9 B 】



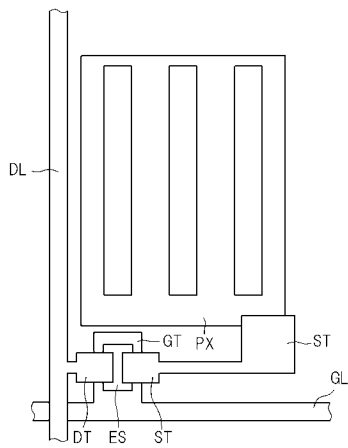
【 図 9 A 】



【 図 10 】



【 図 11 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/50

M

Fターム(参考) 4M104 AA01 AA09 BB01 BB02 BB13 BB14 BB16 BB18 BB40 CC01  
DD37 DD43 FF13 GG09 GG10 GG14  
5C094 AA44 AA53 BA03 BA27 BA43 DA13 DB01 FB14  
5F110 AA06 BB01 CC07 CC08 DD02 DD14 EE04 FF02 FF29 GG02  
GG13 GG14 GG16 GG44 HJ01 HJ13 HK03 HK04 HK09 HK16  
HK22 HK25 HK33 HK34 HM15 NN02 NN12 NN23 NN24 NN35  
NN71 NN72 PP01 PP02 PP03 QQ09  
5G435 AA16 AA17 BB05 BB12 HH13 KK05