(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3938410号
(P3938410)
(45)発行日　平成19年6月27日(2007.6.27)　(24)登録日　平成19年4月6日(2007.4.6)

(51)Int.Cl.		F I		
G11C 11/4074	(2006.01)	G11C	11/34	354F
G11C 11/413	(2006.01)	G11C	11/34	335A
H01L 21/8238	(2006.01)	H01L	27/08	321L
H01L 27/092	(2006.01)			

請求項の数 1　(全 12 頁)

(21)出願番号　特願平8-94390
(22)出願日　平成8年4月16日(1996.4.16)
(65)公開番号　特開平9-282880
(43)公開日　平成9年10月31日(1997.10.31)
審査請求日　平成15年4月11日(2003.4.11)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　森嶋　哉圭
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　大林　茂樹
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
最終頁に続く

(54)【発明の名称】半導体集積回路

(57)【特許請求の範囲】
【請求項１】
接地電位との間で容量を持つ所定のノードと、
前記接地電位と電源電位との間にある第１の中間電位を発生する中間電位発生部と、
前記所定のノードと前記中間電位発生部との間に接続され、制御信号とパワーオンリセット信号の論理和によって出力電流をオンオフ可能に構成され、前記中間電位発生部から受けた前記第１の中間電位を基に、前記所定のノードに供給する電流を増幅して第２の中間電位を前記所定のノードへ印加するカレントミラー回路部とを備え、
前記パワーオンリセット信号は、電源投入後前記所定のノードの電位がほぼ前記第２の中間電位に達するまでは前記カレントミラー回路部をオンするレベルを維持し、前記所定のノードの電位がほぼ前記第２の中間電位に達したときに前記カレントミラー回路部をオフするレベルに変化することを特徴とする、半導体集積回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、２種類の電源電位とその中間の中間電位を用いて動作する半導体集積回路に関し、特に中間電位を供給するための中間電位発生回路を内部に備える半導体集積回路に関するものである。
【０００２】
【従来の技術】

図１３は、例えば、特開平５－１２０８７３号公報（以下、文献１という。）に記載された従来のＤＲＡＭ（ダイナミック・ランダム・アクセス・メモリ）の中間電位発生回路とその周辺回路の構成を示すブロック図である。図１３において、符号１は外部電源が投入され外部電源電位ＶＣＣが予め設定された電位に達したことを検知して検知信号ＰＯＮＡ，ＰＯＮＢを発生する電源投入検知回路、２は外部電源電位ＶＣＣを受けこの外部電源電位ＶＣＣより低い電位の内部電源電位ＶＩＮＴを発生する内部電源回路、３は外部電源電位ＶＣＣおよび基準電圧ＶＲＥＦを受けて第１の中間電位ＨＶ１を発生して中間電位供給接点へ供給するとともに検知信号ＰＯＮＡが発生しかつ第１の中間電位ＨＶ１が所定の電位となったとき中間電位供給接点への第１の中間電位ＨＶ１の供給および中間電位発生機能を停止する大きな中間電位駆動能力をもつ第１の中間電位発生回路、４は内部電源電位ＶＩＮＴを受けて第２の中間電位ＨＶ２を発生し検知信号ＰＯＮＢが発生すると中間電位供給接点へ第１の中間電位発生回路３より小さい中間電位駆動能力で第２の中間電位ＨＶ２を供給する第２の中間電位発生回路を示す。

図１４は、例えば文献１に記載された、図１３の第１の中間電位発生回路３の構成を示す回路図である。また、図１５は、例えば文献１に記載された、図１３の第２の中間電位発生回路４の構成を示す回路図である。

図１６は、図１３に示した第１および第２の中間電位発生回路３，４の動作を説明するための各部の信号の波形図である。

図１６に示すように、電源投入検知回路１は、外部電源電位ＶＣＣが５Ｖに達したことを検知し、外部電源電位ＶＣＣから接地電位になる検知信号ＰＯＮＡと、接地電位から外部電源電位ＶＣＣになる検知信号ＰＯＮＢとを発生する。

【０００３】

また、図１７は、例えば、特開平５－１１４２９１号公報（以下、文献２という。）に記載された、従来の基準電圧発生回路の構成を示す回路図である。従来の基準電圧発生回路は、基準電圧発生源１ｂと、基準電圧配線駆動回路２ｂを有し、基準電圧配線３ｂによって内部降圧回路４ｂに基準電圧を供給する。基準電圧発生回路１ｂは、内部降圧電位Ｖref0（＝３．３Ｖ）を発生する。

図１８は、文献２に記載された、図１７の基準電圧発生回路の動作を説明するための各部の信号の波形図である。電源投入時には、図１７に示したトランジスタQ_1とQ_2の両方がオン状態となり、短時間で基準電圧V_{REF}を引き上げることができる。図１８に示すように、外部電源電位が４．０Ｖを越えると、図１７に示したトランジスタQ_1はオフして電流能力の小さい図１７に示したトランジスタQ_2だけで基準電圧を３．３Ｖまで引き上げる。

【０００４】

【発明が解決しようとする課題】

従来の中間電位発生回路は以上のように構成されており、図１３に示したように２つの中間電位発生回路を用いた場合には、駆動能力の小さい第２の中間電位発生回路４のみを用いる場合に比べて、中間電位供給接点の電位を速く所定の中間電位にすることができるが、中間電位発生回路３は電源電位と接地電位との電位差より低い電圧（電源電位ＶＣＣの二分の一の電圧）しか発生できない。そのため、図１６に示されているように、中間電位供給接点の電位が所定の中間電位になるには、電源電位ＶＣＣが非常に長い時間（中間電位に達する時間の２倍以上の時間）を必要とするという問題があった。

【０００５】

また、図１７に示した従来の基準電圧発生回路では、差動増幅器２１によってトランジスタＱ１を駆動して、電源電圧Ｖｄｄが所定の電圧３．３Ｖより大きくなった４Ｖの時に基準電圧VREFが３．３Ｖに達する前にトランジスタＱ１をターンオフさせるような構成になっており、その後は、駆動能力の小さいトランジスタＱ２によって基準電圧VREFを３．３Ｖまで引き上げる。

駆動能力の小さいトランジスタＱ２のみで３．３Ｖまで引き上げるので、電源電圧Ｖｄｄが３．３Ｖを越えてからＶＲＥＦが３．３Ｖに達するまで非常に長い期間が必要になると

いう問題があった。

【０００６】

さらに、従来の半導体集積回路は、図１４に示した駆動能力の大きな中間電位発生回路３および図１３に示した電源投入検知回路１、並びに図１７に示した差動増幅器２１および図１７では省略されているが信号ϕ_{PON}を発生する回路を含んで構成されており、これらの回路構成が複雑でレイアウト面積が大きくなるという問題があった。

【０００７】

この発明は上記のような問題点を解消するためになされたもので、電源投入後、中間電位を供給すべきノードの電位を直ちに目的の中間電位にすることができ、かつレイアウト面積の小さな半導体集積回路を得ることを目的としている。

【００１１】

【課題を解決するための手段】

本発明に係る半導体集積回路は、接地電位との間で容量を持つ所定のノードと、前記接地電位と電源電位との間にある第１の中間電位を発生する中間電位発生部と、前記所定のノードと前記中間電位発生部との間に接続され、制御信号とパワーオンリセット信号の論理和によって出力電流をオンオフ可能に構成され、前記中間電位発生部から受けた前記第１の中間電位を基に、前記所定のノードに供給する電流を増幅して第２の中間電位を前記所定のノードへ印加するカレントミラー回路部とを備え、前記パワーオンリセット信号は、電源投入後前記所定のノードの電位がほぼ前記第２の中間電位に達するまでは前記カレントミラー回路部をオンするレベルを維持し、前記所定のノードの電位がほぼ前記第２の中間電位に達したときに前記カレントミラー回路部をオフするレベルに変化することを特徴とする。

【００１２】

【発明の実施の形態】

実施の形態１.

以下、この発明の実施の形態１による半導体集積回路について図１ないし図４を用いて説明する。図１は、この発明の実施の形態１による半導体集積回路の構成の一部を示すブロック図である。図１において、符号３０は半導体集積回路中に設けられた中間電位にすべきノード、３１は通常時にノード３０の電位を所望の中間電位に保つための中間電位発生回路、３２は電源電位Ｖｄｄが所望の中間電位に達したときにパワーオンリセット信号ＰＯＲを変化させるパワーオンリセット回路、３３はパワーオンリセット信号ＰＯＲを受けてその反転信号ＰＯＲＢを出力するＣＭＯＳ構成のインバータ、３４は電源電位Ｖｄｄが与えられるソースとノード３０に接続されたドレインとインバータ３３から反転信号ＰＯＲＢを受けるＰチャネルＭＯＳトランジスタ、３５はノード３０と接地電位ＧＮＤ間の容量を示している。

この中間電位発生回路３１は、低消費電力型のものが用いられ、駆動能力が低く設定されており、非常に高い出力インピーダンスをもっている。パワーオンリセット回路３２とインバータ３３は、リセット信号発生回路を構成する。

【００１３】

図２は、図１に示した回路の動作を示す波形図である。図２に示すように、電源が動作を開始すると、パワーオンリセット信号ＰＯＲは、電源電位Ｖｄｄが高くなっていくのとほぼ同じ傾斜（電位の変化／時間）をもって立ち上がる。

インバータ３３は、ＣＭＯＳ構成であり、インバータ３３は、電源電位Ｖｄｄがインバータを構成しているＰチャネルＭＯＳトランジスタのしきい電圧を越えるまでは、その出力をローレベルに保つ。ところで、パワーオンリセット信号ＰＯＲは、所望の中間電位ＶMIDまでは電源電位Ｖｄｄとほぼ同じ値を取る。そのため、所望の中間電位ＶMIDまで、インバータ３３は、反転信号ＰＯＲＢとしてローレベルを出力する。反転信号ＰＯＲＢがローレベルの間、ＰチャネルＭＯＳトランジスタ３４が導通状態にあり、このトランジスタ３４の駆動能力を十分大きくしておくことにより、ノード３０の電位Ｖｈは、ほぼ電源電位Ｖｄｄが高くなるのに伴って同様に高くなる。

【００１４】
所定の時刻ｔ１を経過して電源電位ＶｄｄがＶMIDに達したときに、パワーオンリセット回路３２は、電源電位Ｖｄｄが中間電位ＶMIDと等しくなったことを検知する。そして、パワーオンリセット回路３２は、パワーオンリセット信号ＰＯＲを電源電位Ｖｄｄの値からローレベル（接地電位ＧＮＤの値）に変化させる。その変化に伴い、インバータ３３は、その出力を電源電位Ｖｄｄの値とほぼ等しい電位に変化させる。そのインバータ３３の出力をゲートで受けるＰチャネルＭＯＳトランジスタ３４は、非導通状態となり、ノード３０への電荷の供給は停止する。そのため、ノード３０の電位Ｖｈは、ほぼ所望の中間電位ＶMIDと等しくなる。中間電位発生回路３１が非常に高い出力インピーダンスをもっているため、ノード３０から中間電位発生回路３１へ流れる電流は非常に小さく、トランジスタ３４がターンオフした後、ノード３０の電位Ｖｈは、ほぼ所望の中間電位ＶMIDに保たれる。
電源電位Ｖｄｄが所定の電位ＶDDに到達した後まもない時刻ｔ２に、中間電位発生回路３１は、正確な中間電位ＶMIDを出力する。この時、ノード３０の電位Ｖｈは、ほぼ所望の中間電位ＶMIDと等しくなっていることから、中間電位発生回路３１によって、直ちに正確な中間電位ＶMIDになる。
【００１５】
このように、電源投入時に、パワーオンリセット信号ＰＯＲの反転信号ＰＯＲＢによってＰチャネルＭＯＳトランジスタ３４を直接制御して、このトランジスタ３４を介してノード３０を電源で直接駆動するので、中間電位発生回路のみでノード３０を駆動する場合に比べて、また、差動増幅器でトランジスタを制御する場合に比べて非常に短時間でノード３０の電位を目的の中間電位ＶMIDにすることができる。
また、追加される回路は、パワーオンリセット回路３２以外には、インバータ３３とＰチャネルＭＯＳトランジスタ３４だけであるのでレイアウト面積の増加はほとんどない。
【００１６】
次に、中間電位発生回路３１の構成の一例を図３に示す。
図３の中間電位発生回路は、ドレインと電源電位Ｖｄｄが与えられるソースと接地電位ＧＮＤが与えられるゲートを持つＰチャネルＭＯＳトランジスタＱ２０、ゲートとドレインとトランジスタＱ２０のドレインに接続されたソースとトランジスタＱ２０のドレインに接続された基板を持つＰチャネルＭＯＳトランジスタＱ２１、トランジスタＱ２１のソースに接続されたドレインとトランジスタＱ２１のゲートおよびトランジスタＱ２１のドレインに接続されたゲートと接地電位ＧＮＤが与えれるソースを持つＮチャネルＭＯＳトランジスタＱ２２、接地電位ＧＮＤが与えられるソースとトランジスタＱ２２のゲートに接続されたゲートとトランジスタＱ２２のゲートに接続されたドレインを持つＮチャネルＭＯＳトランジスタＱ２３、ゲートと電源電位Ｖｄｄが与えられるソースとトランジスタＱ２３のドレインに接続されたドレインを持つＰチャネルＭＯＳトランジスタＱ２４、電源電位Ｖｄｄが与えられるソースとトランジスタＱ２４のゲートに接続されたゲートとトランジスタＱ２４のゲートに接続されたドレインを持つＰチャネルＭＯＳトランジスタＱ２５、ソースとトランジスタＱ２３のゲートに接続されたゲートとトランジスタＱ２５のドレインに接続されたドレインを持つＮチャネルＭＯＳトランジスタＱ２６、トランジスタＱ２６のソースに接続された一方端と接地電位ＧＮＤが与えられる他方端を持つ抵抗Ｒ１０、電源電位Ｖｄｄが与えられるソースとトランジスタＱ２５のドレインに接続されたゲートとノード３０に接続されたドレインを持つＰチャネルＭＯＳトランジスタＱ２７、エミッタとトランジスタＱ２７のドレインに接続されたコレクタとトランジスタＱ２７のドレインに接続されたベースを持つＮＰＮトランジスタＱ２８、並びにトランジスタＱ２８のエミッタに接続された一方端と接地電位ＧＮＤが与えられる他方端を持つ抵抗Ｒ１１を含んで構成されている。
直列に接続されたトランジスタＱ２７とトランジスタＱ２８と抵抗Ｒ１１からなる直列体の両端は、それぞれ、電源電位Ｖｄｄと接地電位ＧＮＤになっている。そのため、ノード３０には、接地電位ＧＮＤよりもトランジスタＱ２８と抵抗Ｒ１１で発生する電圧分だけ

高い電位Ｖｈが発生する。
【００１７】
次に、パワーオンリセット回路３２の構成の一例を図４に示す。
図４のパワーオンリセット回路は、ゲートとドレインと電源電位Ｖｄｄが与えられるソースを持つＰチャネルＭＯＳトランジスタＱ３０、トランジスタＱ３０のドレインに接続されたソースとトランジスタＱ３０のドレインに接続されたゲートとトランジスタＱ３０のドレインに接続されたドレインを持つＰチャネルＭＯＳトランジスタＱ３１、トランジスタＱ３０のドレインに接続されたゲートと接地電位ＧＮＤが与えられるソースと接地電位ＧＮＤが与えられるドレインを持つＮチャネルＭＯＳトランジスタＱ３２、トランジスタＱ３２のゲートに接続された一方端と接地電位ＧＮＤが与えられる他方端を持つ抵抗Ｒ２０、ドレインと電源電位Ｖｄｄが与えられるソースと抵抗Ｒ２０の一方端に接続されたゲートを持つＰチャネルＭＯＳトランジスタＱ３３、トランジスタＱ３３のドレインに接続されたドレインと接地電位ＧＮＤが与えられるソースと抵抗Ｒ２０の一方端に接続されたゲートを持つＮチャネルＭＯＳトランジスタＱ３４、トランジスタＱ３４のドレインに接続されたゲートと電源電位Ｖｄｄが与えられるドレインと電源電位Ｖｄｄが与えられるソースを持つＰチャネルＭＯＳトランジスタＱ３５、トランジスタＱ３５のゲートに接続されたゲートと電源電位Ｖｄｄが与えられるソースとトランジスタＱ３４のゲートに接続されたドレインを持つＰチャネルＭＯＳトランジスタＱ３６、トランジスタＱ３６のドレインに接続されたドレインとトランジスタＱ３６のゲートに接続されたゲートと接地電位ＧＮＤが与えられるソースを持つＮチャネルＭＯＳトランジスタＱ３７、出力端とトランジスタＱ３３およびＱ３４のドレインに接続された入力端を持ち電源電位Ｖｄｄと接地電位ＧＮＤが与えられて動作するＣＭＯＳ構成のインバータ４０、並びにパワーオンリセット信号ＰＯＲを出力する出力端とインバータ４０の出力端に接続された入力端を持ち電源電位Ｖｄｄと接地電位ＧＮＤが与えられて動作するＣＭＯＳ構成のインバータ４１を含んで構成されている。
【００１８】
トランジスタＱ３０のドレインは、トランジスタＱ３４のゲートに接続されており、トランジスタＱ３４がターンオンするしきい電圧やトランジスタＱ３０および抵抗Ｒ２０の抵抗値を調整することにより、パワーオンリセット信号ＰＯＲを変化させる電位を任意に設定できる。このことを利用して、パワーオンリセット信号ＰＯＲを変化させる電位を所望の中間電位ＶMIDに設定する。
前述のように設定した状態で、電源投入時に、電源電位Ｖｄｄが中間電位ＶMIDに達すると、トランジスタＱ３４がターンオンして、インバータ４１から出力されるパワーオンリセット信号ＰＯＲは、ローレベルに変化する。それと同時に、トランジスタＱ３６がターンオンするため、トランジスタＱ３３，Ｑ３４のゲートはハイレベルに固定される。なお、トランジスタＱ３１は、図４に示した状態では働いていないが、トランジスタＱ３４がターンオンする電位を調整する際に、トランジスタＱ３０，Ｑ３１のゲート間を切り放して用いることができる。
【００１９】
実施の形態２．
次に、この発明の実施の形態２による半導体集積回路について図５を用いて説明する。図５は、この発明の実施の形態２による半導体集積回路の構成の一部を示すブロック図である。図５において、５０はトランジスタＱ３４をターンオフするためのタイミングを決定する信号ＰＯＲを出力する信号生成回路であり、その他図１と同一符号のものは図１の同一符号部分に相当する部分である。
【００２０】
また、信号生成回路５０が図４に示したパワーオンリセット回路と異なる点は、トランジスタＱ３０に代えてＰチャネルＭＯＳトランジスタＱ３０Ａを用いている点と、トランジスタＱ３３，Ｑ３４のドレインをインバータ３３に直接接続している点の２つの点である。信号生成回路５０とインバータ３３は、リセット信号発生回路を構成する。

トランジスタＱ３０Ａとトランジスタ Ｑ３０は、そのソースが接続されているノードが異なり、トランジスタＱ３０のソースに電源電位ＶｄｄがＶｄｄが与えられるのに対し、トランジスタＱ３０Ａのソースにはノード３０の電位Ｖｈが与えられる。

【００２１】

信号生成回路５０から出力される信号ＰＯＲは、ノード３０の電位Ｖｈが所望の中間電位ＶMIDに達したときに反転する。従って、信号生成回路５０から出力される信号ＰＯＲは、図１および図２に示したパワーオンリセット信号ＰＯＲとほぼ同じである。しかし、信号生成回路５０が直接ノード３０の電位Ｖｈを検出しているので、信号生成回路５０から出力される信号ＰＯＲが反転するタイミングの確度はパワーオンリセット回路３２を用いるのに比べて高くなる。

なお、この半導体集積回路の動作については、図４を用いて説明した実施の形態１の半導体集積回路の動作とほぼ同じになる。

【００２２】

実施の形態３．

次に、この発明の実施の形態３による半導体集積回路について図６を用いて説明する。図６はこの発明の実施の形態３による半導体集積回路の構成の一部を示すブロック図である。図６において、符号６０は図１のノード３０に相当するものであるが距離を置いて設けられた多数のトランジスタのゲートに接続されるとか非常に長い配線が接続されているなど比較的大きな容量が分布している場合の配線を示している。また、図６のパワーオンリセット回路３２ＡとインバータＡとＰチャネルＭＯＳトランジスタ３４Ａからなる構成は、図１のパワーオンリセット回路３２とインバータ３３とＰチャネルＭＯＳトランジスタ３４に相当する構成である。また、パワーオンリセット回路３２ＢとインバータＢとＰチャネルＭＯＳトランジスタ３４Ｂ、およびパワーオンリセット回路３２ＣとインバータＣとＰチャネルＭＯＳトランジスタ３４Ｃも、図１に示したものと同様の構成である。

【００２３】

図６に示すように、パワーオンリセット回路３２Ａ～３２ＣとインバータＡ～ＣとＰチャネルＭＯＳトランジスタ３４Ａ～３４Ｃで構成される３つの回路を、配線６０に分散的に配置する。

このように接続することにより、配線６０が２次元的あるいは３次元的に配置されていて、容量成分が分布している場合にも、配線６０のいずれの点もほぼ同時刻に、かつ場所による誤差を小さくして均一に所望の中間電位にすることができる。

【００２４】

なお、上記実施の形態３の説明では、パワーオンリセット回路３２Ａ～３２Ｃを用いたが、実施の形態２の信号生成回路５０を用いてもよく、上記実施の形態３と同様の効果を奏する。また、配置されるトランジスタ数は配線容量に合わせて設定される。

また、パワーオンリセット回路３２Ａ～３２Ｃを共通化してもよく上記実施の形態と同様の効果を奏する。

【００２５】

実施の形態４．

次に、この発明の実施の形態４による半導体集積回路について図７ないし図９を用いて説明する。図７はこの発明の実施の形態４による半導体集積回路の構成を説明するためのブロック図である。図７に示した回路は、この発明の実施の形態４の前提となる回路構成である。

図７において、７１は低消費電力型の中間電位発生回路の後段にカレントミラー回路部を接続することによって駆動能力を大きくするとともに外部からの制御信号ＣＥＡによって出力が制御できるように構成されている中間電位発生回路である。

図９は、図７に示した中間電位発生回路７１の構成の一例を示す回路図である。図９において、７３は図３に示したものと同様の構成の低消費電力型の中間電位発生部、７４は中間電位発生部７３が出力する中間電位に応じて中間電位Ｖｈを出力するカレントミラー回

路部である。
駆動能力を大きくするとともに中間電位ＶMIDを印加する必要のない時には制御信号ＣＥＡによって、カレントミラー回路部７４を非動作状態とすることで、消費電力の節約を行っている。
【００２６】
カレントミラー回路部７４は、ドレインとトランジスタＱ２７のドレインに接続されたゲートと接地電位ＧＮＤが与えられるソースを持つＮチャネルＭＯＳトランジスタＱ４０、ドレインと制御信号ＣＥＡが与えられるゲートとトランジスタＱ４０のドレインに接続されたソースを持つＮチャネルＭＯＳトランジスタＱ４１、電源電位Ｖｄｄが与えられるソースとトランジスタＱ４１のドレインに接続されたドレインとトランジスタＱ４１のドレインに接続されたゲートを持つＰチャネルＭＯＳトランジスタＱ４２、ドレインとトランジスタＱ４２のゲートに接続されたゲートと電源電位Ｖｄｄが与えられるソースを持つＰチャネルＭＯＳトランジスタＱ４３、接地電位ＧＮＤが与えられるソースとトランジスタＱ４３のドレインに接続されたドレインとトランジスタＱ４３のドレインに接続されたゲートを持つＮチャネルＭＯＳトランジスタＱ４４、トランジスタＱ４３のドレインに接続された一方電流電極とノード７２に接続された他方電流電極と制御信号ＣＥＡが与えられるゲートを持つＮチャネルＭＯＳトランジスタＱ４５、ゲートとトランジスタＱ４３のドレインに接続された一方電流電極とノード７２に接続された他方電流電極を持つＰチャネルＭＯＳトランジスタＱ４６、および制御信号ＣＥＡが与えられる入力端とトランジスタＱ４６のゲートに接続された出力端を持つインバータ７５で構成されている。トランジスタＱ４５，Ｑ４６はトランスミッションゲートを構成している。
【００２７】
図７に示した回路の動作を図１０に示す。
制御信号ＣＥＡは、時刻ｔ３とｔ４の間、ｔ５とｔ６の間、ｔ７とｔ８の間、ｔ９とｔ１０の間、およびｔ１１とｔ１２の間で電源電位ＶＤＤを、それ以外の区間で接地電位ＧＮＤ（０Ｖ電位）をとる。
カレントミラー回路部７４は、制御信号ＣＥＡがローレベル（０Ｖ電位）の間、トランジスタＱ４１，Ｑ４５，Ｑ４６がオフ状態となるため、ノード７２に電荷を供給しない。そのため、時刻ｔ３とｔ４の間では、カレントミラー回路部７４が動作している期間が短すぎて、ノード７２の電位Ｖｈを所望の中間電位ＶMIDにすることができない。時刻ｔ５と時刻ｔ６の間でも時刻ｔ３とｔ４の間と同様に、ノード７２の電位Ｖｈを中間電位ＶMIDにすることはできない。そして、時刻ｔ７とｔ８の間でやっと電位Ｖｈは中間電位ＶMIDに達する。
図１０に示すように、駆動能力の大きなカレントミラー回路部７４を低消費電力型の中間電位発生部７３の後段に設けても、制御信号ＣＥＡで制御するので、中間電位発生回路７１は、初動の段階で、ノード７２の電位Ｖｈを中間電位ＶMIDとしておくことができない。
【００２８】
図８は、半導体集積回路中に設けられ、電源が投入されて間もない初動段階からノード７２の電位Ｖｈを中間電位ＶMIDとしておける信号制御型の中間電位発生回路の構成を示すブロック図である。図８において、３２はパワーオンリセット信号ＰＯＲを出力するパワーオンリセット回路、７０はパワーオンリセット信号ＰＯＲと制御信号ＣＥＡの論理和をとり制御信号ＣＥＢを出力するＯＲゲート、７１は制御信号ＣＥＢにより制御される中間電位発生回路である。
中間電位発生回路７１の構成は、図７に示したものと同じであり、図７と図８の中間電位発生回路７１を比べると与えられる制御信号が異なるだけである。また、パワーオンリセット回路３２は、図４に示しものと同様に構成することができる。ただし、パワーオンリセット信号ＰＯＲは、ノード７２が所望の中間電位ＶMIDに達したときに接地電位になるよう設定されるのが好ましい。なお、パワーオンリセット信号ＰＯＲを変化させるタイミングを与えるのは、ノード７２の電位Ｖｈであってもよく、また、電源電位Ｖｄｄであっ

てもよい。電源電位Ｖｄｄを用いるときは、電源電位Ｖｄｄとノード７２の電位Ｖｈの関係に応じてパワーオンリセット信号ＰＯＲを変化させる電位を設定する。

【００２９】

図１１は、パワーオンリセット信号ＰＯＲと電源電位Ｖｄｄとの関係を示すグラフであり、図１２は、図８の半導体集積回路における制御信号ＣＥＢとノード７２の電位Ｖｈの関係を示すグラフである。

図１２に示すように、制御信号ＣＥＢは、図１０に示した制御信号ＣＥＡと図１１に示したパワーオンリセット信号ＰＯＲの論理和をとって生成される。そのため、中間電位発生回路７１は、電源投入時点（原点）から時刻ｔ１４までの間に、ノード７２に電荷を供給する。そのため、ノード７２の電位Ｖｈは、制御信号ＣＥＡが活性化される前にほぼ中間電位ＶMIDになっており、中間電位発生回路７１を用いる半導体集積回路に対しても、初動状態から正確な動作を期待できる。

【００３０】

そして、パワーオンリセット信号ＰＯＲがローレベルになった後は、制御信号ＣＥＡによって必要なときのみ中間電位ＶMIDを保つようにカレントミラー回路部７４が動作状態となるので、中間電位発生回路７１は、大きな駆動能力と低消費電力という相反する機能を同時に発揮することができる。

【００３１】

なお、上記実施の形態４では、パワーオンリセット回路３２を用いたが、実施の形態２で説明した信号生成回路５０を用いてもよく、上記実施の形態と同様の効果を奏する。

【００３５】

【発明の効果】

本発明の半導体集積回路によれば、カレントミラー回路部は、パワーオンリセット信号によって、電源投入時に所定のノードの電位がほぼ第２の中間電位に達するまでは、所定のノードに電荷を供給するので、制御信号によって制御される前に、所定のノードを第２の中間電位にすることができ、低消費電力と、大きな駆動力とをもって所定のノードを駆動しつつ、電源投入直後から、正確な動作を行えるという効果がある。

【図面の簡単な説明】

【図１】　この発明の実施の形態１による半導体集積回路の構成の一部を示すブロック図である。

【図２】　図１に示した半導体集積回路の動作を説明するための波形図である。

【図３】　図１に示した中間電位発生回路の構成の一例を示す回路図である。

【図４】　図１に示したパワーオンリセット回路の構成の一例を示す回路図である。

【図５】　この発明の実施の形態２による半導体集積回路の構成の一部を示すブロック図である。

【図６】　この発明の実施の形態３による半導体集積回路の構成の一部を示すブロック図である。

【図７】　この発明の実施の形態４を説明するためのブロック図である。

【図８】　この発明の実施の形態４による半導体集積回路の構成の一部を示すブロック図である。

【図９】　図７および図８に示した中間電位発生回路の構成の一例を示す回路図である。

【図１０】　図７に示した半導体集積回路の動作を説明するための波形図である。

【図１１】　図８に示したパワーオンリセット信号を示す波形図である。

【図１２】　図８に示した中間電位発生回路の動作を説明するための波形図である。

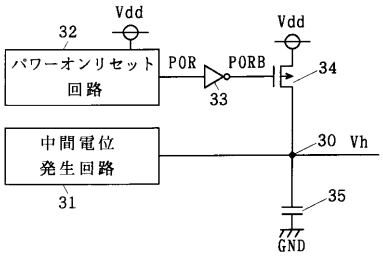
【図１３】　中間電位を用いる従来の半導体集積回路の構成の一例を示すブロック図である。

【図１４】　図１３に示した駆動能力の大きな方の中間電位発生回路の構成を示す回路図である。

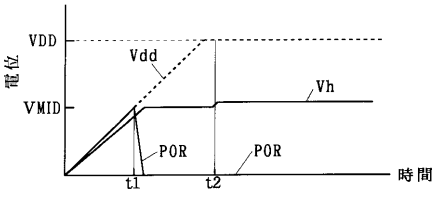
【図１５】　図１３に示した駆動能力の小さな方の中間電位発生回路の構成を示す回路図である。

【図１６】　図１３に示した半導体集積回路の動作を説明するための波形図である。
【図１７】　中間電位を用いる従来の半導体集積回路の構成の他の例を示すブロック図である。
【図１８】　図１７に示した半導体集積回路の動作を説明するための波形図である。
【符号の説明】
３１，７１　中間電位発生回路、３２，３２Ａ～３２Ｃ　パワーオンリセット回路、５０　信号生成回路、７４　カレントミラー回路部。

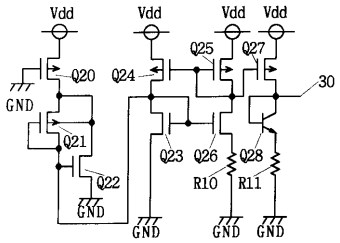
【図１】



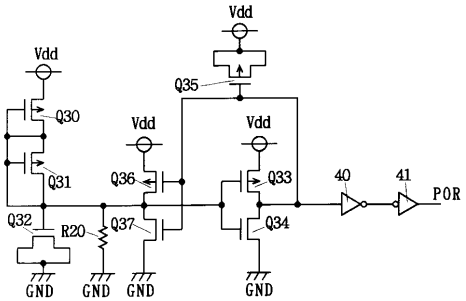
【図２】



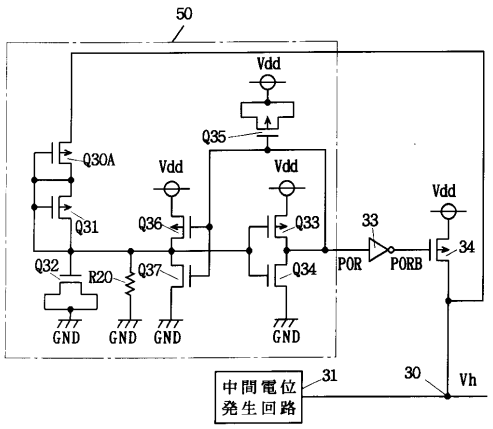
【図３】



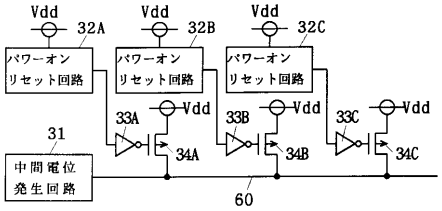
【図４】



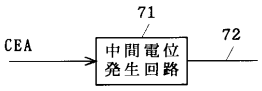
【図５】



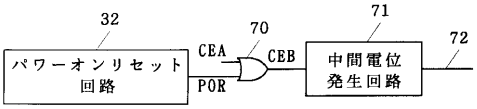
【図６】



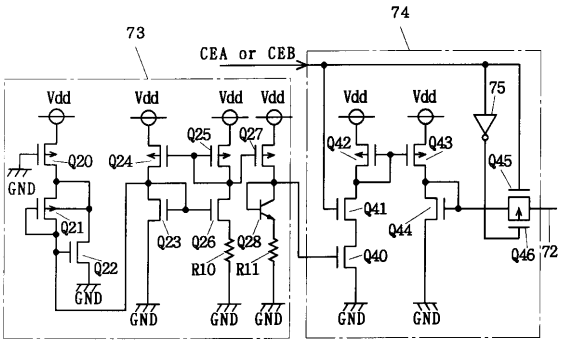
【図７】



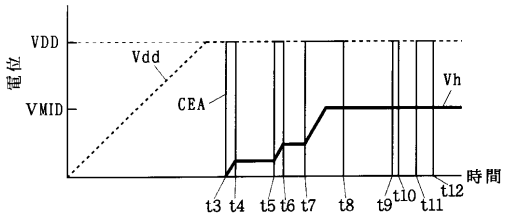
【図８】



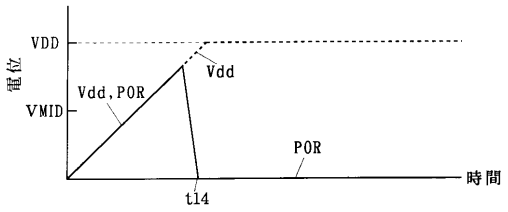
【図９】



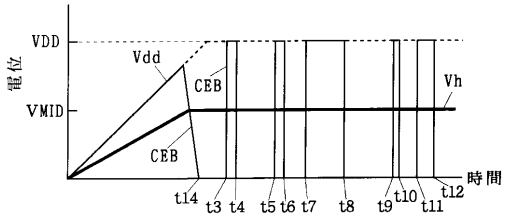
【図１０】



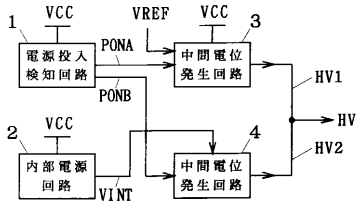
【図１１】



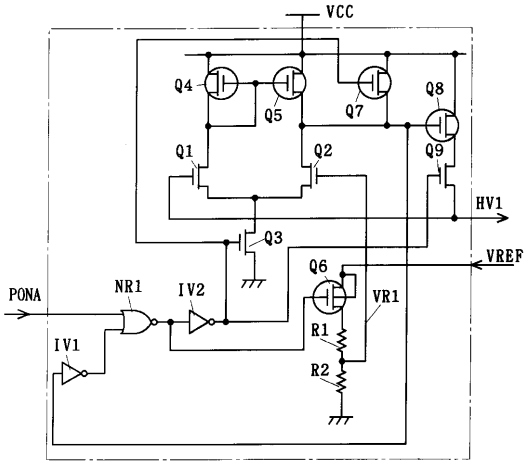
【図１２】



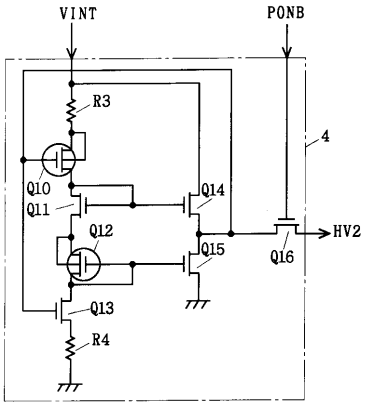
【図１３】



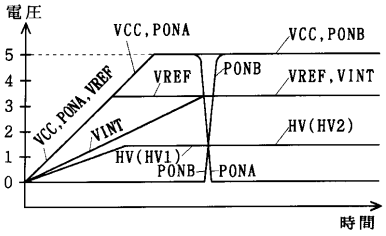
【図１４】



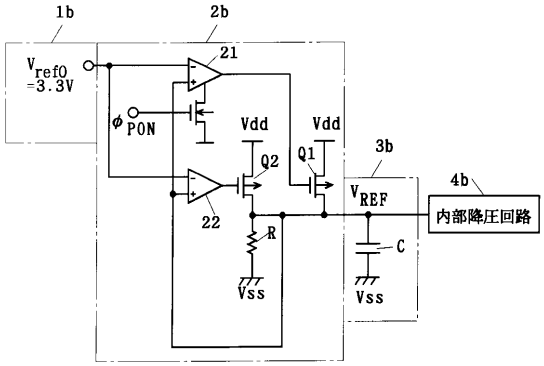
【図１５】



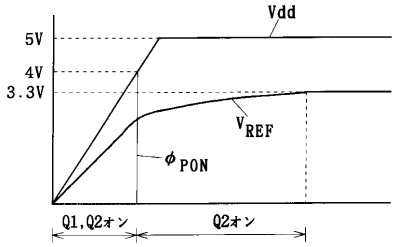
【図１６】



【図１７】


1b
2b
21
V_{ref0} =3.3V
ϕ_{PON}
Vdd
Vdd
Q2
Q1
3b
4b
V_{REF}
内部降圧回路
22
R
C
Vss
Vss

【図１８】


Vdd
5V
4V
3.3V
V_{REF}
ϕ_{PON}
Q1,Q2オン
Q2オン

フロントページの続き

審査官　園田　康弘

(56)参考文献　特開平０５－０５４６７３（ＪＰ，Ａ）
特開平０５－２１７３７３（ＪＰ，Ａ）
特開平０５－１２１６５０（ＪＰ，Ａ）
特開平０６－２２３５６８（ＪＰ，Ａ）
特開平０５－３３６７３６（ＪＰ，Ａ）
特開昭６３－０７６００７（ＪＰ，Ａ）
特開平０４－３４９２９４（ＪＰ，Ａ）
特開平０７－１３０１７０（ＪＰ，Ａ）
特開平０８－２２７５８０（ＪＰ，Ａ）
特開平０６－０１２８９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/407
G11C 11/413
H01L 21/8238
H01L 27/092