(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3818711号
(P3818711)
(45)発行日　平成18年9月6日(2006.9.6)　(24)登録日　平成18年6月23日(2006.6.23)

(51)Int.Cl.　F I
H04N 5/335 (2006.01)　H04N 5/335 Z
H04N 5/335 P

請求項の数 5　(全 10 頁)

(21)出願番号　特願平8-321858
(22)出願日　平成8年12月2日(1996.12.2)
(65)公開番号　特開平10-164442
(43)公開日　平成10年6月19日(1998.6.19)
審査請求日　平成15年6月13日(2003.6.13)

(73)特許権者　390020248
日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目２４番１号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　田沢　仁志
茨城県稲敷郡美浦村木原２３５５番地　日本テキサス・インスツルメンツ株式会社内

審査官　▲徳▼田　賢二

最終頁に続く

(54)【発明の名称】相関二重サンプリング回路

(57)【特許請求の範囲】
【請求項１】
固体撮像素子の出力に接続されている電流差動型のＤＣアンプと、
前記ＤＣアンプの出力に接続され、当該ＤＣアンプによって増幅された前記固体撮像素子の出力信号に対し、その基準レベルと画像信号レベルとをそれぞれサンプリングし、サンプリング後の画像信号レベルから基準レベルを差し引く相関二重サンプリング部と、を有する
相関二重サンプリング回路。
【請求項２】
前記電流差動型のＤＣアンプは、
ベースが前記固体撮像素子の出力に接続され、エミッタとコレクタがそれぞれ電源とカレントミラー回路に接続されている第１のトランジスタと、
ベースに第１の基準電圧が印加され、エミッタとコレクタがそれぞれ電源とカレントミラー回路に接続され、コレクタと前記カレントミラー回路との間の接続点が前記相関二重サンプリング部の入力に接続されている第２のトランジスタと、
前記接続点に互いに直列で前記カレントミラー回路に対して並列に接続されている、負荷抵抗および第２の基準電圧を発生させる基準電圧源と、を有する
請求項１に記載の相関二重サンプリング回路。
【請求項３】
前記電源と前記第１のトランジスタのエミッタとの間に抵抗が接続され、前記第１のトラ

ンジスタと前記第２のトランジスタとのエミッタ同士が可変抵抗を介して接続されている請求項２に記載の相関二重サンプリング回路。
【請求項４】
前記第１のトランジスタのコレクタと前記カレントミラー回路との間に接続されている第３のトランジスタと、
前記第２のトランジスタのコレクタと前記接続点との間に接続され、前記第３のトランジスタとベースが共通化される第４のトランジスタと、
前記第３および第４のトランジスタの共通化されたベースに接続されている電圧源と、を更に有する
請求項２または３に記載の相関二重サンプリング回路。
【請求項５】
前記相関二重サンプリング部の出力と、前記電流差動型のＤＣアンプにおける前記第１の基準電圧が印加される基準電圧入力端との間に、当該第１の基準電圧のレベルを前記相関二重サンプリング部の出力に応じて調整する手段が接続されている
請求項１～４の何れかに記載の相関二重サンプリング回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ＣＣＤ(Charge Coupled Device) 等の固体撮像素子からの出力信号を処理する回路であって、ＣＣＤ等の誘導雑音、特にリセット雑音を効果的に除去する相関二重サンプリング回路に関する。
【０００２】
【従来の技術】
現在使われている代表的なＣＣＤの出力検出方法として、フローティングディフージョン増幅器を用いた方法が知られている。この検出方法では、ＣＣＤの終端に形成されたリセット用ＭＯＳトランジスタをリセット用クロック信号によりオンすることによって、その一方の拡散層を所定の電圧に設定し、その後、当該リセット用トランジスタをオフした状態で、一方の拡散層に信号電荷が順次送られ、これによる当該拡散層の電位変化が、出力用ＭＯＳトランジスタから読み出される。
この検出方法に対応して、読み出された出力信号内には、リセット時の誘導雑音（以下、リセット雑音という）が重畳したリセット期間と、このリセット雑音が減衰し確定したときのレベルを示すフィードスルー期間と、画像信号を示す信号期間とが存在し、これらの期間がＣＣＤの駆動周波数に応じた周期で繰り返される。
【０００３】
このような出力信号に対し、リセット雑音等のノイズを除去する回路として、図５に示す相関二重サンプリング回路が知られている。
図５に示す相関二重サンプリング回路１０は、容量ＣによってＡＣ結合され、クランプパルスφcpにより、例えばＣＣＤのオプティカルブラックによりＣＣＤ出力信号Ｖｏ を所定のＤＣレベルにクランプするクランプ回路２と、サンプル・ホールド回路３ａ～３ｅと差動増幅器４とにより構成されている。相関二重サンプリングにおけるノイズ除去は、リセット雑音等のノイズが確定したフィードスルー期間と信号期間とをそれぞれサンプル・ホールド回路３ａ～３ｅでサンプリングし、差動増幅器４で両サンプリング信号の差をとることによって達成される。
【０００４】
より詳しくは、図５に示すように、差動増幅器４の非反転入力には、フィードスルー期間に同期したクロック信号φSH1 で動作するサンプル・ホールド回路３ａが接続される。また、差動増幅器４の反転入力には、信号期間に同期したクロック信号φSH2 で動作するサンプル・ホールド回路３ｂが接続される。相関二重サンプリング回路は、基本的に、これら互いに位相をずらして動作する２つのサンプル・ホールド回路３ａ及び３ｂと、差動増幅器４とで構成される。

図５に示す相関二重サンプリング回路１０は、さらに、サンプル・ホールド回路３ｃ，３ｄ及び３ｅを有する。サンプル・ホールド回路３ｃは、ＣＣＤ出力信号Ｖｏ におけるサンプリング点の位相（周期）を合わせることを目的とし、サンプル・ホールド回路３ａの出力はクロック信号φSH2 で再度サンプリングされる。また、サンプル・ホールド回路３ｄ及び３ｅは、サンプリングノイズ等を除去することを目的とし、同一のクロック信号（ここでは、クロック信号φSH1 ）で動作する。

【０００５】

【発明が解決しようとする課題】

しかし、この従来の相関二重サンプリング回路１０では、ＣＣＤの駆動周波数を高くした場合に、リセット期間に重畳するリセット雑音がフィードスルー期間で確定しないため、効果的なノイズ除去ができないといった問題があった。

【０００６】

図６は、図５において結合容量Ｃの出力側におけるＣＣＤ出力信号Ｖｏ の波形図である。この相関二重サンプリング回路１０では、結合容量ＣとＣＣＤの図示せぬ出力負荷抵抗等とによって、リセット雑音等が微分されてリセット期間ｔｒ に重畳されている。したがって、例えば１０ＭＨｚ～１４ＭＨｚとＣＣＤの駆動周波数をある程度高くすると、短いフィードスルー期間ｔｆ 内にリセット雑音が減衰して黒レベル付近で一定値になることができない。このような平らでないフィードスルー期間ｔｆ 内でリセット雑音が確定前にサンプリングされると、リセット雑音がある程度低いレベルまで減衰した後にサンプリングが行なわれないことからサンプリング点のノイズレベルに差が生じ、この結果、ノイズ除去を効果的に行なうことができなくなる。

【０００７】

一方、例えばフレーム転送方式のＣＣＤ（以下、ＦＴＣＣＤという）では、撮像部で光電変換された信号電荷を、垂直ブランキング期間（信号が画面に出ていない期間）内に、パラレルダンプ用クロック信号でメモリ部に全画素分いっせいに転送し、水平転送クロック信号によって水平レジスタ部で水平方向に送り、出力部から出力させる。このＦＴＣＣＤでは、パラレルダンプ用クロック信号の周波数を、スミア低減のため十数ＭＨｚ以上と高くする必要があり、このためＣＣＤ出力信号Ｖｏ に大きなノイズが重畳される。

この出力信号Ｖｏ に重畳したパラレルダンプ時のノイズ等は、初段の増幅器で増幅（ゲイン倍）され、この結果、出力信号Ｖｏ の信号レベルが相関二重サンプリング回路１０の入力レンジをオーバーして入力がクリップされ、画像信号が一部欠落することがあった。

【０００８】

本発明は、このような実情に鑑みてなされ、良好なノイズ除去特性を高い周波数帯域まで得られ、使用できる周波数帯域も広く、また周波数変更時に調整が不要な汎用的、実用的な相関二重サンプリング回路を新たに提供することを第１の目的とする。これに加え、本発明は、安定にノイズ除去を行なうために基準電圧の自動調整機能を備えた相関二重サンプリング回路を提供することを第２の目的とする。

【０００９】

【課題を解決するための手段】

上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の相関二重サンプリング回路は、固体撮像素子の出力に接続されている電流差動型のＤＣアンプと、前記ＤＣアンプの出力に接続され、当該ＤＣアンプによって増幅された前記固体撮像素子の出力信号に対し、その基準レベルと画像信号レベルとをそれぞれサンプリングし、サンプリング後の画像信号レベルから基準レベルを差し引く相関二重サンプリング部とを有することを特徴とする。

この相関二重サンプリング回路では、ＡＣ結合ではなく、電流差動型のＤＣアンプによるＤＣ結合が実現されている。ＤＣ結合としたことによって、ＣＣＤ出力信号のリセット期間に重畳されるノイズ成分の確定が極めて速やかで、続くフィードスルー期間のレベルが一定値をとる。この結果、サンプリング点のノイズレベルが同等となり、ＣＣＤの駆動周波数が高い場合にあっても、相関二重サンプリング部におけるノイズ成分の除去を効果的

に行なうことができる。
【００１０】
具体的に、前記電流差動型のＤＣアンプは、ベースが前記固体撮像素子の出力に接続され、エミッタとコレクタがそれぞれ電源とカレントミラー回路に接続されている第１のトランジスタと、ベースに第１の基準電圧が印加され、エミッタとコレクタがそれぞれ電源とカレントミラー回路に接続され、コレクタと前記カレントミラー回路との間の接続点が前記相関二重サンプリング部の入力に接続されている第２のトランジスタと、前記接続点に互いに直列で前記カレントミラー回路に対して並列に接続されている、負荷抵抗および第２の基準電圧を発生させる基準電圧源とから構成させることができる。
【００１１】
ゲイン調整のためには、前記電源と前記第１のトランジスタのエミッタとの間に抵抗を接続し、前記第１のトランジスタと前記第２のトランジスタとのエミッタ同士を可変抵抗を介して接続するとよい。
また、この電流差動型のＤＣアンプをカスコードアンプとすると、帯域が改善され好ましい。この場合、本発明の相関二重サンプリング回路は、前記第１のトランジスタのコレクタと前記カレントミラー回路との間に接続されている第３のトランジスタと、前記第２のトランジスタのコレクタと前記接続点との間に接続され、前記第３のトランジスタとベースが共通化されている第４のトランジスタと、これら第３のトランジスタおよび第４のトランジスタの共通化されたベースに接続された電圧源と、を更に有することを他の特徴とする。
【００１２】
この具体的に構成された相関二重サンプリング回路においては、ＣＣＤの出力信号のＤＣレベル変動があっても、出力信号が電流差動型のＤＣアンプを通った後のクランプ回路において、そのＤＣレベルが第２の基準電圧で決まる一定値に保持され、出力信号のＤＣレベル変動によって、特に相関二重サンプリング部におけるクランプができないといったことがない。
【００１３】
一方、安定な相関二重サンプリングを行なうためには、相関二重サンプリング後のＤＣレベル変動に応じて第１の基準電圧レベルを調整するとよい。この場合、本発明の相関二重サンプリング回路では、前記相関二重サンプリング部の出力と、前記電流差動型のＤＣアンプにおける前記第１の基準電圧が印加される基準電圧入力端との間に、当該第１の基準電圧のレベルを前記相関二重サンプリング部の出力に応じて調整する手段が接続されていることを他の特徴とする。
【００１４】
【発明の実施の形態】
以下、本発明に係わる相関二重サンプリング回路を、図面を参照しながら詳細に説明する。
【００１５】
第１実施形態
図１は、本実施形態の相関二重サンプリング回路の一構成例を示す回路およびブロック図である。
この相関二重サンプリング回路１は、ＣＣＤ８の出力に接続される電流差動型のＤＣアンプ６と、相関二重サンプリング部７とから構成されている。なお、この相関二重サンプリング部７は、図５に示した従来の相関二重サンプリング回路１０と比べると、結合容量Ｃがないこと以外は同じであり、以下、重複する構成は同一符号を付し、詳細な説明は省略する。
【００１６】
ＤＣアンプ６は、一方の差動入力が基準電圧ＶＥ で固定されたシングルエンド電流差動型である。
このＤＣアンプ６は、ベースがＣＣＤ８の出力に接続され、エミッタが電源電圧V_{CC}に抵

抗Ｒ1 を介して接続されたトランジスタＱ1 と、ベースに前記基準電圧ＶＥ が印加され、エミッタが前記電源電圧V_{CC}に抵抗Ｒ2 を介して接続されたトランジスタＱ2 とを有する。トランジスタＱ1 とトランジスタＱ2 とのエミッタ間には、可変抵抗Ｒc が接続されている。
また、ＤＣアンプ６には、トランジスタＱ1 のコレクタにエミッタが接続されたトランジスタＱ3 と、トランジスタＱ2 のコレクタにエミッタが接続されたトランジスタＱ4 とが設けられている。両トランジスタＱ3,Ｑ4 のベースは共通化され、中間電位設定用の電源ＶＧ に接続されている。
トランジスタＱ3 のコレクタは、カレントミラー回路を構成する一方のトランジスタＱ5 のコレクタに接続され、トランジスタＱ4 のコレクタは当該カレントミラー回路を構成する他方のトランジスタＱ6 のコレクタに接続されている。
トランジスタＱ5 、Ｑ6 のベースは共通化され、トランジスタＱ3 のコレクタに接続されている。また、トランジスタＱ5 、Ｑ6 のエミッタは共に接地電位に接続されている。
トランジスタＱ4 とトランジスタＱ6 との接続点をなすＤＣアンプ６の出力ノードＮＤには、負荷抵抗ＲＬ と基準電圧源Ｖref とが接地電位との間に直列に接続されている。

【００１７】

このＤＣアンプ６は、簡単な構成の電流差動型であり、その出力ノードＮＤがある程度の高いインピーダンスで常にフローティング状態に維持されていることから、信号成分のみ増幅しながら後段の二重相関サンプリング部７に伝達できる。
また、常に導通状態となるように電源ＶＧ でバイアスが設定されるトランジスタＱ3,Ｑ4 が、差動動作するトランジスタＱ1,Ｑ2 とカレントミラー回路との間に介在し、いわゆるカスコード増幅回路となっていることから、周波数特性がよい高帯域アンプが実現されている。

【００１８】

つぎに、このように構成されたＤＣアンプ６の動作を説明する。
まず、トランジスタＱ1 のベースにＣＣＤの出力信号Ｖo が印加され、このベースの電位がΔＶo だけ下がった場合を考えると、トランジスタＱ1 を流れる電流が増加する。このときの電流増加分をΔＩ1 とすると、カレントミラー回路の一方のトランジスタＱ5 に流れる電流Ｉ1 も電流ΔＩ1 だけ増加し、カレントミラー回路の他方のトランジスタＱ6 に流れる電流Ｉ2 も電流ΔＩ1 と同じ量の電流ΔＩ2 だけ増加する。ところが、トランジスタＱ2 のベース電位が基準電圧ＶＥ で固定されていることから、電流ΔＩ2 は主に基準電圧源Ｖref 側から電流ＩＬ として流れ込み、この負荷抵抗ＲＬ を流れる電流ＩＬ による電圧降下によって出力ノードＮＤの電位が低下する。
同様にして、トランジスタＱ1 のベース電位がΔＶo だけ上がった場合は、電流ＩＬ が図１とは逆方向に基準電圧源Ｖref 側に流れ込み、その分、出力ノードＮＤの電位が上昇する。

【００１９】

このＤＣアンプ６のゲインは、トランジスタＱ1 を流れる電流量を制御する抵抗Ｒ1 及び可変抵抗Ｒc に対する、負荷抵抗ＲＬ の大きさで設定されることから、可変抵抗Ｒc によってＤＣアンプ６のゲインを調整することができる。

【００２０】

図２は、図１のＣＣＤ８の一構成例として、ＦＴＣＣＤ(Frame Transfer CCD)の要部を示す概略構成図である。
図２中、符号１１は撮像部、１１ａは入射光に対しマスキングされたオプティカルブラック部、１２はメモリ部、１３は水平レジスタ部、１４は出力部、φＤ は撮像部１１とメモリ部１２間のパラレルダンプ用クロック信号、φＶ はメモリ部１２と水平レジスタ部１３との垂直転送クロック信号、φＨ は水平レジスタ部１３の水平転送クロック信号、φＲ は出力部１４のリセット用クロック信号を示す。
このＦＴＣＣＤ８では、撮像部１１で１フィールド期間光電変換された画像信号が、垂直ブランキング期間にパラレルダンプ用クロック信号φＤ によって撮像部１１からメモリ部

１２にいっせいに転送される。さらに、メモリ部１２内に転送された画像信号は、垂直転送クロックφV によって水平ブランキング期間に１ラインずつ水平レジスタ部１３に転送され、水平転送クロック信号φH によって水平レジスタ部１３内を水平方向に転送され、出力部１４から時系列な出力信号Ｖｏ として順次外部に取り出される。
このとき、水平転送クロック信号φH に同期したリセット用クロック信号φR によって、出力部１４内の図示せぬリセット用ＭＯＳトランジスタの電荷読出しドレインの電位が１画素（出力信号Ｖｏ の１周期）ごとに所定電位にリセットされ、これにより正確な電荷読出しが保証される。

【００２１】

ＦＴＣＣＤ８では、撮像部１１からメモリ部１２への信号転送の際に、光の漏れ込みによってスミアが発生することから、このスミア対策として、パラレルダンプ用クロック信号φD の周波数をできる限り高速化し（例えば、十数ＭＨｚ以上）、光の漏れ込み時間の短縮化を図っている。

【００２２】

図３は、このような構成のＦＴＣＣＤ８の出力に接続された図１の相関二重サンプリング回路１において、ＤＣアンプ６の出力ノードＮＤにおけるＣＣＤ出力信号Ｖｏ と、各クロック信号との関係を示すタイミングチャートである。
前記ＦＴＣＣＤ８では、水平転送クロック信号φH とリセット用クロック信号φR とが、図３に示す関係で同期している。当該ＦＴＣＣＤ８から時系列で送り出され、前記ＤＣアンプ６で増幅された後のＣＣＤ出力信号Ｖｏ は、図３に示すような波形となる。
このＣＣＤ出力信号Ｖｏ は、図６の従来のＡＣ結合後の出力信号と比較すると明らかなように、リセット期間ｔｒ 終了時点で確定されたリセット雑音Ｖrnはオプティカルブラックレベル𝖫OB付近のレベルとなっており、この𝖫OBを基準とした正又は負の値をとる。しかもフィードスルー期間ｔｆ 内では一定に保持される。これは、本発明の相関二重サンプリング回路１では、容量結合でなくＤＣアンプ６の介在によって後段側と結合されており、この結果、リセット雑音の確定が速やかになるためである。

【００２３】

このＣＣＤ出力信号Ｖｏ に対する相関二重サンプリングは、まず、図１のクランプ回路２で、出力信号Ｖｏ の前記オプティカルブラック部１１ａを基準電圧源Ｖref のレベルにクランプする。つぎに、最初のサンプル・ホールド回路３ａにおいて、クロック信号φSH1 のパルス印加によってフィードスルー期間レベルが確定し、次のサンプル・ホールド回路３ｂにおいて、クロック信号φSH2 のパルス印加によって画像信号レベルが確定する。この両確定レベルは出力信号Ｖｏ における周期が前後していることから、この画像信号レベルの確定と同時に、サンプル・ホールド回路３ｃによって、フィードスルー期間レベルが再度サンプリングされる。
その後、クロック信号φSH1 で動作する次のサンプル・ホールド回路３ｄ及び３ｅによって、フィードスルー期間レベルと画像信号レベルが再度サンプリングされ、差動増幅器４で画像信号レベルからフィードスルー期間レベルが差し引かれ、正確な画像信号が出力される。

【００２４】

本実施形態の相関二重サンプリング回路１によれば、ＣＣＤ８と相関二重サンプリング部７との間に、結合容量でなく簡易な構成の電流差動型のＤＣアンプ６を介在させていることから、リセット雑音等のノイズ確定が速やかで、ＣＣＤ８の駆動周波数を上げても平坦なフィードスルー期間レベルが得られ、この結果、ノイズ除去を高い周波数まで有効に行なうことができる。
例えば、水平転送クロック信号φH の周波数が１４ＭＨｚの場合、フィードスルー期間のノイズレベルＶrnを大幅に低下でき、その分だけ大きなノイズマージンが確保され、後段の増幅器４等のゲインを大きくすることが可能となる。
また、電流差動型のＤＣアンプ６は、カスコード増幅回路の構成となっていることから、高帯域化されている。

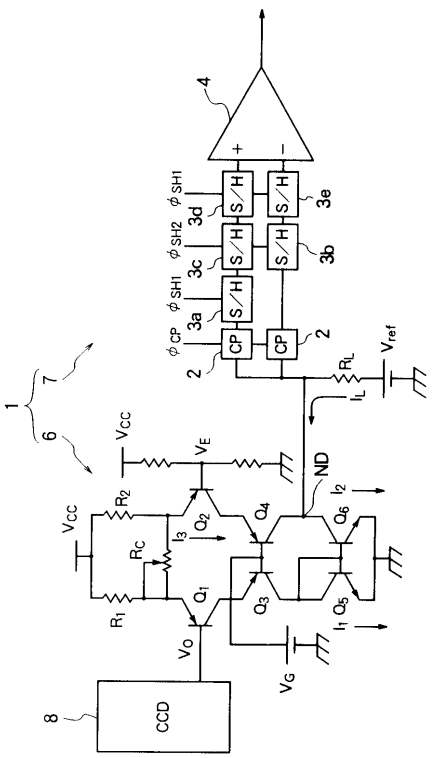
【００２５】
第２実施形態
本実施形態は、第１実施形態に示す電流差動型のＤＣアンプ６の動作点を安定化させるためのものである。
図４は、本実施形態の相関二重サンプリング回路の概略構成を示すブロック図である。
先に記述した第１実施形態では、ＤＣ結合としているため、ＣＣＤ８の出力信号Ｖｏについて、通常のＤＣレベル変動（±０．５Ｖ程度）より大きなＤＣレベル変動があった場合、電流差動型のＤＣアンプ６の動作点が固定されていると、当該ＤＣアンプ６が誤動作することも否定できない。
【００２６】
本実施形態では、上記誤動作を防止する目的で、図４に示すように、相関二重サンプリング部７の出力と、ＤＣアンプ６の基準電圧入力との間に、基準電圧調整回路１５を接続させている。
基準電圧調整回路１５は、相関二重サンプリング部７の出力からオプティカルブラック部１１ａのレベルをサンプリングし、ＤＣアンプ６の基準電圧ＶＥのレベルを調整する回路である。
【００２７】
具体的な構成例として、基準電圧調整回路１５は、特に図示しないが、Ａ／Ｄコンバータと、例えば１６ビットのアップ／ダウン・カウンタと、Ｄ／Ａコンバータと、例えばツェナーダイオードを用いたレベルシフト回路とから構成される。
この場合、相関二重サンプリング部７の出力からサンプリングしたオプティカルブラック部１１ａのレベルを、Ａ／Ｄコンバータに入力した後、レベル変動があったときはアップ／ダウン・カウンタを動作させながらレベル変動量を検出し、Ｄ／Ａコンバータに入力し、上記レベル変動量だけレベルシフト回路によって基準電圧ＶＥのレベルを調整した後、ＤＣアンプ６にフィードバックさせる。
【００２８】
本実施形態では、このような基準電圧調整回路１５を設けることによって、電流差動型のＤＣアンプ６の動作点が自動調整される。このため、図１において、ゲインを上げるために基準電圧源Ｖref を高く設定し、ＤＣアンプ６が誤動作しない動作点の範囲が狭くなった場合であっても、出力信号Ｖｏ のＤＣレベル変動に応じて基準電圧ＶＥが自動調整されるため、ＤＣアンプ６の動作が安定し、その誤動作を有効に防止することができる。
【００２９】
【発明の効果】
以上説明してきたように、本発明に係わる相関二重サンプリング回路によれば、良好なノイズ除去特性を高い周波数帯域まで得られ、使用できる周波数帯域も広く、また周波数変更時に調整が不要な汎用的、実用的な相関二重サンプリング回路を新たに提供することができる。
また、安定にノイズ除去を行なうために基準電圧の自動調整機能を備えた相関二重サンプリング回路を提供することができる。
【図面の簡単な説明】
【図１】本発明の第１本実施形態に係わる相関二重サンプリング回路の概略構成を示す回路およびブロック図である。
【図２】図１におけるＣＣＤの一構成例として、ＦＴＣＣＤの要部を示す概略構成図である。
【図３】図２のＦＴＣＣＤの出力に接続された図１の相関二重サンプリング回路において、ＤＣアンプの出力ノードＮＤにおけるＣＣＤ出力信号と、各クロック信号との関係を示すタイミングチャートである。
【図４】本発明の第２実施形態に係わる相関二重サンプリング回路の概略構成を示すブロック図である。
【図５】従来の相関二重サンプリング回路の構成を示す回路及びブロック図である。

【図６】図５の相関二重サンプリング回路において、結合容量Ｃの出力側におけるＣＣＤ出力信号Ｖｏ の波形図である。

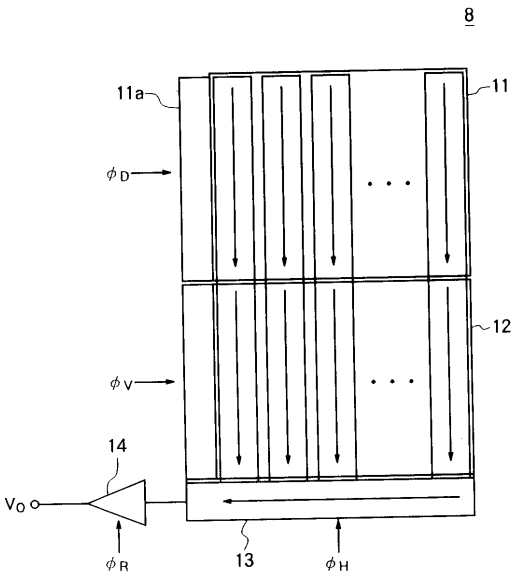
【符号の説明】

１　　…相関二重サンプリング回路、
２　　…クランプ回路、
３ａ～３ｅ…サンプル・ホールド回路、
４　　…差動増幅器、
６　　…電流差動型のＤＣアンプ、
７　　…相関二重サンプリング部、
８　　…ＣＣＤ、
１１　…撮像部、
１１ａ…オプティカルブラック部、
１２　…メモリ部、
１３　…水平レジスタ部、
１４　…出力部、
１５　…基準電圧調整回路、
Ｒｃ　…可変抵抗、
ＲＬ　…負荷抵抗、
ＶＧ　…中間電圧設定用の電圧源。
Ｖｏ　…出力信号、
Ｖref …基準電圧源、
φＲ　…リセット用のクロック信号（リセットパルス）

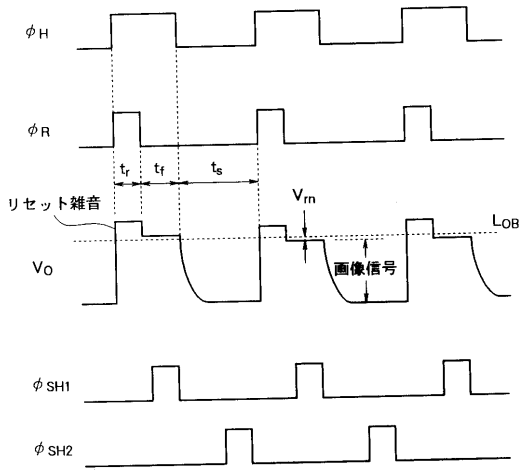
【図１】



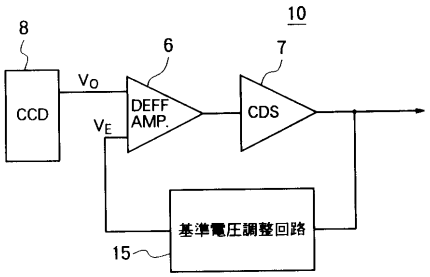
【図２】



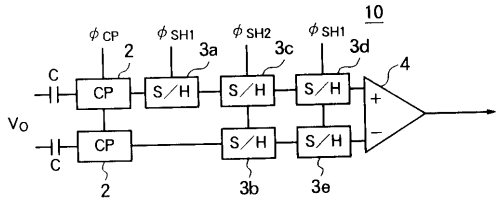
【図３】


φH
φR
tr
tf
ts
リセット雑音
Vrn
LOB
VO
画像信号
φSH1
φSH2

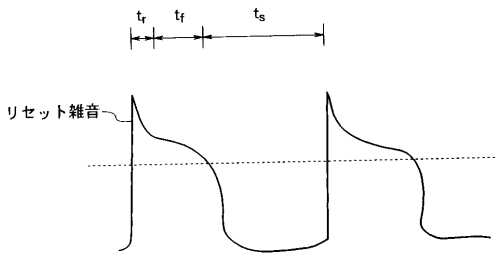
【図４】


10
8
6
7
CCD
VO
VE
DEFF AMP.
CDS
基準電圧調整回路
15

【図５】


10
φCP
φSH1
φSH2
φSH1
2
3a
3c
3d
4
C
CP
S/H
VO
2
3b
3e

【図６】


tr
tf
ts
リセット雑音

フロントページの続き

(56)参考文献 特開昭６２－１８５４７１（ＪＰ，Ａ）
特開昭６４－０３７１８０（ＪＰ，Ａ）
特開平０５－３４４３８０（ＪＰ，Ａ）
特開平０４－３４５２８３（ＪＰ，Ａ）
特開昭６３－１８０２７７（ＪＰ，Ａ）
特開平０３－０８５９７２（ＪＰ，Ａ）
特開平０６－１５３０９３（ＪＰ，Ａ）
特開平０４－２９７１８２（ＪＰ，Ａ）
特開平０３－２３１５８１（ＪＰ，Ａ）
特開平４－１１５７８４（ＪＰ，Ａ）
実開平４－６６８８０（ＪＰ，Ｕ）
特開平７－１１５３３４（ＪＰ，Ａ）
特開平７－５９０１３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N 5/30 - 5/335