(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/20

(11) 공개번호 특1996-0005769
(43) 공개일자 1996년02월23일

(21) 출원번호 특1995-0022450
(22) 출원일자 1995년07월27일

(30) 우선권주장 94-176872 1994년07월25일 일본(JP)
94-265529 1994년10월28일 일본(JP)

(71) 출원인 가부시끼가이샤 히다찌세이사꾸쇼 가나이 쯔또무
일본국 도꾜도 지요다구 간다 스루가다이 4-6

(72) 발명자 가와고에 히로또
일본국 도꾜도 니시따마군 히노데마찌 히라이 2196-149
시라스 다쯔미
일본국 가나가와껜 가와사끼시 아사오구 구리끼다이 4-7-10
기요따 쇼고
일본국 도꾜도 네리마구 다떼노마찌 4-20
스즈끼 노리오
일본국 도꾜도 히가시무라야마시 미스미쵸 2-3-11-405
야마다 에이이찌
일본국 야마구찌껜 구마게군 다부세쵸 하노 2206-59
스기노 유지
일본국 야마나시껜 나까꼬마군 다마호쵸 나루시마 1391
기따노 마나부
일본국 야마구찌껜 야나이시 아사히가오까 18-15
사꾸라이 요시히꼬
일본국 야마나시껜 나까꼬마군 꼬사이쵸 에바라 1493-1
나가누마 다까시
일본국 야마나시껜 나까꼬마군 류오쵸 다마가와 1394-8
아라까와 히사시
일본국 야마나시껜 꼬후시 유다 1-5-8

(74) 대리인 백남기

심사청구 : 없음

(54) 반도체웨이퍼의 제조방법, 반도체웨이퍼, 반도체집적회로장치의 제조방법 및 반도체집적회로장치

요약

반도체웨이퍼의 제조방법, 반도체웨이퍼, 반도체집적회로장치의 제조방법 및 반도체집적회로장치기술에 관한 것으로서, 반도체집적회로장치의 성능 및 신뢰성을 향상시킴과 동시에 반도체집적회로장치의 코스트를 저감시키기 위해 소정의 도전형의 불순물을 함유하는 반도체기판본체의 주면상에 불순물과 동일한 도전형이고 또한, 불순물의 설계상의 농도와 동일한 농도의 불순물을 함유하는 에피텍셜층을 형성한 후, 불순물과 동일한 도전형이고 또한, 에피텍셜층의 깊이방향을 향해서 불순물농도가 점차로 저하하는 웰영역을 형성하고 그 웰영역에 MIS ·FET 게이트절연막을 형성한다. 이것에 의해 고가인 고농도의 반도체기판본체를 사용하지 않아도 좋으므로 높은 소자성능 및 신뢰성을 실현할 수 있는 반도체웨이퍼의 코스트를 저감할 수 있다.

대표도

도2

명세서

[발명의 명칭]

반도체웨이퍼의 제조방법, 반도체웨이퍼, 반도체집적회로장치의 제조방법 및 반도체집적회로장치

[도면의 간단한 설명]

제1도는 본 발명의 1실시예인 반도체집적회로장치의 주요부단면도이다.

제2도는 제1도의 반도체집적회로장치의 제조공정중에 있어서 사용되는 반도체웨이퍼의 평면도이다.

제3도는 제1도의 반도체집적회로장치의 제조공정중에 있어서의 주요부단면도이다.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

소형의 도전형의 불순물을 함유하는 반도체기판본체의 표면에 상기 불순물과 동일한 도전형이고 또한, 상기 반도체기판본체에 있어서의 불순물농도이하의 농도의 불순물을 함유하는 반도체단결정층이 형성된 상기 반도체기판본체를 준비하는 공정과 상기 불순물과 동일한 도전형이고 또한, 상기 반도체단결정층의 깊이방향을 향해서 불순물농도가 점차 낮아지는 제1반도체영역을 상기 반도체단결정층의 표면에서 상기 반도체기판본체의 상부에 걸쳐서 형성하는 공정 및 상기 반도체영역상에 산화막을 형성하는 공정을 포함하는 반도체집적회로장치의 제조방법.

청구항 2

제1항에 있어서, 상기 제1반도체영역을 형성하는 공정시에 상기 반도체결정층에 불순물을 이온주입한 후, 그 주입된 불순물을 열확산하는 공정을 또 포함하는 반도체집적회로장치의 제조방법.

청구항 3

제2항에 있어서, 상기 제1반도체영역이 상보형 MOS · FET 회로형성에 사용하는 웰인 반도체집적회로장치의 제조방법.

청구항 4

제3항에 있어서, 상기 산화막이 MOS · FET 게이트절연막인 반도체집적회로장치의 제조방법.

청구항 5

제3항에 있어서, 상기 반도체단결정층을 형성하는 공정시에 상기 반도체단결정층의 두께를 상기 산화막의 두께의 절반이상의 두께로 하는 반도체집적회로장치의 제조방법.

청구항 6

제3항에 있어서, 상기 반도체기판본체 및 상기 반도체단결정층이 p형의 실리콘단결정 또는 n형의 실리콘단결정으로 이루어지는 반도체집적회로장치의 제조방법.

청구항 7

소정의 도전형의 불순물을 함유하는 반도체기판본체, 상기 반도체기판본체의 표면에 마련되고 상기 불순물과 동일한 도전형이고 또한, 상기 반도체기판본체에 있어서의 불순물농도이하의 농도의 불순물을 함유하는 반도체단결정층, 상기 반도체단결정층의 깊이방향을 향해서 불순물농도가 점차 저하하고 또한, 상기 반도체단결정층의 표면에서 상기 반도체기판본체의 상부에 걸쳐서 마련된 제1반도체영역 및 상기 제1반도체영역상에 형성된 산화막을 포함하는 반도체집적회로장치.

청구항 8

제7항에 있어서, 상기 제1반도체영역이 상보형 MOS · FET 회로형성용의 웰인 반도체집적회로장치.

청구항 9

제8항에 있어서, 상기 산화막이 MOS · FET 의 게이트절연막인 반도체집적회로장치.

청구항 10

제9항에 있어서, 상기 반도체기판본체 및 상기 반도체단결정층이 p형의 실리콘단결정 또는 n형의 실리콘단결정으로 이루어지는 반도체집적회로장치.

청구항 11

제9항에 있어서,상기 반도체단결정층상에 다이나믹형 랜덤 액세스메모리의 메모리셀 및 주변회로를 마련하고, 상기 산화막을 상기 메모리셀 및 상기 주변회로를 구성하는 MOS · FET 의 게이트절연막으로 한 반도체집적회로장치.

청구항 12

제9항에 있어서, 상기 반도체단결정층상에 스테이틱형 랜덤 액세스메모리의 메모리셀 및 주변회로를 마련하고, 상기 산화막을 상기 메모리셀 및 상기 주변회로를 구성하는 MOS · FET 의 게이트절연막으로 한 반도체집적회로장치.

청구항 13

제9항에 있어서, 상기 반도체단결정층상에 데이타를 전기적으로 소거 및 라이트하는 것이 가능한 리드온리 메모리의 메모리셀 및 주변회로를 마련하고 상기 산화막을 상기 메모리셀 및 상기 주변회로를 구성하는 MOS · FET 의 게이트절연막으로 한 반도체집적회로장치.

청구항 14

소정의 도전형의 불순물을 함유하는 반도체기판본체의 표면에 상기 불순물과 동일한 도전형이고 또한, 상기 불순물의 설계상의 농도와 동일한 농도의 불순물을 함유하는 반도체단결정층이 형성된 상기 반도체기판본체를 준비하는 공정과 상기 반도체단결정층상에 산화막을 형성하는 공정을 포함하는 반도체집적회로장치의 제조방법.

청구항 15

제14항에 있어서, 상기 반도체기판본체의 면내의 적어도 1영역에 상기 반도체기판본체의 불순물과 동일한 도전형이고 또한, 상기 불순물보다 고농도의 반도체영역을 형성하는 공정을 포함하는 반도체집적회로장치의 제조방법.

청구항 16

제15항에 있어서, 상기 반도체단결정층을 형성하는 공정시에 상기 반도체단결정층의 깊이를 상기 반도체기판본체상에 형성하는 상보형 MOS · FET회로형성용의 웰의 깊이보다 깊게 하는 반도체집적회로장치의 제조방법.

청구항 17

제15항에 있어서, 상기 반도체기판본체에 오염금속원소를 포박하는 포박영역을 형성하는 공정을 또 포함하는 반도체집적회로장치의 제조방법.

청구항 18

소정의 도전형의 불순물을 함유하는 반도체기판본체, 상기 반도체기판본체의 표면에 마련되고, 상기 불순물과 동일한 도전형이고 또한, 상기 불순물의 설계상의 농도와 동일한 농도의 불순물을 함유하는 반도체단결정층 및 상기 반도체단결정층상에 형성된 산화막을 포함하는 반도체집적회로장치의 제조방법.

청구항 19

제18항에 있어서, 상기 반도체기판본체상에 상보형 MOS · FET회로를 형성함과 동시에 상기 상보형 MOS · FET회로를 형성하기 위한 웰보다 깊은 위치에 있어서 상기 반도체기판의 면내의 적어도 1영역에 상기 반도체기판본체의 불순물과 동일한 도전형이고 또한, 상기 불순물보다 고농도의 불순물을 함유하는 고농도의 반도체영영역을 마련한 반도체집적회로장치.

청구항 20

소정의 도전형의 불순물을 함유하는 반도체기판본체의 표면에 상기 불순물과 동일한 도전형이고 또한, 상기 불순물의 설계상의 농도와 동일농도의 불순물을 함유하는 반도체단결정층을 형성하는 공정을 포함하는 반도체웨이퍼의 제조방법.

청구항 21

제20항에 있어서, 상기 반도체기판본체의 표면에 상기 반도체단결정층을 형성하는 공정에 앞서 상기 반도체기판본체의 표면을 경면연마한 후, 그 반도체기판본체의 표면에 무결함층을 형성하는 공정을 또 포함하는 반도체웨이퍼의 제조방법.

청구항 22

제21항에 있어서, 상기 반도체단결정층을 형성하는 공정시에 상기 반도체단결정층의 두께를 상기 반도체단결정층상에 형성되는MOS · FET 의 게이트절연막의 두께의 절반이상의 두께로 하는 반도체웨이퍼의 제조방법.

청구항 23

제22항에 있어서, 상기 반도체기판본체의 면내의 적어도 1영역에 상기 반도체기판본체의 불순물과 동일한 도전형이고 또한, 상기 반도체기판본체의 불순물농도보다 고농도의 불순물을 함유하는 고농도의 반도체영역을 형성하는 공정을 또 포함하는 반도체웨이퍼의 제조방법.

청구항 24

제23항에 있어서, 상기 반도체단결정층을 형성하는 공정시에 상기 반도체단결정층의 깊이가 상기 반도체기판본체상에 형성하는 상보형 MOS · FET회로형성용의 웰의 깊이보다 깊게 하는 반도체집적회로장치의 제조방법.

청구항 25

제24항에 있어서, 상기 반도체기판본체에 오염금속원소를 포박하는 포박영역을 형성하는 공정을 또 포함하는 반도체집적회로장치의 제조방법.

청구항 26

제25항에 있어서, 상기 반도체기판본체 및 상기 반도체단결정층이 p형의 실리콘단결정 또는 n형의 실리콘 단결정으로 이루어지는 반도체웨이퍼의 제조방법.

청구항 27

소정의 도전형의 불순물을 함유하는 반도체기판본체의 표면에 상기 불순물과 동일한 도전형이고 또한, 상기 불순물의 설계상의 농도와 동일농도의 불순물을 함유하는 반도체단결정층이 형성된 반도체웨이퍼.

청구항 28

제27항에 있어서, 상기 반도체기판본체에 형성된 상보형 MOS · FET회로형성용의 웰보다 깊은 위치이고 또한, 상기 반도체기판본체의 면내의 적어도 1영역에 상기 반도체기판본체의 불순물과 동일한 도전형이고 또한, 상기 반도체기판본체의 불순물농도보다 고농도의 불순물을 함유하는 고농도의 반도체영영역이 형성되어 있는 반도체 웨이퍼.

청구항 29

소정의 도전형의 불순물을 함유하는 반도체기판본체의 표면에 상기 불순물과 동일한 도전형이고 또한, 상기 반도체기판본체에 있어서의 불순물농도이하의 농도의 불순물을 함유하는 반도체단결정층이 형성된 상기 반도체기판본체를 준비하는 공정과 상기 반도체단결정층의 깊이방향을 향해서 불순물농도가 점차 저하하는 제1반도체영역을 상기 반도체단결정층의 표면에서 상기 반도체기판본체의 상부에 걸쳐서 형성하는 공정 및 상기 반도체영역상에 산화막을 형성하는 공정을 포함하는 반도체집적회로장치의 제조방법.

청구항 30

제29항에 있어서, 상기 제1반도체영역을 형성하는 공정시에 상기 반도체단결정층에 불순물을 이온주입한 후, 그 주입된 불순물을 열확산하는 공정을 포함하는 반도체집적회로장치의 제조방법.

청구항 31

제30항에 있어서, 상기 제1반도체영역이 상보형 MOS · FET 회로형성에 사용하는 웰인 반도체집적회로장치의 제조방법.

청구항 32

제29항에 있어서, 상기 제1반도체영역이 상보형 MOS · FET 회로형성에 사용하는 웰인 반도체집적회로장치의 제조방법.

청구항 33

제31항에 있어서, 상기 산화막이 MOS · FET 의 게이트절연막인 반도체집적회로장치의 제조방법.

청구항 34

제32항에 있어서, 상기 반도체단결정층을 형성하는 공정시에 상기 반도체단결정층의 두께를 상기 산화막의 두께의 절반이상의 두께로 하는 반도체집적회로장치의 제조방법.

청구항 35

제33항에 있어서, 상기 반도체기판본체 및 상기 반도체단결정층이 p형의 실리콘단결정 또는 n형의 실리콘 단결정으로 이루어지는 반도체집적회로장치의 제조방법.

청구항 36

소정의 도전형의 불순물을 함유하는 반도체기판본체의 표면에 상기 불순물과 동일한 도전형이고 또한, 막두께가 0.3㎛~3㎛의 범위에 있는 반도체단결정층이 형성된 반도체웨이퍼.

청구항 37

제35항에 있어서, 상기 반도체단결정층의 막두께가 0.3㎛~1㎛의 범위에 있는 반도체웨이퍼.

청구항 38

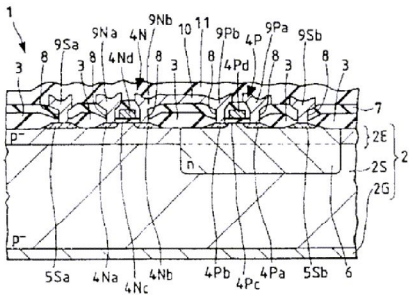
소정의 도전형의 불순물을 함유하는 반도체기판본체의 표면에 상기 불순물과 동일한 도전형이고 또한, 막두께가 0.3㎛~3㎛의 범위에 있는 반도체단결정층을 형성하는 공정을 포함하는 반도체웨이퍼의 제조방법.

제37항에 있어서, 상기 반도체단결정층의 막두께가 0.3㎛~1㎛의 범위에 있는 반도체웨이퍼의 제조방법.

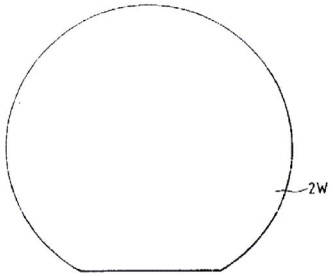
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1


1
9Nb
11
10
9Sa
9Na
4N
9Pb
4P
9Pa
9Sb
3
8
4Nd
4Pd
7
2E
2
2S
2G
n
p⁻
5Sa
4Na
4Nc
4Nb
4Pb
4Pc
4Pa
5Sb
6

도면2


2W

도면3

2W