(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Veröffentlichungsnummer: **0 056 433**
B1

(12) # EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag der Patentschrift: **17.01.90**

(51) Int. Cl. ⁴: **G 11 C 11/24**

(21) Anmeldenummer: **81108510.9**

(22) Anmeldetag: **19.10.81**

(54) **Leseschaltung für einen monolithisch integrierten Halbleiterspeicher.**

(30) Priorität: **19.01.81 DE 3101520**

(43) Veröffentlichungstag der Anmeldung: **28.07.82 Patentblatt 82/30**

(45) Bekanntmachung des Hinweises auf die Patenterteilung: **17.01.90 Patentblatt 90/03**

(84) Benannte Vertragsstaaten: **DE FR GB**

(56) Entgegenhaltungen:
US-A-3 879 621
US-A-4 070 590
US-A-4 169 233
US-A-4 195 357

PATENTS ABSTRACTS OF JAPAN, 1978, Seite 4126 E 78; & JP - A - 53 54 430 (NIPPON DENKI k.K.) 17.05.1978

PATENTS ABSTRACTS OF JAPAN, Band 3, Nr. 135 (E-50), 10. November 1979, Seite 41 E 150; & JP - A - 54 112 131 (NIPPON DENKI K.k.) 01-09-1979

PATENTS ABSTRACTS OF JAPAN, Band 4, Nr. 70 (P-12) 552 , 23. Mai 1980, Seite 145 P 12; & JP - A - 55 38 611 (NIPPON DENKI K.K.) 18.03.1980

(73) Patentinhaber: **Siemens Aktiengesellschaft**
Wittelsbacherplatz 2
D-8000 München 2 (DE)

(72) Erfinder: **Hoffmann, Kurt, Dr.-Ing.**
Nelkenweg 20
D-8021 Taufkirchen (DE)

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents im Europäischen Patentblatt kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

EP 0 056 433 B1

LIBERGRAF, STOCKHOLM 1990

Beschreibung

Die Erfindung betrifft eine Leseschaltung in einem monolithisch integrierten Halbeiterspeicher nach dem Obergriff des Patentanspruches 1.

Aus der US-A-4 169 233 ist eine Leseschaltung bekannt mit zwei kreuzgekoppelten CMOS-Invertern, mit zwei Transfergates zur getakteten Ankopplung von Bitleitungsabschnitten an die Leseschaltung und mit zwei zueinander komplementären Transistoren zum getakteten Zuführen von Versorgungspotentialen an die Leseschaltung.

Aus der JP-A-5 354 430 ist eine Leseschaltung bekannt, die als reine n-Kanal-Schaltung aufgebaut ist. Sie enthält zwei kreuzgekoppelte Transistoren, zwei getaktete Schalteinrichtungen zur Zuführung von Versorgungspotentialen, zwei Barrieretransistoren zur Ankopplung der Leseschaltung an Bitleitungsabschnitte sowie einen Transistor zum Ladungsausgleich zwischen den Bitleitungsabschnitten. Die Schalteinrichtungen zur Zuführung der Versorgungspotentiale werden zu verschiedenen Zeitpunkten aktiviert. Der Transistor zum Ladungsausgleich ist genau dann aktiviert, wenn das eine Versorgungspotential an die Leseschaltung angelegt ist. Die Gates der Barriertransistoren sind offensichtlich mit einem festen Potential verbunden.

Bei der üblichen Organisation bekannter dynamischer RAM-Speicher ist jeder Spalte der Speichermatrix je ein als Differenzverstärker wirksamer Komparator zugeteilt, der sich in der Mitte der betreffenden Spalte befindet und durch eine bistabile Kippstufe gegeben ist. Die eine Hälfte der insgesamt pro Spalte vorgesehenen Ein-Transistor-Speicherzellen ist mit ihrem Drainanschluß an den einen Eingang und die andere Hälfte in derselben Weise an den anderen Eingang des Komparators angeschaltet. Weiterhin sind in jeder Spalte zwei Vergleichzellenalso sog. Dummy-Zellen - vorgesehen, die in derselben Weise wie die eigentlichen Speicherzellen an je einen der beiden Eingänge des zugehörigen Komparators gelegt sind. Verwendet man, wie üblich, für die den einzelnen Matrixzeilen jeweils zugeordneten und mit den Gateelektroden der zu der betreffenden Matrixzeile gehörenden Ein-Transistor-Speicherzellen verbundenen und zeilenparallel geführten Leitung die übliche Bezeichnung "Wortleitung" und für die den einzelnen Matrixspalten jeweils zugeordnete und parallel zu dieser verlaufende Leitung die übliche Bezeichnung "Bitleitung", so kann mann die Situation, wie folgt, definieren: Jede Bitleitung BL der Speichermatrix ist halbiert und die eine Hälfte an den einen Signaleingang und die andere Hälfte an den anderen Signaleingang des jeweils zugörigen Komparators K gelegt. Die pro Spalte vorgesehene Anzahl der Ein-Transistor-Speicherzellen ist dementsprechend ebenfalls halbiert, wobei die eine Hälfte am einen und die andere Hälfte am anderen Signaleingang des Komparators K liegt, wie dies auch aus der noch zu beschreibenden Fig. 1 erkennbar ist. Der der betreffenden Bitleitung BL abgewandte spannungsführende Anschluß des MOS-Transistors der einzelnen Ein-Transistor-Speicherzelle ist über den Speicherkondensator der betreffenden Zelle an das Bezugspotential (Masse) oder stattdessen an das andere Betriebspotential (Vcc) gelegt.

Eine solche Speicherschaltung ist z. B. in "1978 IEEE International Solid-State Circuits Conference", S. 156 und 157, (vgl. z. B. Fig. 1 in dieser Literaturstelle) dargestellt.

Bei den bekannten Speichern mit Ein-Transistor-Speicherzellen ist der Komparator K in der Regel aus Transistoren vomselben Typ, wie er bei den Transistoren der Ein-Transistor-Speicherzellen angewendet ist, aufgebaut. Man kann deshalb den Komparator K ohne zusätzlichen Dotierungsaufwand gemeinsam mit den übrigen Transistoren des Speichers herstellen.

Andererseits waren sog. CMOS-Speicher bekannt (vgl. proc. IEEE (July 1971), S. 1044 - 1058; insbes. S. 1054, Fig. 17), die als Speicherzellen sog. Sechs-Transistor-Zellen verwenden. Diese Speicherzellen sind aus jeweils zwei in CMOS-Technik ausgeführten Invertern zusammengesetzt, die ihrerseits aus der Serienschaltung eines p-Kanal-Transistors und eines n-Kanal-Transistors (beide vom Anreicherungstyp) bestehen. Die Gates dieser beiden komplementären MOS-Transistoren des einzelnen Inverters bilden gemeinsam den Signaleingang des Inverters, während der sein Signalausgang durch einen Schaltungspunkt zwischen den in Serie liegenden Source-Drainstrecken der beiden Transistoren des Inverters gegeben ist. Die beiden Inverter liegen nun z. B. mit dem anderen Anschluß ihrer Source-Drainstrecke an dem einen Pol, z. B. dem positiven Pol einer Gleichspannungsquelle und erhalten dort das Potential Vcc, während der zweite Anschluß der Source-Drainstrecke des jeweils zweiten Transistors, also z. B. des n-Kanal-Transistors der beiden Inverter am anderen, z. B. am negativen Pol der besagten Gleichspannungsquelle angeschlossen ist. Schließlich liegen die beiden Gates des ersten Inverters am Signalausgang des zweiten Inverters und die beiden Gates des zweiten Inverters der Speicherzelle am Signalausgang des ersten Inverters, wodurch die angestrebte Flip-Flopwirkung und damit die Speicherfähigkeit der Zelle bedingt ist. Abschließend ist noch zu bemerken, daß die durch die Ausgänge der beiden Inverter gegebenen Anschlüsse der Zelle über die Source-Drainstrecke je eines n-Kanal-MOS-Feldeffekttransistors vom Anreicherungstyp an je eine der die betreffende Flip-Flop-Speicherzelle steuernde Bit-Leitung angeschlossen ist, während die Gates dieser beiden Feldeffekttransistoren über die der betreffenden Speicherzelle zugeordnete Wortleitung gesteuert sind.

Die Aufgabe der vorliegenden Erfindung ist nun darin zu sehen die auf Basis von Ein-Transistor-Speicherzellen aufgebauten dynamischen Matrixspeicher hinsichtlich der Empfindlichkeit des Ansprechens über die Erhöhung des Wirkungsgrates seiner Komparatoren zu verbessern.

Die vorliegende Aufgabe wird bei einer gattungsgemäßen Leseschaltung gelöst durch die kennzeichnenden Merkmale des Patentanspruches 1. Vorteilhafte Aus- und Weiterbildungen sind in Unteransprüchen gekennzeichnet.

Der Ersatz der üblicherweise als Komparatoren eingesetzten und ausschließlich mit Transistoren vom Typ der in den Ein-Transistor-Speicherzellen verwendeten Transistoren ausgestatteten Flip-Flops durch einen in komplementärer MOS-Technik ausgeführten Komparator bedeutet ersichtlich eine Erhöhung des technischen Aufwandes bei der Herstellung der Speichermatrix. Der erhöhte Aufwand wird jedoch durch den erzielten Vorteil hinsichtlich der erhöhten Arbeitsgeschwindigkeit überkompensiert. Nicht unwesentlich ist ferner die Tatsache, daß ein solcher Komparator keinen erhöhten Platzbedarf im Vergleich zu den üblichen Komparatoren erfordert. Die Hauptsache ist jedoch, daß die Ansprechempfindlichkeit und damit die Ansprechgeschwindigkeit durch die Verwendung eines solchen Komparators im Vergleich zu den üblichen Standart-RAM's mit Ein-Transistor-Speicherzellen erheblich gesteigert wird.

Die Erfindung wird nun anhand der Figuren 1 bis 3 weiter vorgestellt. Dabei sind in Fig. 1 und 2 zwei bevorzugt anzuwendende Ausführungsbeispiele und in Fig. 3 das zugehörige Zeitdiagramm dargestellt.

Die bei den Ausgestaltungen in Fig. 1 und Fig. 2 verwendeten Ein-Transistor-Speicherzellen bestehen, wie bereits angedeutet, aus einem Transfer-Transistor t_s, dessen Drain über den der betreffenden Speicherzelle zugeordneten Speicherkondensator C_s an das Bezugspotential gelegt ist, während sein Sourceanschluß an der der betreffenden Matrixspalte und damit der betreffenden Speicherzelle jeweils zugeordneten Bitleitung BL angeschlossen ist. Üblicherweise bestehen auch hier die Ladungstransistoren oder Transfer-Transistoren t_s aus einander gleichen n-Kanal MOS-FET's vom Anreicherungstyp und sind somit selbstsperrend. Das letztere gilt übrigens für alle in der Speichermatrix einschließlich der Komparatoren K verwendeten Feldeffekttransistoren.

Wie gewöhnlich ist auch hier die Zahl der der einzelnen Matrixspalte zugeordneten Speicherzellen halbiert, so daß die eine Hälfte dieser Speicherzellen t_s, C_s über die eine Hälfte der jeweils zugeordneten Bitleitung BL mit dem informationsführenden Anschluß a und die andere Hälfte dieser Speicherzellen über die andere Hälfte der Bitleitung BL mit dem anderen informationsführenden Anschluß b des Komparators K verbunden ist. Die Gates der der einzelnen Matrixzeile jeweils zugeordneten Ein-Transistor-Speicherzellen, d.h. deren Transistoren t_s, liegen jeweils an einer gemeinsamen Wortleitung WL und werden über diese adressiert. Aus ersichtlichen Gründen sind die Wortleitungen WL im Gegensatz zu den Bitleitungen BL nicht halbiert.

Zusätzlich ist jede Hälfte der Bitleitungen BL mit je einer mit den einzelnen Ein-Transistorspeicherzellen t_s, C_s, übereinstimmenden Vergleichszelle oder Dummy-Zelle t_D, C_D versehen, die in gleicher Weise wie die eigentlichen Speicherzellen an die zugehörige Bitleitungshälfte BL angeschlossen ist. Damit liegt an jedem der beiden informationsführenden Anschlüsse a und b der vorgesehenen Komparatoren K je eine solche Vergleichszelle t_D, C_D. Die mit den Anschlüssen a der Komparatoren K verbundenen Vergleichszellen sind über eine erste, den Wortleitungen bei den eigentlichen Speicherzellen t_s, C_s entsprechende Dummy-Leitung DL und die mit den Anschlüssen b der Komparatoren K verbunden Vergleichszellen durch eine analoge zweite Dummy-Leitung DL adressierbar.

Von den beiden informationsführenden Anschlüssen a und b der einzelnen Komparatoren K führt die Source-Drainstrecke jeweils eines n-Kanal-Feldeffekttransistors 5 bzw. 6 in das Innere des Komparators K. Der andere stromführende Anschluß dieser beiden n-Kanal-Transistoren 5 und 6 ist mit dem Ausgang des CMOS-Inverters 1, 3 und dem Eingang des CMOS-Inverters 2, 4 bzw. mit dem Ausgang des CMOS-Inverters 2, 4 und dem Eingang des CMOS-Inverters 1, 3 verbunden. Zu erwähnen ist, daß die beiden MOS-Feldeffekttransistoren 5 und 6 durch ein gemeinsames Taktsignal Φ_T gesteuert sind und ggf. auch als p-Kanal-MOS-FET's realisiert sein können.

Die beiden Inverter 1 , 3 und 2, 4 entsprechen im Aufbau den bekannten CMOS-Speicherzellen, wobei im Beispielsfall die beiden Transistoren 1 und 2 vom p-Kanaltyp und die beiden Transistoren 3 und 4 vom n-Kanaltyp sind. Beide Transistoren 1 und 2 einerseits und beide Transistoren 3 und 4 sind jeweils über ihre Sourceanschlüsse miteinander verbunden und werden über diese durch je eines der beiden für die Schaltung vorgesehenen Betriebspotentiale V_{CC} bzw. das Bezugspotential (Masse) beaufschlagt. Anderseits sind die Drains der beiden Transistoren 1 und 3 einerseits über den n-Kanaltransistor 5 an den informationsführenden Anschluß a und die Drains der beiden Transistoren 2 und 4 andererseits über den n-Kanaltransistor an den informationsführenden Anschluß b des Komparators K gelegt. Schließlich ist zur Erzielung der Flip-Flopwirkung eine Kreuzkopplung vorgesehen, indem die Drains der Transistoren 2 und 4 mit den Gates der Transistoren 1 und 3 sowie die Drains der Transistoren 1 und 3 mit den Gates der Transistoren 2 und 4 verbunden sind.

Gemeinsam ist beiden Ausführungen gemäß Fig. 1 und Fig. 2 noch, daß zwischen dem das Bezugspotential liefernden Versorgungsanschluß, also den Sourceanschlüssen der beiden n-Kanaltransistoren 3 und 4 des Komparators K die Source-Drainstrecke eines weiteren n-Kanal-MOS-FET's 9 gelegt ist. Dieser wird durch ein weiteres Taktsignal Φ_s gesteuert.

Soweit wie bisher beschrieben, stimmen die beiden Schaltungen gemäß Figur 1 und Figur 2 überein. Abweichungen hingegen gibt es hinsichtlich einer außerhalb des Flip-Flops 1, 2, 3, 4 verlaufenden weiteren Verbindung zwischen den beiden informationsführenden Anschlüssen a und

b des Komparators K sowie inbezug auf die Anschaltung des Flip-Flops an das erste Betriebspotential Vcc.

Im Falle einer Ausführung gemäß Figur 1 sind die beiden informationstragenden Anschlüsse a und B des Komparators K über die Serienschaltung zweier p-Kanal MOS-FET's 7 und 8 miteinander verbunden. Die Gates dieser beiden Transistoren 7 und 8 werden gemeinsam durch ein drittes Taktsignal Φp gesteuert. Außerdem liegt der das erste Betriebspotential Vcc liefernde Versorgungsanschluß sowohl an den Sourceanschlüssen der beiden p-Kanaltransistoren 1 und 2 des Flip-Flops des Komparators K als auch als auch an einem Schaltungspunkt zwischen den Source-Drainstrecken der beiden hintereinandergeschalteten p-Kanaltransistoren 7 und 8, wie dies aus Fig. 1 ersichtlich ist.

Aufgrund der in Fig. 1 dargestellten Schaltungsweise werden ersichtlich die Bitleitungen BL auf das Vcc-Potential vorgeladen. Andererseits kann aber auch eine Ausgestaltung von Interesse sein, bei der die Bitleitungen auf das Potential 1/2·Vcc vorgeladen werden.

Letzteres ist bei der in Fig. 2 dargestellten Schaltungsweise der Fall. Bei der in Figur 2 dargestellten Ausführungsform ist statt der in Figur 1 dargestellten Variante in der Verbindung zwischen den beiden informationstragenden Anschlüssen a und b des Komparators K nur ein einziger MOS-FET 11 vorgesehen, der ebenfalls vom p-Kanaltyp ist und von einem Taktsignal Φ_P gesteuert wird, das dem für die Steuerung der p-Kanaltransistoren 7 und 8 bei einer Schaltung gemäß Fig. 1 zu verwendenden Taktsignal Φ_P entspricht. Außerdem ist bei der Ausgestaltung gemäß Fig. 2 auch das erste Betriebspotential Vcc nicht unmittelbar an das den Komparator K bildende Flip-Flop 1, 2, 3 und 4 gelegt. Vielmehr ist in Abweichung von Fig. 1 auch hier ein Schalttransistor 10 entsprechend dem Schalttransistor 9 vorgesehen, der jedoch im Gegensatz zum Schalttransistor 9 vom p-Kanaltyp ist und von einem Taktsignal gesteuert wird, das zu dem den Transistor 9 steuernden Taktsignal Φ_s invertiert und deshalb mit Φ_s bezeichnet ist.

Das Zeitdiagramm für die Taktsteuerung des Komparators K ist in Figur 3 dargestellt. Die Impulse Φ_s, Φ_T, Φ_P und WL sind Taktimpulse, die auch beim Betrieb der bekannten dynamischen RAM-Speicher eingesetzt werden. Dort und auch hier dient die Impulsfolge Φ_s der Aktivierung des Komparators K und die Impulsfolge Φ_T der Abtrennung bzw. Anschaltung der Bitleitungen BL an den Komparator K, die Impulsfolge Φ_P der Vorladung der Bitleitungen BL und die Impulsfolge WL der Ansteuerung der Wortleitungen. Die bei einer Schaltung gemäß Fig. 2 zur Steuerung des Schalttransistors 10 vorgesehene und zu Signal Φ_s invertierte Signal Φ_s.

Zu bemerken ist, daß die beiden Schalttransistoren 9 und 10 zugleich mehreren Komparatoren K und damit Matrixspalten zugleich zugeordnet werden können, so daß auch in dieser Hinsicht ein Vereinfachung und damit Platzersparnis

möglich ist. Zu bemerken ist ferner, daß bei einer Anordnung gemäß der Erfindung auch die Gesamtheit der pro Spalte vorgesehenen Speicherzellen t_s, C_S lediglich am gleichen Eingang des Komparators K, z. B. am Eingang a angeschaltet werden kann, so daß am anderen Eingang b lediglich die der betreffenden Spalte zugeordnete Dummy-Zelle angeschlossen ist.

Patentansprüche

1. Als verstärkender Komparator (K) ausgelegte Leseschaltung in einem monolithisch integrierten Halbleiterspeicher, mit wenigstens acht MOS-Feldeffekttransistoren (1 bis 6, 9, 10) unterschiedlichen Kanaltyps gemäß folgender Anordnung:

- Vier erste Transistoren (1 bis 4) bilden ein Flip-Flop (1 bis 4), das zwei zueinander kreuzgekoppelte CMOS-Inverter (1, 3; 2, 4) enthält,
- das Flip-Flop (1 bis 4) ist informationsführungsmäßig mittels des fünften (5) und sechsten (6) jeweils als Transfertransistor angeordneten Transistors mit je einer Hälfte einer Bitleitung (BL) verbunden unter Bildung informationsführender Anschlüsse (a, b) der Leseschaltung,
- ein erster Versorgungsspannungsanschluß des Flip-Flop ist über einen siebten Transistor (9) an das Bezugspotential der Leseschaltung ankoppelbar,
- ein zweiter Versorgungsspannungsanschluß des Flip-Flops ist über einen achten Transistor (10) an das Versorgungspotential (Vcc) der Leseschaltung ankoppelbar,
- der siebte und der achte Transistor (9, 10) sind voneinander entgegengesetztem Kanaltyp und von ersten Taktsignalen (Φ_s, Φ_s) gesteuert, die einen zueinander komplementären zeitlichen Verlauf aufweisen, *gekennzeichnet durch* folgende Merkmale:
- de Transfertransistoren (5, 6) sind durch ein zweites Taktsignal (Φ_T) gesteuert,
- zu Beginn des Ankoppelns der Versorgungsspannungsanschlüsse des Flip-Flops an das Bezugspotential und das Versorgungsspannungspotential (Vcc) sind die Hälften der Bitleitung (BL) durch das zweite Taktsignal (Φ_T) mittels der Transfertransistoren (5, 6) vom Flip-Flop (1 bis 4) abgekoppelt,
- die beiden informationsführenden Anschlüsse (a, b) der Leseschaltung sind, um einen Potentialausgleich zwischen den beiden Hälften der Bitleitung (BL) während einer Vorladephase zu ermöglichen, über einen durch ein drittes Taktsignal (Φ_P) gesteuerten Vorladetransistor (11) miteinander verbunden.

2. Leseschaltung nach Anspruch 1, *dadurch gekennzeichnet*, daß der Kanaltyp der Transfertransistoren (5, 6) entweder vom Kanaltyp der durch das Bezugspotential beaufschlagten ersten

MOS-Feldeffekttransistoren (3, 4) oder vom Kanaltyp der durch das Versorgungspotential (Vcc) beaufschlagten ersten MOS-Feldeffekttransistoren (1, 2) des Flip-Flops (1 bis 4) ist.

3. Leseschaltung nach Anspruch 1 oder 2, *dadurch gekennzeichnet*, daß die Transfertransistoren (5, 6) entweder beide vom n-Kanal-Typ oder beide vom p-Kanal-Typ sind, daß außerdem die dem Bezugspotential zugewendeten ersten MOS-Feldeffekttransistoren (3, 4) des Flip-Flops (1 bis 4) sowie der siebte Transistor (9) ebenfalls vom n-Kanal-Typ sind und daß die übrigen Transistoren (1, 2; 10; 11) vom P-Kanal-Typ sind.

Claims

1. Reading circuit designed as an amplifying comparator (K) in a monlithic integrated semiconductor memory, having at least eight (MOS) field-effect transistors (1 to 6, 9, 10) of different channel type in accordance with the following arrangement:

- four first transistors (1 to 4) from a flip-flop (1 to 4) containing two mutually cross-coupled CMOS inverters (1, 3; 2, 4),
- the flip-flop (1 to 4) is connected with respect to information carrying by means of the fifth (5) and sixth (6) transistor arranged in each case as a transfer transistor to each half of a bit line (BL), with formation of information-carrying connections (a, b) of the reading circuit,
- a first supply voltages terminal of the flip-flop can be coupled via a seventh transistor (9) to the reference potential of the reading circuit,
- a second voltage terminal of the flip-flop can be coupled via an eight transistor (10) to the supply potential (Vcc) of the reading circuit,
- the seventh and the eight transistor (9, 10) are of the opposite channel type to one another and are controlled by first clock signals (Φ_s, $\overline{\Phi_s}$) which have a mutually complementary temporal curve, characterized by the following features:
- the transfer transistors (5, 6) are controlled by a second clock signal (Φ_T),
- at the commencement of coupling of the supply voltages terminals of the flip-flop to the reference potential and to the supply voltage potential (Vcc), the halves of the bit line (BL) are decoupled by the second clock signal (Φ_T) from the flip-flop (1 to 4) by means of the transfer transistors (5, 6),
- the two information-carrying connections (a, b) of the reading circuit are, in order to permit a potential compensation between the two halves of the bit line (BL) during a precharging phase, mutually connected via a precharging transistor (11) controlled by a third clock signal (Φ_P).

2. Reading circuit according to claim 1, characterized in that the channel type of the transfer transistors (5, 6) is either of the channel type of the first MOS field-effect transistors (3, 4) receiving the reference potential or of the channel type of the first MOS field-effect transistors (1, 2), receiving the supply potential (Vcc), of the flip-flop (1 to 4).

3. Reading circuit according to claim 1 or 2, characterized in that the transfer transistors (5, 6) are either both of the n-channel type or both of the p-channel type, in that in addition the first MOS field-effect transistors (3, 4) of the flip-flop (1 to 4) devoted to the reference potential, as well as the seventh transistor (9) are likewise of the n-channel type, and in that the remaining transistors (1, 2; 10, 11) are of the P-channel type.

Revendications

1. Circuit de lecture agencé à la manière d'un comparateur amplificateur (K) situé dans une mémoire intégrée monolithique à semi-conducteurs, comportant au moins huit transistors à effet de champ MOS (1 à 6, 9, 10) possédant des canaux de types différents, disposés conformément à l'agencement suivant:

- quatre premiers transistors (1 à 4) forment une bascule bistable (1 à 4), qui contient deux inverseurs CMOS (1, 3; 2, 4) couplés selon un couplage croisé,
- la bascule bistable (1 à 4) est raccordée, du point de vue de la transmission des informations, à l'aide des cinquième et sixième transistors (5, 6), montés respectivement en tant que transistors de transfert, à une moitié respective d'une ligne de transmission de bits (BL), moyennant la formation de bornes (a, b), transmettant les informations, du circuit de lecture,
- une première borne, recevant la tension d'alimentation, de la bascule bistable peut être couplée par l'intermédiaire d'un septième transistor (9) au potentiel de référence du circuit de lecture,
- une seconde borne, recevant la tension d'alimentation, de la bascule bistable peut être couplée par l'intermédiaire d'un huitième transistor (10) au potentiel d'alimentation (Vcc) du circuit de lecture,
- les septième et huitième transistors (9, 10) possèdent des canaux de types opposés et sont commandés par les premiers signaux de cadence (Φ_s, $\overline{\Phi_s}$), qui possèdent des variations dans le temps complémentaires l'une de l'autre, remarquable par les caractéristiques suivantes:
- les transistors de transfert (5, 6) sont commandés par un second signal de cadence (Φ_T),
- au début de l'accouplement des bornes, raccordées à la tension d'alimentation, de la bascule bistable au potentiel de référence et au potentiel de tension d'alimentation (Vcc), les moitiés de la ligne de transmission de bits

(BL) sont découplées de la bascule bistable (1 à 4) par le second signal de cadence (Φ_T), au moyen des transistors de transfert (5, 6),

- les deux bornes (a, b), transmettant les informations, du circuit de lecture sont reliées entre elles par l'intermédiaire d'un transistor de précharge (11) commandé par un troisième signal de cadence (Φ_P), en vue de permettre une égalisation du potentiel entre les deux moitiés de la ligne de transmission de bits (BL) pendant une phase de précharge.

2. Circuit de lecture suivant la revendication 1, caractérisé par le fait que le type des canaux des transistors de transfert (5, 6) est soit le type du canal des premiers transistors à effet de champ MOS (3, 4) chargés par le potentiel de référence, soit le type du canal des premiers transistors à effet de champ MOS (1, 2) de la bascule bistable (1 à 4), chargés par le potentiel d'alimentation (Vcc).

3. Circuit de lecture suivant la revendication 1 ou 2, caractérisé par le fait que les transistors de transfert (5, 6) sont tous les deux du type à canal n ou du type à canal P, qu'en outre, les premiers transistors à effet de champ MOS (3, 4) de la bascule bistable (1 à 4), situés du côté du potentiel de référence, ainsi que le septième transistor (9) sont également du type à canal n et que les autres transistors (1, 2; 10, 11) sont du type à canal P.

FIG1

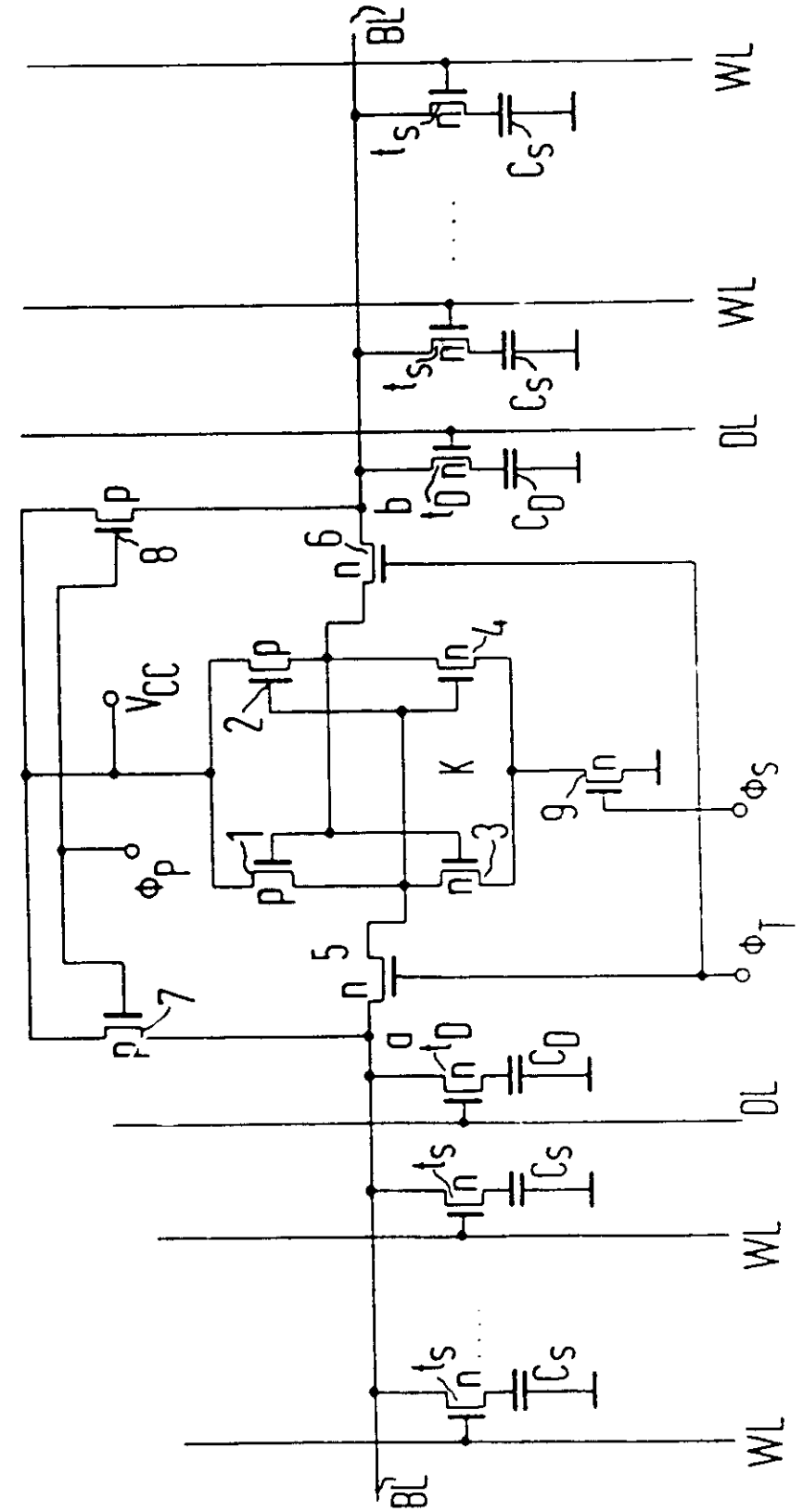


FIG2

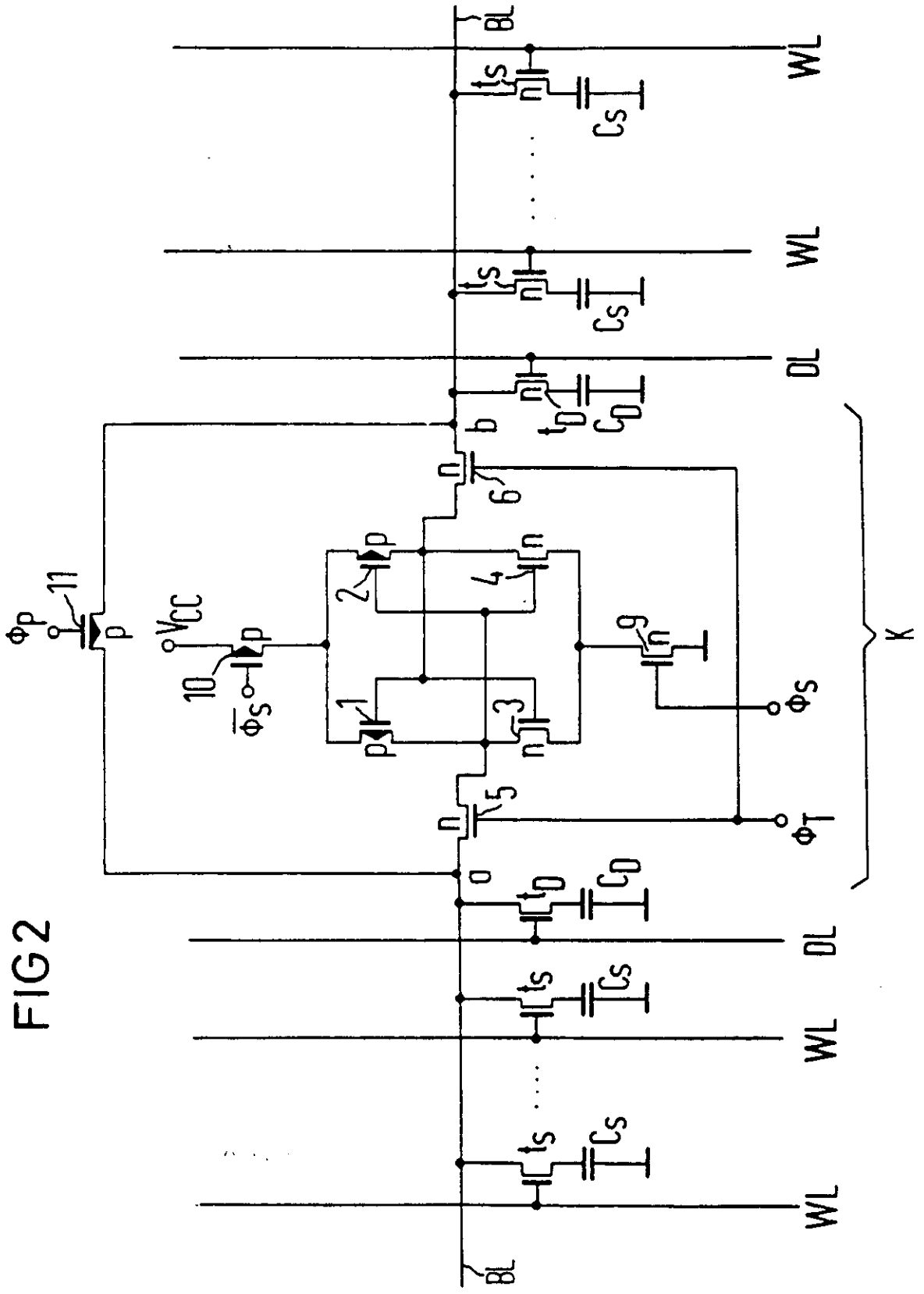
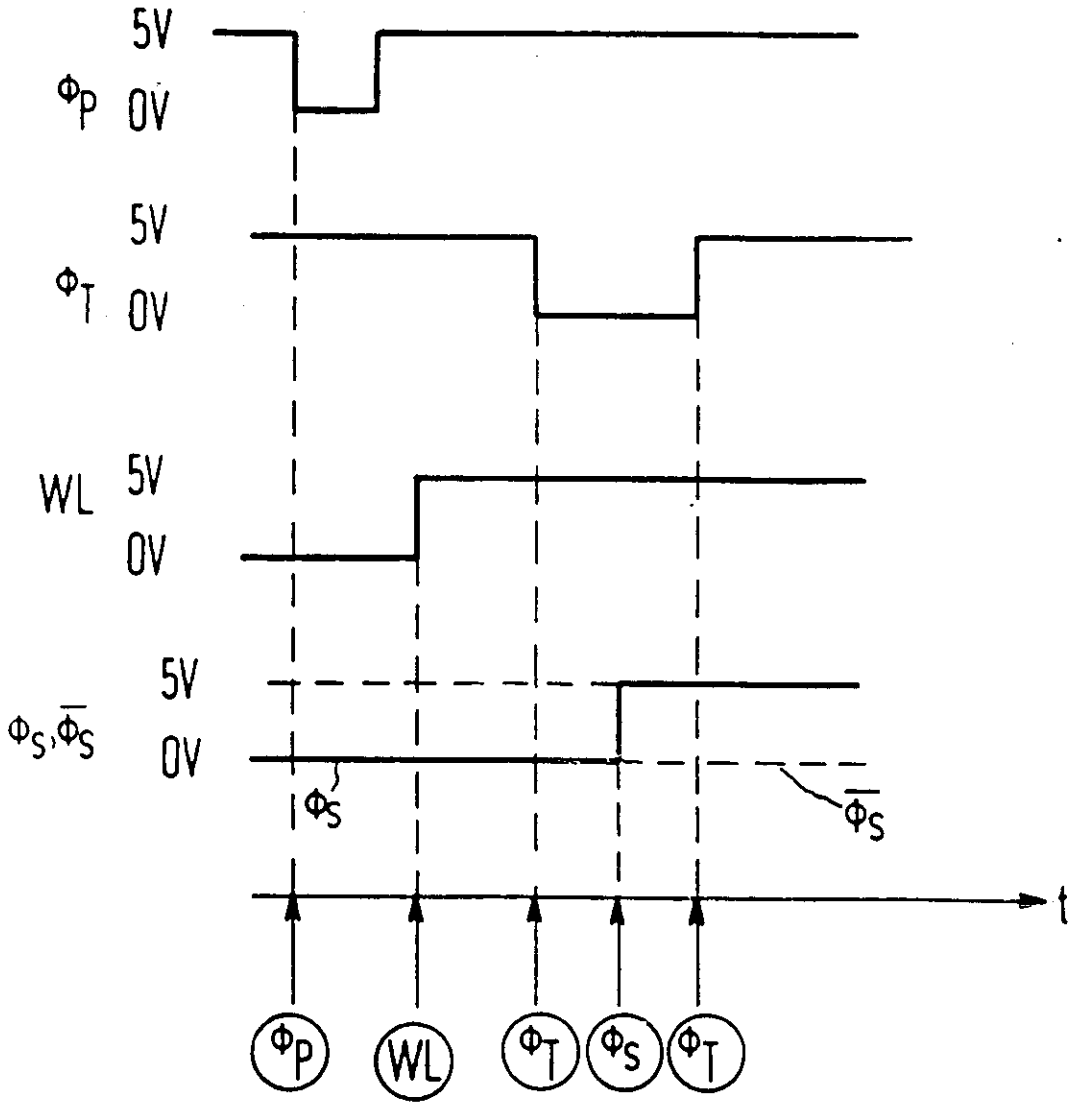

BL
WL
WL
DL
b
n
6
p
2
n
4
n
9
K
Φp
11
p
Vcc
10
Φs
p
1
p
n
3
n
5
n
Φs
ΦT
a
DL
WL
WL
BL
ts
Cs
tD
CD

FIG 3


5V
Φ_P 0V
5V
Φ_T 0V
WL 5V
0V
5V
$\Phi_S, \overline{\Phi_S}$ 0V
Φ_S
$\overline{\Phi_S}$
t
Φ_P
WL
Φ_T
Φ_S
Φ_T

For Official Use Only

PATENT OFFICE

PATENTS ACT 1977

PATENTS FORM NO. 54/77

28MAR'90H001A4922 PAT 54/77 UC 26.00

FILING OF TRANSLATION OF EUROPEAN PATENT (UK) UNDER SECTION 77(6)(a)

Please write or type in **BLOCK LETTERS** using dark ink. For details of current fees please contact the Patent Office.

Enter the name and address of the proprietor(s) of the European Patent (UK). If you do not have enough space please continue on a separate sheet.

Enter the date on which the mention of the grant of the European Patent (UK) was published in the European Patent Bulletin, or, if it has not yet been published, the date on which it will be published

A UK Address for Service **MUST** be provided to which all communications from the Patent Office will be sent

Please sign here ▶

Attention is drawn to rules 90 and 108 of the Patents Rules 1982

This form must be filed in duplicate and must be accompanied by a translation into English in duplicate of:

1 the whole description
2 those claims appropriate to the UK (in the language of the proceedings),
3 all drawings, whether or not these contain any textual matter

but excluding the front page which contains bibliographic information.

The translation must be verified to the satisfaction of the comptroller as corresponding to the original text.

1 European Patent Number 0 056 433

2 Name SIEMENS AKTIENGESELLSCHAFT

Address WITTELSBACHERPLATZ 2
D-8000 MÜNCHEN 2
FEDERAL REPUBLIC OF GERMANY

3 European Patent Bulletin Date:
17. 01. 90
Day Month Year

4 Name of Agent (if any)

Agent's Patent Office ADP number (if known)

5 Address for Service
SIEMENS PLC
ATTN. MR I. P. HOWARD, GR 81 P 1005 E
SIEMENS HOUSE, WINDMILL ROAD
SUNBURY-ON-THAMES
MIDDLESEX Postcode TW6 7HS

6 Signature: Date: 28 03 90
Day Month Year

p.p. RWS TRANSLATIONS LTD.

Reminder

Have you attached

One duplicate copy of this form ☑

Two copies of the Translation ☑

Any continuation sheets (if appropriate) ☐

77

GREAT BRITAIN)
ENGLAND)
LONDON)

IN THE MATTER OF an Application for a Hong Kong Registration Patent

I, Derek Ernest LIGHT, B.A., B.D.Ü.,
do hereby certify:
THAT I am a Technical Translator to Randall Woolcott Services plc of Europa House, Marsham Way, Gerrards Cross, Buckinghamshire, England and known as such to the undersigned Notary Public;
THAT I have a competent knowledge of the German and English languages;
AND THAT the attached document is a true and correct translation of the cover page of the European Patent in the name of
Siemens Aktiengesellschaft
granted under No. 0,056,433

Signed by DEREK ERNEST LIGHT)
This 14th day of May)
1992)

D. Light

DEREK ERNEST LIGHT

I hereby certify the authenticity of the above signature of DEREK ERNEST LIGHT whose identity I attest.

London, the 14th day of May 1992

NOTARY PUBLIC OF LONDON ENGLAND

(19) European Patent Office
European Patent Office
European Patent Office

(11) Publication No.: 0 056 433
B1

(12) EUROPEAN PATENT SPECIFICATION

(45) Date of publication of the patent specification:
17.01.90

(51) Int. Cl.^{4}: G 11 C 11/24

(21) Application No.: 81108510.9

(22) Filing date: 19.10.81

(54) Reading circuit for a monolithic integrated semiconductor memory.

(30) Priority:
19.01.81 DE 3101520

(43) Date of publication of the application:
28.07.82 Patent Journal 82/30

(45) Publication of the notice of the patent grant:
17.01.90 Patent Journal 90/03

(84) Designated contracting States:
DE FR GB

(73) Patent proprietor:
Siemens Aktiengesellschaft
Wittelsbacherplatz 2
D-8000 Munich 2 (DE)

(72) Inventor:
Dr.-Ing. Kurt Hoffmann
Nelkenweg 20
D-8021 Taufkirchen (DE)

(56) Cited documents:
US-A- 3 879 621
US-A- 4 070 590
US-A- 4 169 233
US-A- 4 195 357

PATENTS ABSTRACTS OF JAPAN, 1978, page 4126 E 78; & JP - A - 53 54 430 (NIPPON DENKI k.K.) 17.05.1978

PATENTS ABSTRACTS OF JAPAN, volume 3, No. 135 (E-50), 10 November 1979, page 41 E 150; & JP - A - 54 112 131 (NIPPON DENKI K.k.) 01-09-1979

PATENTS ABSTRACTS OF JAPAN, volume 4, No. 70 (P-12) 552, 23 May 1980, page 145 P 12; & JP - A - 55 38 611 (NIPPON DENKI K.K.) 18.03.1980

EP 0 056 433 B1

Note: Within nine months from the publication of the notice of the grant of the European patent in the European Patent Journal, any person may lodge opposition to the granted European patent at the European Patent Office. The opposition shall be filed in writing and the grounds thereof shall be stated. It shall be deemed to have been filed only when the opposition fee has been paid. (Art. 99 (1) of the European Patent Convention).

LIBERGRAF, STOCKHOLM 1990

PATENTS ACT 1977

and

PATENTS (AMENDMENT) RULES 1987

I, Kay Anne McBURNEY, M.A.,
translator to Randall Woolcott Services plc of Europa House, Marsham Way, Gerrards Cross, Buckinghamshire, England, hereby declare that I am conversant with the German and English languages and that to the best of my knowledge and belief the accompanying document is a true translation of the text on which the European Patent Office intends to grant or has granted European Patent No. 0,056,433
in the name of Siemens Aktiengesellschaft

Signed this 12th day of March 1990

K. A. McBURNEY

The invention relates to a reading circuit in a monolithic integrated semiconductor memory according to the preamble of Patent Claim 1.

Known from US-A-4 169 233 is a reading circuit having two cross-coupled CMOS inverters, having two transfer gates for clocked coupling of bit line sections to the reading circuit, and having two mutually complementary transistors for the clocked supply of supply potentials to the reading circuit.

A reading circuit which is constructed as a pure n-channel circuit is known from JP-A 53-54430. It contains two cross-coupled transistors, two clocked switch devices for supplying supply potentials, two barrier transistors for coupling the reading circuit to bit line sections, as well as a transistor for charge equalization between the bit line sections. The switch devices for supplying the supply potentials are activated at different times. The transistor for charge equalization is activated precisely when the one supply potential is applied to the reading circuit. The gates of the barrier transistors are evidently connected to a fixed potential.

With the conventional organization of known dynamic RAM memories, each column of the memory matrix is assigned a comparator acting as differential amplifier which is located in the middle of the respective column and is represented by a bistable multivibrator. The one half of the single-transistor memory cells provided in total per column is connected with its drain terminal to the one input, and the other half is connected in the same manner to the other input of the comparator. Furthermore, there are provided in each column two compare cells - that is so-called dummy cells - which are connected in the same manner as the actual memory cells to in each case one of the two inputs of the associated comparator. If one uses, as is usual, the conventional term "word line" for the row-parallel line which is in each case associated with the individual matrix rows and is connected to the gate electrodes of the single-transistor memory cells belonging to the respective

matrix row, and the conventional term "bit line" for the line running parallel to this which is associated in each case with the individual matrix columns, then the situation can be defined as follows: each bit line BL of the memory matrix is halved, and the one half is connected to the one signal input and the other half is connected to the other signal input of the comparator K associated in each case. The number of single-transistor memory cells provided per column is likewise accordingly halved, the one half being connected to the one and the other half being connected to the other signal input of the comparator K, as is evident also from Fig. 1 which is yet to be described. The voltage-carrying connection of the MOS transistor of the individual single-transistor memory cell facing away from the respective bit line BL is connected via the storage capacitor of the respective cell to the reference potential (ground) or instead to the other operating potential (V_{cc}).

A memory circuit of this type is described, for example, in "1978 IEEE International Solid-State Circuits Conference", p. 156 and 157, (cf., for example, Fig. 1 in this publication).

In the known memories with single-transistor memory cells, the comparator K is usually constructed of transistors of the same type as are used for the transistors of the single-transistor memory cells. It is thus possible to produce the comparator K without additional doping expenditure together with the remaining transistors of the memory.

On the other hand, so-called CMOS memories were known (cf. Proc. IEEE (July 1971), p. 1044 - 1058; especially p. 1054, Fig. 17), which use so-called six-transistor cells as memory cells. These memory cells are composed in each case of two inverters realized in CMOS technology, which in turn consists of the series circuit of a p-channel transistor and an n-channel transistor (both of the enhancement type). The gates of these two complementary MOS transistors of the individual inverter together form the signal input of the inverter, while its

signal output is formed by a circuit point between the source-drain paths of the two transistors of the inverter lying in series. The two inverters are now connected, for example with the other terminal of their source-drain path, to one pole, for example the positive pole of a DC voltage source and receive there the potential V_{CC}, while the second terminal of the source-drain path of the respective second transistor, that is to say, for example, of the n-channel transistor of the two inverters, is connected to the other pole, for example to the negative pole, of said DC voltage source. Finally, the two gates of the first inverter are connected to the signal output of the second inverter, and both gates of the second inverter for the memory cell are connected to the signal output of the first inverter, as a result of which the desired flip-flop effect and hence the memory capacity of the cell is provided. Finally it should be noted that the terminals of the cell, representing the outputs of the two inverters, is (sic) connected via the source-drain path of in each case one n-channel MOS field-effect transistor of the enhancement type to in each case one of the bit lines controlling the respective flip-flop memory cell, while the gates of these two field-effect transistors are controlled via the word line associated with the respective memory cell.

The object of the present invention is therefore to improve the dynamic matrix memories constructed on the basis of single-transistor memory cells with respect to the response sensitivity by means of increasing the efficiency of its (sic) comparators.

The present object is achieved in the case of a reading circuit of the generic type by the characterizing features of Patent Claim 1. Advantageous refinements and further developments are characterized in the subclaims.

The substitution of the flip-flops conventionally employed as comparators and equipped solely with transistors of the type of transistors used in the single-transistor memory cells by a comparator realized in complementary MOS technology clearly entails an increase

in the technical outlay in the production of the memory matrix. However, the increased outlay is more than compensated by the advantage conferred with respect to the increased operating speed. Furthermore, a not inconsiderable factor is the fact that such a comparator has no greater space requirement in comparison to the conventional comparators. The essential factor is, however, that the response sensitivity and hence the response rate is greatly increased by the use of such a comparator in comparison to the conventional standard RAMs with single-transistor memory cells.

The invention will now be described in greater detail with reference to Figures 1 to 3. Figs. 1 and 2 illustrate here two preferred exemplary embodiments and Fig. 3 shows the associated time diagram.

The single-transistor memory cells employed in the embodiments in Fig. 1 and Fig. 2 consist of, as already indicated, a transfer transistor t_s, the drain of which is connected to the reference potential via the storage capacitor C_s associated with the respective memory cell, while its source terminal is connected to the bit line BL associated in each case with the respective matrix column and hence with the respective memory cell. Here, too, the charge transistors or transfer transistors t_s usually consist of mutually identical n-channel MOSFETs of the enhancement type and are thus self-locking. Incidentally, the latter applies to all field-effect transistors employed in the memory matrix including the comparators K.

As is usual, the number of memory cells associated with the individual matrix column is also halved here, so that the one half of these memory cells t_s, C_s is connected via one half of the respective associated bit line BL to the information-carrying connection a and the other half of these memory cells is connected via the other half of the bit line BL to the other information-carrying connection b of the comparator K. The gates of the single-transistor memory cells associated in each case with the individual matrix row, that is their

transistors t_s, are connected in each case to a common word line WL and are addressed via the latter. For obvious reasons, in contrast to the bit lines BL, the word lines WL are not halved.

In addition, each half of the bit lines BL is provided with in each case one compare cell or dummy cell t_D, C_D, which matches the individual single-transistor memory cells t_s, C_s, and which is connected in the same manner as the actual memory cells to the associated bit line half BL. In this way, one such compare cell t_D, C_D is connected to each of the two information-carrying connections a and b of the comparators K provided. The compare cells connected to the connections a of the comparators K can be addressed via a first dummy line DL corresponding to the word lines in the actual memory cells t_s, C_s, and the compare cells connected to the connections b of the comparators K can be addressed by means of an analogous second dummy line DL.

The source-drain path of in each case one n-channel field-effect transistor 5 or 6 leads from the two information-carrying connections a and b of the individual comparators K into the interior of the comparator K. The other current-carrying connection of these two n-channel transistors 5 and 6 is connected to the output of the CMOS inverter 1, 3 and to the input of the CMOS inverter 2, 4, or to the output of the CMOS inverter 2, 4 and the input of the CMOS inverter 1, 3, respectively. It should be mentioned that the two MOS field-effect transistors 5 and 6 are controlled by a common clock signal ϕ_T and may also be realized, if appropriate, as p-channel MOS-FETs.

The design of the two inverters 1, 3 and 2, 4 corresponds to the known CMOS memory cells, in the example the two transistors 1 and 2 being of the p-channel type and the two transistors 3 and 4 being of the n-channel type. Both transistors 1 and 2 on the one hand, and both transistors 3 and 4 are interconnected in each case via their source terminals, and receive via these in each case one of the two operating potentials V_{CC}

or the reference potential (ground) provided for the circuit. On the other hand, the drains of the two transistors 1 and 3 are connected on the one hand via the n-channel transistor 5 to the information-carrying connection a, and the drains of the two transistors 2 and 4 on the other hand are connected via the n-channel transistor to the information-carrying connection b of the comparator K. Finally, for achieving the flip-flop action, a cross-coupling is provided, in that the drains of the transistors 2 and 4 are connected to the gates of the transistors 1 and 3, and also the drains of the transistors 1 and 3 are connected to the gates of the transistors 2 and 4.

A common factor of both embodiments according to Fig. 1 and Fig. 2 is also the fact that the source-drain path of a further n-channel MOS-FET 9 is placed between the supply terminal supplying the reference potential, that is the source terminals of the two n-channel transistors 3 and 4 of the comparator K. Said n-channel MOS-FET is controlled by a further clock signal ϕ_s.

The two circuits according to Figure 1 and Figure 2 match one another as described thus far. However, there are deviations with respect to a further connection extending outside the flip-flop 1, 2, 3, 4 between the two information-carrying connections a and b of the comparator K, as well as with respect to the connection of the flip-flop to the first operating potential V_{CC}.

In the case of an embodiment according to Figure 1, the two information-carrying connections a and B of the comparator K are connected to one another via the series circuit of two p-channel MOS-FETs 7 and 8. The gates of these two transistors 7 and 8 are controlled jointly by a third clock signal $_p$. In addition, the supply terminal supplying the first operating potential V_{CC} is connected both to the source terminals of the two p-channel transistors 1 and 2 of the flip-flop of the comparator K as well as to a circuit point between the source-drain paths of the two p-channel transistors 7 and 8 connected in series, as is evident from Fig. 1.

As a result of the circuitry shown in Fig. 1, it can be seen that the bit lines BL are precharged to the V_{CC} potential. On the other hand, an embodiment in which the bit lines are precharged to the potential 1/2 x V_{CC} may also be of interest.

The latter is the case in the circuitry illustrated in Fig. 2. With the embodiment illustrated in Figure 2, instead of the variant shown in Figure 1, only a single MOS-FET 11 is provided in the connection between the two information-carrying connections a and b of the comparator K, which MOS-FET is likewise of the p-channel type and is controlled by a clock signal ϕ_P which corresponds to the clock signal ϕ_P to be used for the control of the p-channel transistors 7 and 8 in a circuit according to Fig. 1. In addition, with the embodiment according to Fig. 2, the first operating potential V_{CC} is also not directly connected to the flip-flop 1, 2, 3 and 4 forming the comparator K. Rather, in deviation from Fig. 1, a switching transistor 10 corresponding to the switching transistor 9 is also provided here, but which, in contrast to the switching transistor 9, is of the p-channel type and is controlled by a clock signal that is inverted with respect to the clock signal ϕ_s controlling the transistor 9, and is hence denoted by $\bar{\phi}_s$.

The time diagram for the clock control of the comparator K is illustrated in Figure 3. The pulses ϕ_s, ϕ_T, ϕ_P and WL are clock pulses that are also used for operating the known dynamic RAM memories. There as well as here, the pulse train ϕ_s serves to activate the comparator K and the pulse train ϕ_T serves to disconnect or connect the bit lines BL from or to the comparator K respectively, the pulse train ϕ_P serves to precharge the bit lines BL and the pulse train WL serves to address the word lines. The signal $\bar{\phi}_s$ which is provided in a circuit according to Fig. 2 for controlling the switching transistor 10 and is inverted with respect to signal ϕ_s [lacuna].

It should be noted that the two switching transistors 9 and 10 can be associated simultaneously with a

plurality of comparators K and hence matrix columns, so that in this respect too a simplification and hence space-saving is possible. It should further be noted that with an arrangement according to the invention, all the memory cells t_s, C_s provided per column need only be connected to the same input of the comparator K, e.g. to the input a, so that only the dummy cell associated with the respective column is connected to the other input b.

Patent claims:

1. Reading circuit designed as an amplifying comparator (K) in a monolithic integrated semiconductor memory, having at least eight MOS field-effect transistors (1 to 6, 9, 10) of different channel type in accordance with the following arrangement:

- four first transistors (1 to 4) form a flip-flop (1 to 4) containing two mutually cross-coupled CMOS inverters (1,3;2,4),
- the flip-flop (1 to 4) is connected with respect to information carrying by means of the fifth (5) and sixth (6) transistor arranged in each case as a transfer transistor to each half of a bit line (BL), with formation of information-carrying connections (a,b) of the reading circuit,
- a first supply voltage terminal of the flip-flop can be coupled via a seventh transistor (9) to the reference potential of the reading circuit,
- a second supply voltage terminal of the flip-flop can be coupled via an eighth transistor (10) to the supply potential (V_{cc}) of the reading circuit,
- the seventh and eighth transistor (9,10) are of the opposite channel type to one another and are controlled by first clock signals ($\phi_s, \overline{\phi}_s$), which have a mutually complementary temporal curve,

characterized by the following features:

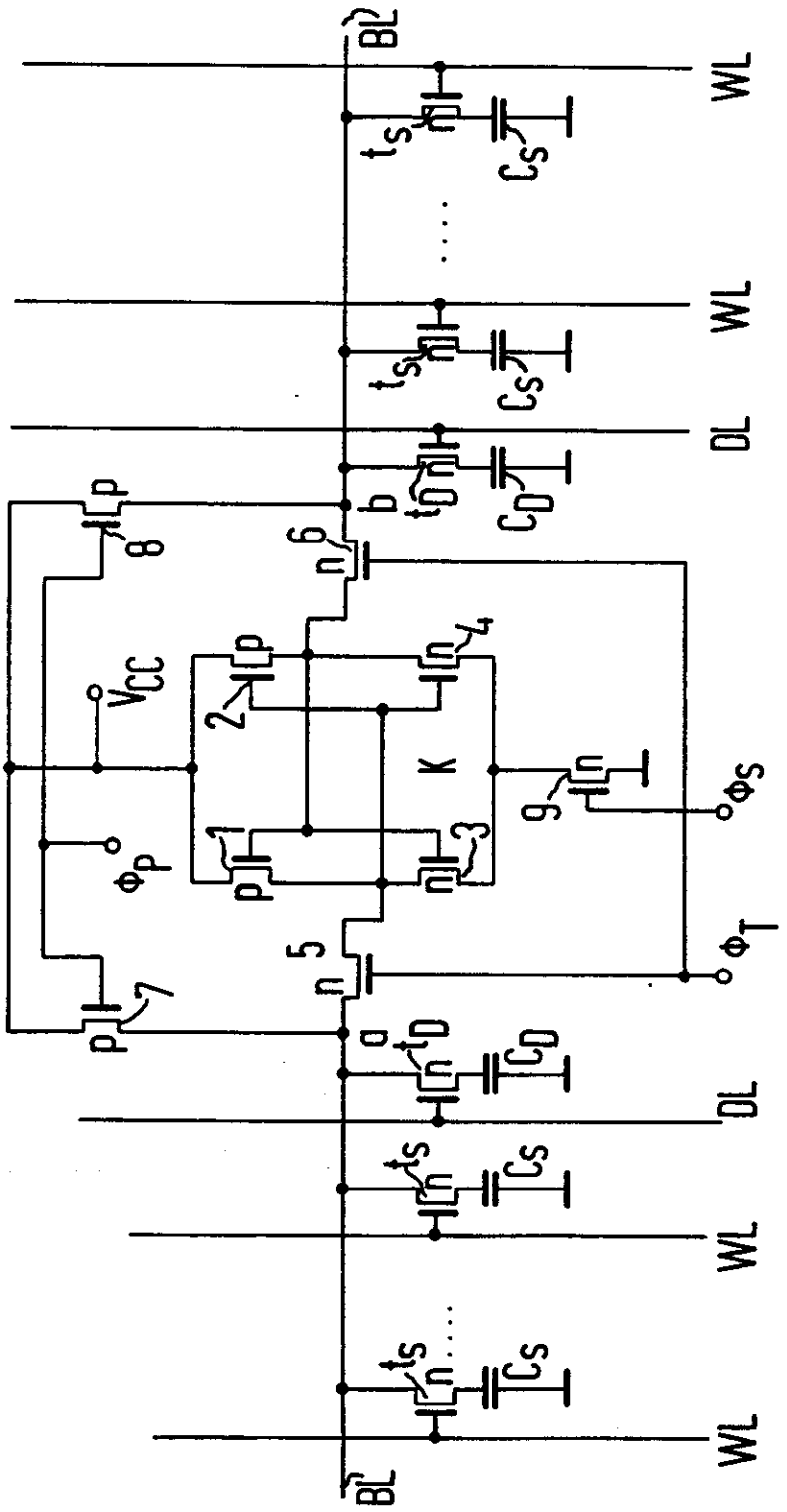
- the transfer transistors (5,6) are controlled by a second clock signal (ϕ_T),
- at the commencement of coupling of the supply voltage terminals of the flip-flop to the reference potential and to the supply voltage potential (V_{CC}), the halves of the bit line (BL) are decoupled by the second clock signal (ϕ_T) from the flip-flop (1 to 4) by means of the transfer transistors (5,6),
- the two information-carrying connections (a,b) of the reading circuit are, in order to permit a potential compensation between the two halves of the bit line (BL) during a precharging phase, mutually connected via a precharging transistor (11) controlled by a third clock

signal (ϕ_p).

2. Reading circuit according to Claim 1, characterized in that the channel type of the transfer transistors (5,6) is either of the channel type of the first MOS field-effect transistors (1,2), receiving the supply potential (V_{cc}), of the flip-flop (1 to 4).

3. Reading circuit according to Claim 1 or 2, characterized in that the transfer transistors (5,6) are either both of the n-channel type or both of the p-channel type, in that in addition the first MOS field-effect transistors (3,4) of the flip-flop (1 to 4) devoted to the reference potential, as well as the seventh transistor (9), are likewise of the n-channel type, and in that the remaining transistors (1,2;10;11) are of the p-channel type.

FIG1



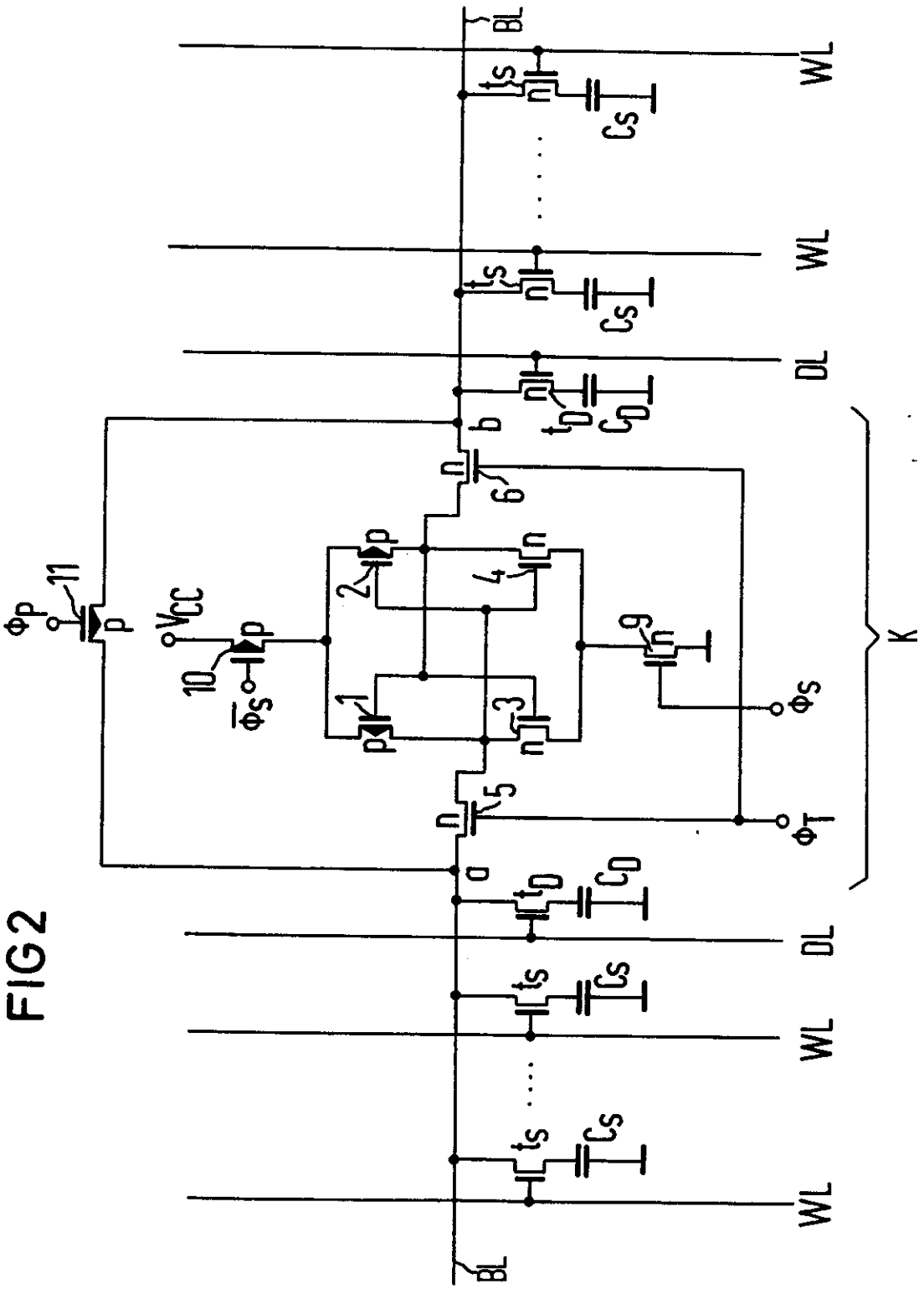
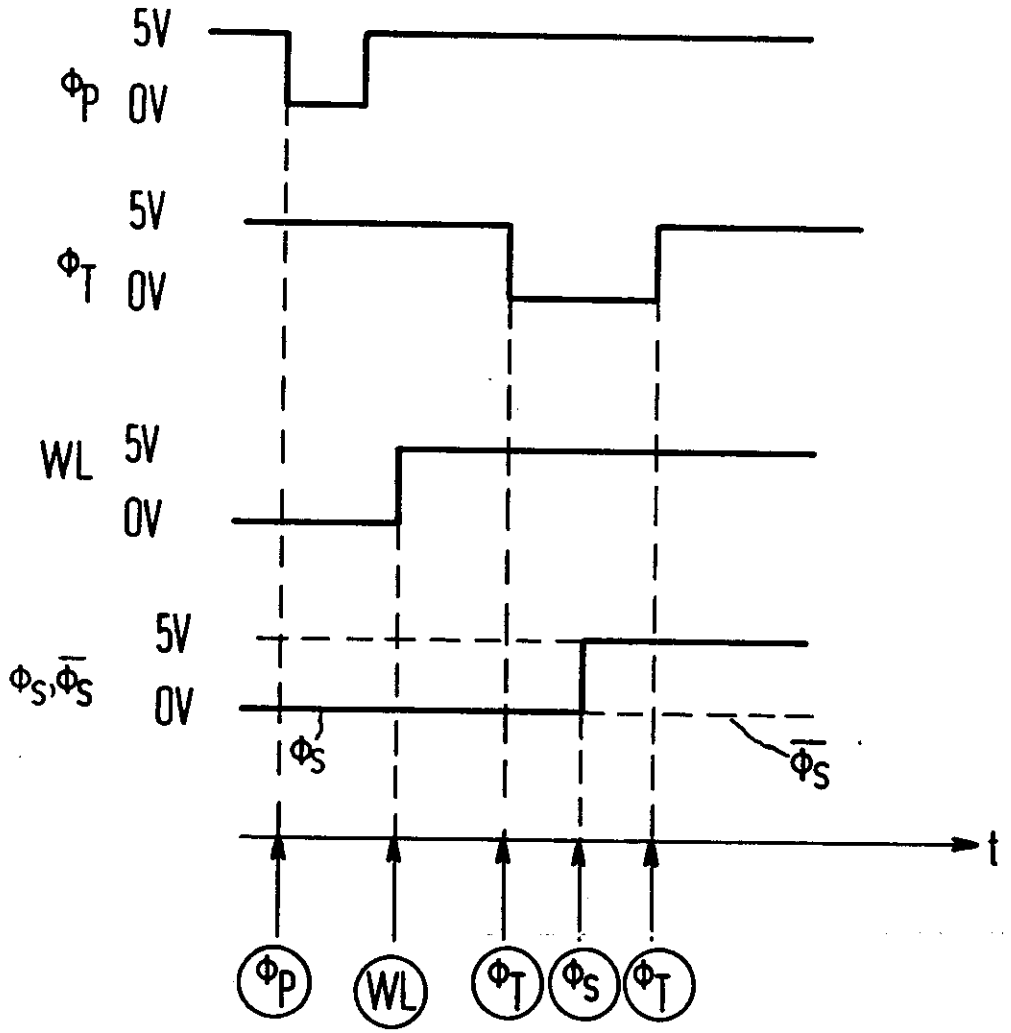

BL
WL
WL
DL
b
n
6
p
2
n
4
p
1
n
3
n
9
n
5
a
DL
WL
WL
BL
K
ϕ_p
11
p
V_{CC}
10
$\overline{\phi_S}$
ϕ_S
ϕ_T
ts
Cs
tD
CD

FIG2

FIG 3


5V
Φ_P 0V
5V
Φ_T 0V
WL 5V
0V
5V
$\Phi_S, \overline{\Phi_S}$ 0V
Φ_S
$\overline{\Phi_S}$
t
Φ_P
WL
Φ_T
Φ_S
Φ_T

REGISTER ENTRY FOR EP0056433

European Application No EP81108510.9 filing date 19.10.1981

Application in German

Priority claimed:
19.01.1981 in Federal Republic of Germany - doc: 3101520

Designated States DE FR GB

Title READING CIRCUIT FOR A MONOLITHIC INTEGRATED SEMICONDUCTOR MEMORY

Applicant/Proprietor
SIEMENS AKTIENGESELLSCHAFT, Incorporated in the Federal Republic of Germany, Wittelsbacherplatz 2, D-8000, MÜNCHEN 2, Federal Republic of Germany [ADP No. 06098255001]

Inventor
DR.-ING. KURT HOFFMANN, Nelkenweg 20, D-8021 Taufkirchen, Federal Republic of Germany [ADP No. 51888337001]

Classified to
H3T
G11C

Address for Service
SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames, Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]

Publication No EP0056433 dated 28.07.1982 and granted by EPO 17.01.1990.
Publication in German

Examination requested 19.10.1981

Patent Granted with effect from 17.01.1990 (Section 25(1)) with title READING CIRCUIT FOR A MONOLITHIC INTEGRATED SEMICONDUCTOR MEMORY.. Translation filed 28.03.1990

29.10.1985 EPO: Search report published on 30.10.1985
Entry Type 25.11 Staff ID. Auth ID. EPT

22.12.1989 File raised.
Entry Type 10.1 Staff ID. JN1 Auth ID. AA

02.04.1990 SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames, Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001] registered as address for service
Entry Type 8.11 Staff ID. SH1 Auth ID. AO

**** END OF REGISTER ENTRY ****

RENEWAL DETAILS

PUBLICATION NUMBER EP0056433

PROPRIETOR(S)

Siemens Aktiengesellschaft, Incorporated in the Federal Republic of Germany, Wittelsbacherplatz 2, D-8000, MÜNCHEN 2, Federal Republic of Germany

DATE FILED	19.10.1981
DATE GRANTED	17.01.1990
DATE NEXT RENEWAL DUE	19.10.1992
DATE NOT IN FORCE	
DATE OF LAST RENEWAL	13.09.1991
YEAR OF LAST RENEWAL	11
STATUS	PATENT IN FORCE