

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97119915

※申請日期：97年05月29日

※IPC分類：H01L29/786 (2006.01)

一、發明名稱：

(中) 使用氧化半導體之薄膜電晶體的製造方法

(英) Manufacturing method of thin film transistor using oxide semiconductor

二、申請人：(共 1 人)

1. 姓 名：(中) 佳能股份有限公司

(英) CANON KABUSHIKI KAISHA

代表人：(中) 1. 內田恒二

(英) 1. UCHIDA, TSUNEJI

地 址：(中) 日本國東京都大田區下丸子三丁目三〇番二號

(英) 3-30-2, Shimomaruko, Ohta-ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 大村秀之

(英) OMURA, HIDEYUKI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 林享

(英) HAYASHI, RYO

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/05/31 ; 2007-145186 ☒ 有主張優先權

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97119915

※申請日期：97年05月29日

※IPC分類：H01L29/786 (2006.01)

一、發明名稱：

(中) 使用氧化半導體之薄膜電晶體的製造方法

(英) Manufacturing method of thin film transistor using oxide semiconductor

二、申請人：(共 1 人)

1. 姓 名：(中) 佳能股份有限公司

(英) CANON KABUSHIKI KAISHA

代表人：(中) 1. 內田恒二

(英) 1. UCHIDA, TSUNEJI

地 址：(中) 日本國東京都大田區下丸子三丁目三〇番二號

(英) 3-30-2, Shimomaruko, Ohta-ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 大村秀之

(英) OMURA, HIDEYUKI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 林享

(英) HAYASHI, RYO

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/05/31 ; 2007-145186 ☒ 有主張優先權

九、發明說明

【發明所屬之技術領域】

本發明有關一種使用氧化半導體之薄膜電晶體的製造方法。

【先前技術】

近年來，在使用以做為諸如主動矩陣型液晶顯示元件或有機電發光元件的顯示裝置之開關元件的薄膜電晶體中，已主動地發展出下一代的薄膜電晶體，亦即，使用主要由ZnO所製成的透明導電性氧化物多晶薄膜以做為通道層之薄膜電晶體的發展。此薄膜係比非晶矽更高度地遷移，且可在低溫時沈積，以及可形成撓性透明薄膜電晶體於諸如塑膠板及膜的基板之上；此外，因為其係透明於可見光，所以並不需要屏蔽層及其類似物。

下文將敘述如上述之主要由ZnO所製成的薄膜電晶體之製造方法的實例：形成包含本質氧化鋅的半導體層於閘極絕緣膜之上，且形成具有與該半導體層之端面相同形狀之保護膜，以及在該半導體層的上方表面之上，形成上方層絕緣膜，且然後，形成接觸孔。藉由n型ZnO而使透過此接觸孔所暴露之半導體層上方表面形成有歐姆接觸層，或使其中半導體層與電極彼此相互接觸的區域接受低電阻處理，且之後，在該上方表面之上，形成源極電極及汲極電極（美國專利申請案公告第2006/043447A1）。然而，在上述薄膜電晶體中，將難以在多晶薄膜中形成其係平坦且

均勻度高的薄膜；因此，品質之變動會大大地產生。

所以，打算發展使用透明非晶氧化物半導體膜於通道層之薄膜電晶體；在該非晶薄膜中，可形成平坦且均勻度高的薄膜。在“應用物理文壇，89，112123（2006）”中，所揭示的是，透明非晶氧化物半導體膜（a-IGZO）係由磁控管濺鍍法在室溫所沈積，而做為薄膜電晶體的通道層，藉以獲得在平坦性及均勻度之中良好的半導體層。此薄膜電晶體具有 $12 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 的電場效應遷移率，且係良好的薄膜電晶體。

【發明內容】

然而，在上述習知技術中，並未提供歐姆接觸層及其類似物以做為薄膜電晶體之組態，且根據電極材料的選擇，存在有起因於與氧化物半導體及源極電極以及汲極電極之非歐姆接觸性質的問題。

本發明已鑑於上述問題而完成，亦即，在使用非晶氧化物半導體的薄膜電晶體中，本發明之目的在於提供一種薄膜電晶體，該薄膜電晶體具有與源極電極及汲極電極以及非晶氧化物半導體層之歐姆接觸性質上良好的電晶體特徵。

本發明人及其他人員已在使用透明氧化物半導體的薄膜電晶體上努力地執行研發，且因而，獲得以下的知識，而能以下文的組態來解決上述的問題。也就是說，採用覆蓋氧化物半導體層之第一絕緣膜以做為氧化物絕緣物，且

在不包含氧化氣體的氛圍中，將其形成於氧化物半導體層之上；當在不包含氧化氣體的氛圍中，將該絕緣膜形成於該氧化物半導體層之上時，該氧化物半導體層會受到損壞，且在電阻上會降低至使得無法將薄膜電晶體關閉的程度；所以，藉由圖案化來去除第一絕緣膜，及使氧化物半導體層的通道區暴露出；且然後，在包含氧化氣體的氛圍中，形成覆蓋該通道區的第二絕緣膜。結果，可使在電阻上降低之通道區能在電阻上增加至能關閉該薄膜電晶體之此一程度；因此，該氧化物半導體層可形成有在電阻上高度增加的通道區及在電阻上降低之區域。藉由採用該氧化物半導體層之電阻降低之區域來做為與電極之接觸區，而形成源極電極或汲極電極，以便可製造出在歐姆接觸中良好的薄膜電晶體。如下文所述地，該源極電極及汲極電極的形成可在形成第二絕緣膜於該氧化物半導體上之前或之後。進一步地，可製造出底部閘極型及頂部閘極型之任一類型的薄膜電晶體。

特定地，本發明係如下文所述。

本發明係一種薄膜電晶體的製造方法，該薄膜電晶體具有至少閘極電極、閘極絕緣膜、氧化物半導體層、第一絕緣膜、源極電極、汲極電極、及第二絕緣膜於基板上，且包含在該基板上形成該閘極電極；形成該閘極絕緣膜於該閘極電極之上；形成包含非晶氧化物的半導體層於該閘極絕緣膜之上；使該閘極絕緣膜圖案化；使該氧化物半導體層圖案化；藉由在不包含氧化氣體的氛圍中，形成該第

一絕緣膜於該氧化物半導體層之上，以降低該氧化物半導體層的電阻；使該第一絕緣膜圖案化，且形成接觸孔於該源極電極及該汲極電極與該氧化物半導體層之間；透過接觸孔而形成源極電極層及汲極電極層於該氧化物半導體層之上；藉由使該第一絕緣膜圖案化且允許該第一絕緣膜被暴露，而形成該源極電極及汲極電極；使所暴露之第一絕緣膜圖案化，且允許該氧化物半導體層的通道區被暴露；以及藉由在包含氧化氣體的氛圍中，形成該第二絕緣膜於包含該氧化物半導體層之該通道區的表面上，以增加該通道區之電阻。

進一步地，本發明係一種薄膜電晶體的製造方法，該薄膜電晶體具有至少閘極電極、閘極絕緣膜、氧化物半導體層、第一絕緣膜、源極電極、汲極電極、及第二絕緣膜於基板上，且包含在基板上形成該閘極電極；形成該閘極絕緣膜於該閘極電極之上；形成包含非晶氧化物的半導體層於該閘極絕緣膜之上；使該閘極絕緣膜圖案化；使該氧化物半導體層圖案化；藉由在不包含氧化氣體的氛圍中，形成該第一絕緣膜於該氧化物半導體層之上，以降低該氧化物半導體層的電阻；使該第一絕緣膜圖案化，且允許該氧化物半導體層之通道區被暴露；藉由在包含氧化氣體的氛圍中，形成該第二絕緣膜於該通道區及第一絕緣膜之上，以增加該通道區之電阻的處理；形成接觸孔於該源極電極及汲極電極與在所堆疊之該第一及第二絕緣膜中的該第一絕緣膜下方之該氧化物半導體層的電阻降低區域之間；

透過接觸孔而形成源極電極層及汲極電極層於該氧化物半導體層的電阻降低區域之中；以及使該源極電極及該汲極電極圖案化。

進一步地，本發明係一種薄膜電晶體的製造方法，該薄膜電晶體包含至少閘極電極、氧化物半導體層、第一絕緣膜、源極電極、汲極電極、及第二絕緣膜於基板上，且包含在該基板上形成包含非晶氧化物的半導體層；使該氧化物半導體層圖案化；藉由在不包含氧化氣體的氛圍中，形成該第一絕緣膜於該氧化物半導體層之上，以降低該氧化物半導體層的電阻；使該第一絕緣膜圖案化，且形成接觸孔於該源極電極及汲極電極與該氧化物半導體層之間；透過接觸孔而形成源極電極層及汲極電極層於該氧化物半導體層之中；藉由使該第一絕緣膜圖案化且允許該第一絕緣膜被暴露，而形成該源極電極及汲極電極；使所暴露之該第一絕緣膜圖案化，且允許該氧化物半導體層之通道區被暴露；藉由在包含氧化氣體的氛圍中，形成該第二絕緣膜於包含該氧化物半導體層之該通道區的表面上，以增加該通道區之電阻；以及形成該閘極電極於該第二絕緣膜之上。

進一步地，本發明係一種薄膜電晶體的製造方法，該薄膜電晶體包含至少閘極電極、氧化物半導體層、第一絕緣膜、源極電極、汲極電極、及第二絕緣膜於基板上，且包含在該基板上形成包含非晶氧化物的半導體層；使該氧化物半導體層圖案化；藉由在不包含氧化氣體的氛圍中，

形成該第一絕緣膜於該氧化物半導體層之上，以降低該氧化物半導體層的電阻；使該第一絕緣膜圖案化，且允許該氧化物半導體層之通道區被暴露；藉由在包含氧化氣體的氛圍中，形成該第二絕緣膜於包含該氧化物半導體層之該通道區的表面上，以增加該通道區的電阻；形成接觸孔於該源極電極及汲極電極與在所堆疊之該第一及第二絕緣膜中的該第一絕緣膜下方之該氧化物半導體層的電阻降低區域之間；透過接觸孔而形成源極電極層、汲極電極層、及閘極電極層於該氧化物半導體層之中；以及藉由圖案化而形成該源極電極、該汲極電極、及該閘極電極。

藉由遵循本發明，可藉由降低與氧化物半導體層之電極的接觸區之電阻，而提供具有優異電晶體特徵於用以連接源極電極及汲極電極之歐姆接觸中的薄膜電晶體。

本發明之進一步的特性將從下文參照附圖之代表性實施例的說明而呈現更為明顯。

【實施方式】

在下文中，將參照圖式來詳細說明本發明的薄膜電晶體。除非在本說明書中給予特定的告知，否則每個氧化物半導體層表示藉由非晶氧化物之氧化物半導體層。

在本實施例的薄膜電晶體中，係使用非晶 SiO_x 以做為閘極絕緣膜材料，而且可由濺鍍法來形成 Al_2O_3 通道及非晶氧化物絕緣膜之 $\text{a-SiO}_x\text{N}_y$ 。

做為薄膜電晶體的通道層，較佳地，使用 ZnO 及包含

In、Zn、及O的氧化物半導體；做為該通道層，較佳地，可使用包含除了In、Zn、及O之外的Ga、Al、Fe、Sn、Mg、Ca、Si、及Ge中之至少一種的非晶氧化物。其導電率較佳地係 10^{-3}S/cm 或更大且 10^{-7}S/cm 或更小。

做為依據本實施例之薄膜電晶體的第一實例之底部閘極結構的薄膜電晶體之組態係顯示於第1圖中，其中與氧化物半導體層及電極之接觸區的電阻被降低，且該接觸區係與源極電極及汲極電極連接。此係由以下所結構，亦即，提供閘極電極2於基板1之上，且進一步地，提供閘極絕緣膜3、氧化物半導體層4、第一絕緣膜5、與該氧化物半導體層4及電極之接觸區6、源極電極7、汲極電極8、以及第二絕緣膜9於閘極電極2之上。

第14A至14J圖顯示第一實例中之薄膜電晶體的各個製造過程中之元件的剖面視圖；在下文中，將由使用第14A至14J圖來敘述元件的製造過程。

第14A圖顯示形成閘極電極1402於基板1401之中的過程，第14B圖顯示形成閘極絕緣膜1403於閘極電極1402之上的過程，以及第14C圖顯示形成氧化物半導體層1404於閘極絕緣膜1403之上的過程。當使用包含In、Zn、及O之非晶氧化物以做為氧化物半導體層1404時，因為該層可在室溫製造，所以若使用濺鍍方法時，則絕緣膜的所有沈積過程亦可在室溫而加以執行。進一步地，做為該基板，亦可使用塑膠基板、塑膠膜、及其類似物。

第14D圖顯示使閘極絕緣膜1403及氧化物半導體層

1404圖案化的過程，第14E圖顯示形成第一絕緣膜1405於氧化物半導體層1404之上的過程。該第一絕緣膜1405係非晶氧化物絕緣物，且係形成於不包含氧化氣體的氛圍中，例如在Ar氣體100%的氛圍中；由於此，氧化物半導體層會受到損壞，且具有ZnO以做為主要成分之氧化物半導體的氧欠缺之產生會加快，以及載體電子會大量產生，以致使氧化物半導體層的電阻降低。因而，形成與電極之接觸區1406於該氧化物半導體層1404之中。

第14F圖顯示由圖案化來形成與電極及氧化物半導體層之接觸區於第一絕緣膜1405之中的過程，第14G圖顯示由諸如ITO或IZO之透明導電性氧化物膜來形成源極電極層及汲極電極層“a”於與氧化物半導體層及電極之接觸區1406中的過程。第14H圖顯示由圖案化來形成源極電極1407及汲極電極1408，且同時，允許暴露第一絕緣膜1405的過程。如稍早所述地，因為氧化物半導體層1404在電阻上被降低，所以接觸區1406係低電阻的，且在源極電極1407，及汲極電極1408與氧化物半導體層之間的歐姆接觸會變好。此處，針對源極電極及汲極電極的圖案化，可使用乾蝕刻或濕蝕刻之方法；進一步地，做為該源極電極及汲極電極，可使用諸如Ni、Cr、Rh、Mo、Nd、Ti、W、Ta、Pb、及Al之金屬以及包含該等金屬之合金或矽化物。

第14I圖顯示使所暴露之第一絕緣膜1405圖案化，且允許暴露氧化物半導體層之通道區的過程。

第14J圖顯示在包含氧化氣體的氛圍中，形成其係本

發明之第二絕緣膜1409的非晶氧化物絕緣膜於通道區之中的過程。藉由形成第二絕緣膜1409於氧化氣體的氛圍中，可使以ZnO為基之氧化物半導體層氧化，且可降低產生載體電子的氧欠缺。因而，可增加通道區的電阻至能關閉薄膜電晶體之此一程度。

接著，將顯示依據本實施例之薄膜電晶體的第二實例於第2圖之中。

首先，設置閘極電極202於基板201之上；進一步地，設置閘極絕緣膜203、氧化物半導體層204、第一絕緣膜205、與氧化物半導體層及電極之接觸區206、源極電極207、汲極電極208、及第二絕緣膜209於閘極電極202之上，以致組構薄膜電晶體。

第15A至15F圖顯示用於第二實例中之薄膜電晶體的各個製造過程之元件的剖面視圖。在下文中，將由使用第15A至15F圖來說明元件之製造過程，從形成閘極電極1502、閘極絕緣膜1503、及氧化物半導體層1504於基板1501之上及其圖案化之過程，直至形第一絕緣膜1505以形成與氧化物半導體層及電極之接觸區1506的過程係與第一實例相同。第15A圖顯示在已完成該等過程之後的元件之剖面視圖。

第15B圖顯示由使第一絕緣膜1505圖案化而允許暴露氧化物半導體層之通道區的過程。

第15C圖顯示在相似於第一實例之包含氧化氣體的氛圍中，形成第二絕緣膜1509之非晶氧化物絕緣膜於通道區

及殘留的第一絕緣膜1505之上的過程。如稍早所述地，以ZnO為基的氧化物半導體被氧化，且在形成第二絕緣膜1509時，氧化物半導體層1504的通道區之電阻會增加至能關閉薄膜電晶體的此一程度。

第15D圖顯示形成存在於所堆疊之第一絕緣膜1505及第二絕緣膜1509之底部的與氧化物半導體層及電極之接觸孔的過程。

第15E圖顯示藉由諸如ITO及IZO之透明導電性氧化物膜來形成源極電極層及汲極電極層“b”於與氧化物半導體層及電極的接觸區1506中之過程。

第15F圖顯示由圖案化來形成源極電極及汲極電極的過程。此處，因為接觸區1506之電阻係降低於形成第一絕緣膜時，所以源極電極1507以及汲極電極1508與氧化物半導體層之間的歐姆接觸會變好。與第一實例相似地，源極電極及汲極電極的圖案化可使用乾蝕刻或濕蝕刻之方法；而且，針對源極電極及汲極電極，與第一實例相似地，可使用諸如Ni、Cr、Rh、Mo、Nd、Ti、W、Ta、Pb、及Al之金屬以及包含該等金屬之合金或矽化物。

接著，將顯示依據本實施例之薄膜電晶體的第三實例於第16圖中。

首先，將氧化物半導體層1602設置於基板1601之上，且將第一絕緣膜1603及第二絕緣膜1604設置於該氧化物半導體層1602之上；進一步地，藉由提供與閘極電極1605、氧化物半導體層、及電極之接觸區1606、源極電極1607、

及汲極電極 1608 於第二絕緣層之上，而組構薄膜電晶體。

第 17A 至 17I 圖顯示用於第三實例中之薄膜電晶體的各個製造過程之元件的剖面視圖。在下文中，將由使用第 17A 至 17I 圖來說明元件的製造過程。

第 17A 圖顯示形成氧化物半導體層於基板 1701 之上的過程。當使用包含 In、Zn、及 O 之非晶氧化物以做為氧化物半導體層 1702 時，因為該層可在室溫製造，所以若使用濺鍍方法時，則絕緣膜的所有沈積過程亦可在室溫而加以執行。進一步地，做為該基板，亦可使用塑膠基板、塑膠膜、及其類似物。

第 17B 圖顯示使氧化物半導體層 1702 圖案化的過程，第 17C 圖顯示形成第一絕緣膜 1703 於氧化物半導體層 1702 之上的過程。該第一絕緣膜 1703 係非晶氧化物絕緣膜，且與第一及第二實例相似地，係形成於不包含氧化氣體的氛圍中，例如在 Ar 氣體 100% 的氛圍中；由於此，氧化物半導體層會受到損壞，且載體電子會大量產生，以及氧化物半導體層的電阻會相似地降低。因而，形成與電極之接觸區 1706 於該氧化物半導體層 1702 之中。

第 17D 圖顯示由圖案化來形成與電極及氧化物半導體層之接觸區於第一絕緣膜 1703 之中的過程，第 17E 圖顯示由諸如 ITO 或 IZO 之透明導電性氧化物膜來形成源極電極層及汲極電極層 “c” 於與氧化物半導體層及電極之接觸區 1706 中的過程，以及第 17F 圖顯示圖案化來形成源極電極 1707 及汲極電極 1708，且同時，允許暴露第一絕緣膜 1703

的過程。如稍早所述地，因為氧化物半導體層 1702 在電阻上被降低，所以接觸區 1706 係低電阻的，且在源極電極 1707，及汲極電極 1708 與氧化物半導體層之間的歐姆接觸會變好。此處，針對源極電極及汲極電極的圖案化，可使用乾蝕刻或濕蝕刻之方法；進一步地，做為該源極電極及汲極電極，可使用諸如 Ni、Cr、Rh、Mo、Nd、Ti、W、Ta、Pb、及 Al 之金屬以及包含該等金屬之合金或矽化物。

第 17G 圖顯示使所暴露之第一絕緣膜 1703 圖案化，且允許暴露氧化物半導體層之通道區的過程。

第 17H 圖顯示在包含氧化氣體的氛圍中，形成其係本發明之第二絕緣膜 1704 的非晶氧化物絕緣層於通道區之中的過程。藉由形成第二絕緣膜 1704 於氧化氣體的氛圍中，可使以 ZnO 為基之氧化物半導體層氧化，且可降低產生載體電子的氧欠缺。因而，可增加通道區的電阻至能關閉薄膜電晶體之此一程度。

第 17I 圖顯示在形成閘極絕緣層於第二絕緣膜 1704 上之後，由圖案化來形成閘極電極的過程。

接著，將顯示依據本實施例之薄膜電晶體的第四實例於第 18 圖之中。

首先，設置氧化物半導體層 1802 於基板 1801 之上，且設置第一絕緣膜 1803 及第二絕緣膜 1804 於該氧化物半導體層 1802 之上；進一步地，藉由提供與閘極電極 1805、氧化物半導體層、及電極之接觸區 1806、源極電極 1807、及汲極電極 1808 於第二絕緣膜之上，以組構薄膜電晶體。

第19A至19F圖顯示用於第四實例中之薄膜電晶體的各個製造過程之元件的剖面視圖。在下文中，將由使用第19A至19F圖來說明元件之製造過程。

此處，從形成氧化物半導體層1902於基板1901之上及形成第一絕緣膜1903於氧化物半導體層1902之上的過程，直至形成與氧化物半導體層及電極之接觸區1906的過程係與第三實例相同。第19A圖顯示在已完成該等過程之後的元件之剖面視圖。

第19B圖顯示由使第一絕緣膜1903圖案化而允許暴露氧化物半導體層之通道區的过程。

第19C圖顯示在相似於第一實例之包含氧化氣體的氛圍中，形成第二絕緣膜1904之非晶氧化物絕緣層於通道區及殘留的第一絕緣膜1903之上的過程。如稍早所述地，以ZnO為基的氧化物半導體層被氧化，且當形成第二絕緣膜1904時，氧化物半導體層1902的通道區之電阻會增加至能關閉薄膜電晶體的此一程度。

第19D圖顯示形成存於所堆疊之第一絕緣膜1903及第二絕緣膜1904之底部的與氧化物半導體層及電極之接觸孔的過程。

第19E圖顯示藉由諸如ITO及IZO之透明導電性氧化物膜來形成源極電極層、汲極電極層、及閘極電極層“d”於與氧化物半導體層及電極的接觸區1906中之過程。

第19F圖顯示由圖案化來形成源極電極、汲極電極、及閘極電極的過程。此處，因為接觸區1906之電阻係降低

於形成第一絕緣膜時，所以源極電極1907以及汲極電極1908與氧化物半導體層之間的歐姆接觸會變好。與第一實例相似地，源極電極及汲極電極的圖案化可使用乾蝕刻或濕蝕刻之方法；而且，針對源極電極及汲極電極，與第一實例相似地，可使用諸如Ni、Cr、Rh、Mo、Nd、Ti、W、Ta、Pb、及Al之金屬以及包含該等金屬之合金或矽化物。

如上述地，從第一至第四實例，無論在那一個模式中，均可獲得氧化物半導體層、源極電極、及汲極電極間之良好的歐姆接觸。

接著，將敘述其中第二絕緣膜係形成於不包含氧化氣體之氛圍中的薄膜電晶體，以做為比較實例。

在第3圖之中，係顯示使用具有與基板301結合之具有低電阻n型晶體矽以做為閘極電極的熱氧化矽絕緣膜302之底部閘極反向交錯型薄膜電晶體的組態。首先，將藉由使用第3圖之組態來說明第二絕緣膜304的形成條件如何影響使用氧化物半導體之薄膜電晶體特徵。

做為氧化物半導體層303，係形成非晶InGaZnO；源極電極305及汲極電極306係以Ti/Au/Ti之疊層結構所蒸鍍，且係由離陸（lift off）法所形成。當不具有第二絕緣膜時，可完成薄膜電晶體：A於此；之後，藉由濺鍍法，使用Ar 100%氣體來形成100奈米（nm）之非晶SiO_x以做為第二絕緣膜。在源極電極305及汲極306之上，由濕蝕刻法來形成接觸孔，以致使具有第二絕緣膜之薄膜電晶體：B完成。在第4圖中，係顯示由上述方法所製造的薄膜電晶體：A

及薄膜電晶體：B之典型的電流－電壓特徵。在薄膜電晶體A之中，顯示薄膜電晶體之特徵在使關閉狀態電流最小化的開－關比之中良好；相反地，在形成被視為一般氧化膜絕緣層之非晶 SiO_x 以做為第二絕緣膜的薄膜電晶體B之中，關閉狀態電流並未在-20伏之閘極電壓處顯示均勻。究其原因，可想像的是，當形成第二絕緣膜時，由於受到Ar氣體之濺鍍損壞，氧化物半導體層會減少或氧欠缺會產生，以ZnO為基的氧化物半導體傾向於出現有氧欠缺，以及載體電子傾向於大量產生。此外，雖然第4圖顯示使用濺鍍法以做為第二絕緣膜形成方法的結果，但是當非晶 SiO_x 或非晶 SiN_y 係由做為第二絕緣膜形成方法之P-CVD法所使用時，則無法取得開－關比。因此，實際上，第二絕緣膜會停止操作成為薄膜電晶體；此係由於氧化物半導體係極度地靈敏於氫，且接觸氧化物半導體之第二絕緣膜的部件之電阻會極度地降低之故。

在下文中，將詳細說明其係本發明的特性之形成於包含氧化氣體的氛圍中之第二絕緣膜的效應如下。

（在第二絕緣膜之上）

特定地，濺鍍法之使用及藉由 O_2/Ar 混合氣體以做為濺鍍氣體之非晶氧化物絕緣層的形成，可實現氧化物半導體層並不會減少或氧欠缺並不會產生之功率。當 O_2/Ar 混合氣體比例係10體積百分比或更大時，可辨識此效應，且進一步地，該比例較佳地係50體積百分比。在下文中，該

O_2/Ar 之混合氣體比例亦係體積百分比；在50%之 O_2/Ar 混合氣體比例中，良好的關閉狀態電流特徵係獲得於幾乎所有的氧化物半導體條件之中，其中良好的關閉狀態電流特徵係獲得於當第二絕緣膜5並未形成時的情況中。

做為其係第二絕緣膜之非晶 SiO_x 的氧含量之測量方法，係引用溫度程式化之去吸附分析方法（TPD）。存在於薄膜中之氧的去吸附峰值係觀察於藉由接觸在基板表面上之溫差電耦所測量的溫度中之數十 $^{\circ}C$ 至400 $^{\circ}C$ 的溫度範圍內。

在本發明中，由熱去吸附分析而自其係第二絕緣膜之非晶 SiO_x 所去吸附的氧已完成去吸附於大約400 $^{\circ}C$ ，使用於量化決定的溫度範圍係由接觸在基板表面上之溫差電耦而取用自50 $^{\circ}C$ 至80 $^{\circ}C$ 。

所去吸附之氣體（亦稱為去吸附氣體或去吸附成分）的種類為氧係由相等於 O_2^+ 之原子質量數（ m/z ）32及相等於 O^+ 之原子質量數（ m/z ）16的離子強度所辨識。此處，應注意的是，自取樣所去吸附之 O_2 係由質譜儀所游離，且因此所測量為 O_2^+ 及 O^+ ，但在該取樣中之所測量的 O_2^+ 及 O^+ 之存在組態及化學鍵結狀態並未受限於 O_2^+ 及 O^+ 。第5圖顯示由溫度程式化去吸附法所測量之氧去吸附光譜的實例，以此方式所獲得之自其係第二絕緣膜的非晶 SiO_x 所去吸附的氧數量係與形成氛圍中的氧密度成比例之關係。第6圖顯示來自由溫度程式化去吸附法所測量之非晶 SiO_x 的氧去吸附數量與包含於其係形成氛圍的 Ar 中之 O_2 氣體間的關係

本發明人及其他人員已發現下述以做為在使用透明氧化物半導體的薄膜電晶體之第二絕緣膜上所執行的努力研發之結果。當使用 O_2/Ar 混合氣體以做為非晶 SiO_x 之濺鍍沈積氣體，且再者，其混合比例係 10% 或更多時，則可抑制氧化物半導體之氧欠缺的產生，且可防止載體電子大量增加，藉以增加關閉狀態電流。

所發現的是，具有此氧欠缺之產生的抑制功效之非晶 SiO_x 含有 3.8×10^{19} pcs/cm³ 或更多之由溫度程式化之去吸附分析所觀察為 O_2^+ 及 O^+ 的去吸附氣體於膜之中。

進一步地，其中使方法邊限更為寬廣且可獲得穩定特徵之形成條件係濺鍍氣體 O_2/Ar 的混合比例為 50%，以及在膜中含有 1.2×10^{20} pcs/cm³ 或更多之由溫度程式化之去吸附分析所觀察為 O_2^+ 及 O^+ 的去吸附氣體。

依據由本發明人及其他人員所獲得之知識，在其具有氧欠缺之產生的抑制功效之非晶 SiO_x 的形成條件中，並無上限被設置於濺鍍沈積氣體 O_2/Ar 的混合比例上，且甚至在 O_2 100% 中，可獲得功效。然而，藉由增加 O_2/Ar 之混合比例，將降低沈積速率，且因此，鑑於生產率及成本，最適當的是，使用濺鍍沈積氣體 O_2/Ar 的混合比例至大約 50% 或更小的程度。雖然濺鍍沈積氣體 O_2/Ar 的混合比例與沈積速率之間的關係根據諸如沈積氣體壓力及基板與靶標間之距離的沈積參數而定，但卻極靈敏於氧分壓；因此，通常地，幾乎不使用高的氧分壓之形成氛圍。在此形成條件

中，倘若取氣體 O_2/Ar 的混合比例 0% 以做為參考值（100%）時，則在 10% 及 50% 之氣體 O_2/Ar 混合比例的情況中，沈積速率分別為 77% 及 39%。

藉由使用上述之非晶 SiO_x 以做為第二絕緣膜，薄膜電晶體可由第 12 圖之組態所製造，其中非晶 $InGaZnO$ 係以與氧化物半導體相同的條件所形成。同時，在相同的方法條件之下，製造氧化物半導體導電率測量 TEG 元件，藉以測量氧化物半導體層的導電率。在薄膜電晶體的轉移特徵中， V_{on} 係汲極電極（ I_d ）上升時間時之閘極所施加的電壓， V_{on} 與氧化物半導體之導電率間的關係係顯示於第 10 圖中，有力的關係被發現於氧化物半導體的導電率及 V_{on} 之中，且當氧化物半導體的導電率增加時， V_{on} 會偏負，以及當導電率進一步增加時，甚至在 -40 伏之下，仍未獲得 V_{on} 。由此結果呈現明顯的是，當形成第二絕緣膜時，氧化物半導體的導電率會增加，以致使描繪開啓狀態電流與關閉狀態電流間之邊界的 V_{on} 偏移至負值，且劣化；因而，關閉狀態電流特徵會劣化。再者，氧化物半導體之導電率的增加根據第二絕緣膜之形成條件而被抑制，其抑制功效係辨識於當 O_2/Ar 混合氣體比例為 10% 或更大時，且在該時， $3.8 \times 10^{19} \text{ pcs/cm}^3$ 或更多之由溫度程式化之去吸附分析所觀察為 O_2^+ 及 O^+ 的去吸附氣體係包含於膜之中。

做為該第二絕緣膜，係使用含有 $1.2 \times 10^{20} \text{ pcs/cm}^3$ 或更多之由溫度程式化之去吸附分析所觀察為 O_2^+ 及 O^+ 的去吸附氣體之非晶 SiO_x ，及以 50% 之濺鍍沈積氣體 O_2/Ar 的混合

比例來製造具有第3圖之組態的九個薄膜電晶體，且測量薄膜電晶體特徵。在第11圖中，所顯示的是該九個薄膜電晶體的轉移特徵， V_{on} 係控制為大約0伏，以及可獲得描繪良好的開－關比之薄膜電晶體。

在上述說明中，雖然描繪其中在該處之第二絕緣膜係非晶 SiO_x 的情況，但做為該第二絕緣膜之非晶氧化物絕緣物亦可使用非晶氮氧化物及非晶鋁。進一步地，雖然所描述的是，當形成第二絕緣膜時係使用 O_2/Ar 混合氣體以做為氧化氣體的實例，但不增加氧化物半導體的導電率之第二絕緣膜的 formed 才是本發明的實體；因此，該氧化氣體並未受限於氧。

例如，做為薄膜電晶體，其之銦、鎵、及鋅的組成比係1：1：1之非晶氧化物半導體層（a-IGZO薄膜）係由使用能沈積大的面積之濺鍍法所形成，此非晶氧化物半導體層被應用至薄膜電晶體，以便製成第1圖之組態。藉由執行此，可使該電晶體之開/閉比成為 10^5 或更大；此時之電場效應遷移率顯示 $1\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 或更大。

藉由如上述之功效，在使用氧化物半導體之底部開極型薄膜電晶體中，可形成能使關閉狀態電流穩定地最小化之通道區，且此外，可獲得其中與氧化物半導體層及電極之接觸區的電阻降低之薄膜電晶體；因此，可獲得其在源極電極及汲極電極與氧化物半導體層之間的歐姆接觸係良好的薄膜電晶體。進一步地，可提供具有使關閉狀態電流最小化之良好電晶體特徵的薄膜電晶體。

在上述說明中，係描述使用利用 ZnO 以做為半導體層（通道層）之主要成分之透明導電性氧化物半導體非晶薄膜的實例。進一步地，將說明使用由包含 In-Ga-Zn-O 所形成之非晶氧化物的實例，但氧化物半導體層並未受限於該等元素。

做為由包含 In-Ga-Zn-O 所形成的非晶氧化物半導體層，可使用由包含 Sn、In、及 Zn 之至少一種所形成之非晶氧化物。

進一步地，當選擇 Sn 用於非晶氧化物的至少一部分之成分元素時，Sn 可以以 $\text{Sn}_{1-x}\text{M}_4_x$ 來取代（ $0 < x < 1$ ，M4 係選擇自族 IV 元素之原子序比 Sn 更小的 Si、Ge 或 Zr）；進一步地，當選擇 In 用於非晶氧化物的至少一部分之成分元素時，In 可以以 $\text{In}_{1-y}\text{M}_3_y$ 來取代（ $0 < y < 1$ ，M3 係選擇自族 III 元素之原子序比 In 更小的 B、Al、Ga、或 Y）；進一步地，當選擇 Zn 用於非晶氧化物的至少一部分之成分元素時，Zn 可以以 $\text{Zn}_{1-z}\text{M}_2_z$ 來取代（ $0 < z < 1$ ，M2 係選擇自族 II 元素之原子序比 Zn 更小的 Mg 或 Ca）。

特定地，可應用於本實施例之非晶材料係 Sn-In-Zn 氧化物、In-Zn-Ga-Mg 氧化物、In 氧化物、In-Sn 氧化物、In-Ga 氧化物、In-Zn 氧化物、Zn-Ga 氧化物、Sn-In-Zn 氧化物，及其類似物。自然地，該等成分元素的組成比無需一定為 1:1，雖然存在有其中 Zn 及 Sn 難以獨立地形成非晶於該處的情況，但藉由允許包含 In，則可易於形成非晶相。例如，在以 In-Zn 為基的氧化物中，較佳地係組成使得大約

20原子百分比或更多的In相對於除了氧之外的原子序之比例而包含；在以Sn-In爲基的氧化物中，較佳地係組成使得大約80原子百分比或更多的In相對於除了氧之外的原子序之比例而包含；以及在以Sn-In-Zn爲基的氧化物中，較佳地係組成使得大約15原子百分比或更多的In相對於除了氧之外的原子序之比例而包含。

進一步地，非晶可由以下之事實來加以確認，亦即，當以大約0.5度之低入射角而使測量靶標薄膜接受X光繞射，並未偵測出明確之繞射峰值的事實（也就是說，所觀察到的是暈圈圖案）。在本實施例中，當使用上述材料於場效型電晶體的通道層時，此並未排除含有微晶狀態之成分材料的通道層。

接著，藉由連接其係薄膜電晶體之輸出端子的汲極至諸如有機或無機電發光（EL）元件及液晶元件之顯示元件的電極，則可組構顯示裝置。在下文中，將由使用顯示裝置之剖面視圖來說明特定的顯示裝置組態的實例。

例如，形成如第7圖中所示之組態的薄膜電晶體，此具有使得下述構件形成於基板711之上的組態。該等構件包含閘極電極712、閘極絕緣層713、氧化物半導體層714、第一絕緣膜715、與氧化物半導體層714及電極之接觸區716、源極（汲極）電極717、汲極（源極）電極718、以及第二絕緣膜719。汲極（源極）電極718係透過層間絕緣膜721而與電極720連接，且該電極720接觸發光層722，以及進一步地，該發光層722接觸電極723。藉由此組態，流

進發光層721之內的電流可由自源極（汲極）電極717至汲極（源極）電極718而流過氧化物半導體層714中所形成之通道的電流值所控制；因此，此電流可由薄膜電晶體之閘極712的電壓所控制。此處，電極720、發光層722、電極723組構無機或有機電發光元件；此時，雖然第1圖中所示係薄膜電晶體元件，但此可為薄膜。

選擇性地，如第8圖中所示地，汲極（源極）電極818被延伸且組構以用作電極819，且此電極亦可採用變成電極825之組態而施加電壓至由高電阻膜822及824所夾置的液晶胞格或電泳型粒子胞格823。液晶胞格、電泳型粒子胞格823、高電阻膜822及824、電極819、及電極825組構顯示元件；進一步地，第一絕緣膜815、與氧化物半導體層814及電極之接觸區816、及第二絕緣膜820係如圖中所示地組構。施加至該等顯示元件之電壓可由自源極電極817及汲極電極818而流過氧化物半導體層814中所形成之通道的電流值所控制；因此，此可由薄膜轉移閘極812的電壓所控制。此處，若顯示元件的顯示媒質係密封液體之包囊及在絕緣膜中之粒子時，則並不需要高電阻膜822及824。此時，雖然第1圖中所示係薄膜電晶體元件，但此可為薄膜。

在上文所述之二實例中，雖然薄膜電晶體已由底部閘極反向交錯型組態所顯示，但本發明無需一定要受限於此一組態；例如，若與其係薄膜電晶體及顯示元件的輸出端子之汲極電極的連接係拓撲地相同時，則諸如共平面型之

另一組態亦係可行的。

進一步地，在上文所述之二實例中，雖然已顯示其中驅動顯示元件的一對電極係與基板平行而設置之實例，但本實施例無需一定要受限於此一組態；例如，若與其係薄膜電晶體及顯示元件的輸出端子之汲極電極的連接係拓撲地相同時，則可將該等電極之任一電極或二者可相對於基板而垂直地設置。

進一步地，在上文所述之二實例中，雖然已描繪僅一薄膜電晶體被連接至顯示元件，但本發明無需受限於此一組態；例如，在圖中所示之薄膜電晶體可進一步地連接至藉由本發明之另一薄膜電晶體，以及該圖之薄膜電晶體可為藉由該等薄膜電晶體之電路的最後級。

此處，當驅動顯示元件之一對電極係與基板平行而設置時，若顯示元件係EL元件或諸如反射型液晶顯示元件之反射型顯示元件時，則該等電極之任一電極需針對發射波長或反射光的波長而成為透明。選擇性地，若顯示元件係諸如透射型液晶元件之透射型顯示元件時，則該等電極二者需針對透射光而成為透明。進一步地，在本實施例之薄膜電晶體中，亦可使所有的組成元件成為透明，且因而，亦可形成透明的顯示元件；進一步地，甚至可將此一顯示元件設置於諸如輕便且撓性之樹脂塑膠基板的低熱阻基板之上。

接著，將由使用第9圖來敘述其中複數個包含EL元件（此處係有機EL元件）及薄膜電晶體的像素係二維地配置

之顯示裝置。

在第9圖中，參考符號901表示用以驅動有機EL層904之電晶體，參考符號902表示用以選擇像素之電晶體；進一步地，電容器903係用以保持所選擇之狀態，及儲存電荷於共用電極線907與電晶體902的源極部分之間，且保持電晶體901之閘極的信號。像素選擇係由掃描電極線905及信號電極線906所決定。

更特定地描述的是，影像信號係藉由來自驅動器電路（未顯示）之脈波信號而透過掃描電極線905，以施加至閘極電極；同時，影像信號係藉由來自另一驅動器電路（未顯示）之脈波信號而透過信號電極線906，以施加至電晶體902，使得像素被選擇。此時，電晶體902導通，且電荷累積在電容器903中，該電容器903係存在於信號電極線906與電晶體902的源極之間；結果，電晶體901的閘極電壓保持於所欲之電壓，且電晶體901導通，此狀態係保持直至接收到下一個信號為止。在其中電晶體901係導通之狀態的期間，有機EL層904持續地被供應有電壓及電流，藉以維持光發射。

在第9圖之此實例中，雖然一像素係由兩個電晶體及一個電容器所製成，但爲了要改善性能，可結合更多的電晶體及其類似物。如上述地，藉由使用以In-Ga-Zn-O爲基之薄膜電晶體，亦即，使用其係能在低溫被形成之本發明的透明薄膜電晶體，可獲得有效的EL元件。

(實 例)

下文中，將由使用圖式來敘述本發明之實例；然而，本發明並未受限於以下之實例。

(第一 實 例)

在本實施例之中，係製造反向交錯（底部閘極）型 MISFET 元件。首先，藉由使用光微影術方法及離陸法，將 Ti 5 奈米 / Au 40 奈米 / Ti 5 奈米的閘極端子形成於玻璃基板之上；進一步地，在該閘極端子之上，藉由濺鍍法而以 200 奈米的厚度來形成 a-SiO_x 的絕緣層，此時，使用 SiO₂ 靶標於濺鍍靶靶，且使用 Ar 氣體於濺鍍氣體。在該絕緣層之上，藉由濺鍍法而在室溫以 20 奈米的厚度來形成使用做為半導體層之非晶氧化物半導體膜；通道區之形成則使用光微影術方法及藉由鹽酸之濕蝕刻法。之後，藉由電子束氣相沈積法來沈積 Ti 5 奈米 / Au 40 奈米 / Ti 5 奈米，且藉由光微影術方法及離陸法來形成源極及汲極端子。進一步地，做為第二絕緣膜，藉由濺鍍法而以 100 奈米厚度之 a-SiO_x 來形成絕緣層，此時，係使用 O₂ / Ar 混合氣體比例 50% 之氧化氬圍以做為濺鍍氣體。以此方式，製造第 12 圖中所示之九個反向交錯（底部閘極）型 MISFET，此時之非晶氧化物半導體膜的金屬組成比例係 In : Ga : Zn = 1.00 : 0.94 : 0.65。當評估此 MISFET 元件的 I-V 特徵時，平均電場遷移率係 5 cm²/Vs，以及平均開－關比係大於 10⁶；在第 13 圖中，顯示其轉移特徵。

依據本發明，在使用第二絕緣膜之氧化物半導體底部閘極型薄膜電晶體中，可使關閉狀態電流最小化，以及能穩定地製造出具有良好的電晶體特徵之薄膜電晶體。

(第二實例)

在本實例中，反向交錯（底部閘極）型 MISFET 元件係相似於第一實例而製造，除了第二絕緣膜的形成條件之外。

做為第二絕緣膜，係由濺鍍法而以 100 奈米之厚度來形成 $a\text{-SiO}_x$ 之絕緣層；此時，係使用 O_2/Ar 混合氣體比例 10% 的氧化氛圍以做為濺鍍氣體。以此方式，完成第 12 圖中所示之九個反向交錯（底部閘極）型 MISFET 元件。

此時，在相同的方法條件下，製造氧化物半導體導電率測量 TEG 元件，且測量氧化物半導體層的導電率。Von 係在薄膜電晶體的轉移特徵中之汲極電流（ I_d ）上升時間時之閘極所施加的電壓，Von 與氧化物半導體之導電率間的關係係顯示於第 10 圖之中。進一步地，使用 O_2/Ar 混合氣體比例 10% 以做為濺鍍氣體之 $a\text{-SiO}_x$ 的第二絕緣膜含有 $3.8 \times 10^{19} \text{ pcs/cm}^3$ 或更多之由溫度程式化之去吸附分析所觀察為 O_2^+ 及 O^+ 的去吸附氣體。

結果，使用 O_2/Ar 混合氣體 10% 之 $a\text{-SiO}_x$ 的第二絕緣膜具有針對氧化物半導體之氧欠缺的產生之抑制功效，且所顯示之 Von = -40 伏係平均值，以及開/關比係大於 10^6 ，此係良好的。

(比較實例 1)

此比較實例係與第一實例相同，除第了二絕緣膜的形成條件之外，且係製造第12圖中所示之反向交錯（底部閘極）型 MISFET 元件。

做為第二絕緣膜，係由濺鍍法而以100奈米之厚度來形成 $a\text{-SiO}_x$ 之絕緣層；此時，係使用 O_2/Ar 混合氣體比例1%或0%以做為濺鍍氣體。以此方式，完成第12圖中所示之九個反向交錯（底部閘極）型 MISFET 元件。

結果，在 O_2/Ar 混合氣體比例1%或0%的情況中，特徵的變動會增加，且所發現的是，甚至當施加-50伏以做為閘極電壓時，偶爾並未看到明確的 V_{on} ；且針對氧化物半導體，無法辨識明確的抑制功效於氧欠缺之產生。

(第三實例)

在本實例中，係製造反向交錯（底部閘極）型 MISFET 元件。首先，在玻璃基板上，藉由使用濺鍍法而以150奈米之厚度來形成透明導電膜 IZO 的閘極電極層；藉由使用光微影術方法及使用鹽酸之濕蝕刻法，形成閘極電極。進一步地，在該電極之上，藉由濺鍍法而以200奈米的厚度來形成 $a\text{-SiO}_x$ 的絕緣膜，此時，使用 SiO_2 靶標於濺鍍靶標，且使用 Ar 氣體於濺鍍氣體。在該絕緣層之上，藉由濺鍍法而在室溫以20奈米的厚度來形成使用做為半導體層之非晶氧化物半導體膜；通道區之形成則使用光微影術

方法及藉由鹽酸之濕蝕刻法。之後，做為第一絕緣膜，係藉由濺鍍法而以100奈米的厚度來形成 $a\text{-SiO}_x$ 的絕緣層，此時，做為濺鍍氣體，係使用Ar氣體100%之氧化氛圍；藉由使用光微影術方法及由 CF_4 氣體之乾蝕刻法，完成與氧化物半導體層及電極之接觸孔於第一絕緣膜之中。然後，透過該接觸孔，藉由濺鍍法而以150奈米之厚度來沈積透明導電膜ITO；且之後，藉由光微影術方法及蝕刻法而形成源極及汲極端子，同時，暴露第一絕緣膜。藉由光微影術方法及蝕刻法，去除覆蓋氧化物半導體層之通道區的第一絕緣膜；且之後，藉由濺鍍法而以100奈米之厚度來形成 $a\text{-SiO}_x$ 的絕緣膜，此時，做為該濺鍍氣體，係使用 O_2/Ar 混合氣體比例50%的氧化氛圍。以此方式，形成第1圖中所示之反向交錯（底部閘極）型透明MISFET元件。

做為源極電極及汲極電極，不僅可使用諸如IZO之透明導電性氧化物膜，而且可使用諸如Ni、Cr、Rh、Mo、Nd、Ti、W、Ta、Pb、及Al之金屬，以及包含該等金屬之合金或矽化物。進一步地，源極電極及汲極電極可分別地由不同的材料所形成。

該反向交錯（底部閘極）型MISFET元件係以能使氧化物半導體層之關閉狀態電流穩定地最小化的通道區所形成，且與氧化物半導體層及電極之接觸區係藉由電阻上的降低所形成。因此，關閉狀態電流會最小化，且在薄膜電晶體中之此結果會使源極電極及汲極電極與氧化物半導體層之歐姆接觸良好。

(第四實例)

在此實例中，係製造第2圖中所示之反向交錯（底部閘極）型 MISFET 元件。直至形成 $a\text{-SiO}_x$ 之絕緣膜於氧化物半導體層之上以做為第一絕緣膜的過程係與第三實例極為相同；接著，藉由使用光微影術方法及由 CF_4 氣體之乾蝕刻法，去除覆蓋氧化物半導體層之通道區的第一絕緣膜。之後，爲了要覆蓋氧化物半導體層之通道區，係藉由濺鍍法而以 100 奈米的厚度來形成 $a\text{-SiO}_x$ 的絕緣膜，此時，係使用 O_2/Ar 混合氣體比例 50% 之氧化氛圍來做為濺鍍氣體；結果，雖然氧化半導體層的通道區之電阻會增加，但其他區域的電阻會保持降低。接著，藉由使用光微影術方法及由 CF_4 氣體之乾蝕刻法，使堆疊之第一及第二絕緣膜完成有與氧化物半導體層之電阻降低區及電極的接觸孔；之後，透過該接觸孔，藉由濺鍍法而以 150 奈米之厚度來沈積透明導電膜 ITO，且然後，藉由光微影術方法及蝕刻法來形成源極及汲極端子。以此方式，能形成第2圖中所示之反向交錯（底部閘極）型透明 MISFET 元件。

做為源極電極及汲極電極，與第三實施例相似地，不僅可使用諸如 IZO 之透明導電性氧化物膜，而且可使用諸如 Ni、Cr、Rh、Mo、Nd、Ti、W、Ta、Pb、及 Al 之金屬，以及包含該等金屬之合金或矽化物。進一步地，與第三實例相似地，源極電極及汲極電極可分別地由不同的材料所形成。

與第三實施例相似地，此反向交錯（底部閘極）型透明 MISFET 元件係以能使氧化物半導體層之關閉狀態電流穩定地最小化的通道區所形成，且與氧化物半導體層及電極之接觸區係藉由電阻上的降低所形成。因此，關閉狀態電流會最小化，且在薄膜電晶體中之此結果會使源極電極及汲極電極與氧化物半導體層之歐姆接觸良好。

（第五實例）

在本實例中，將敘述使用第 8 圖之薄膜電晶體的顯示裝置，而即將被使用之薄膜電晶體係以與第三實例相同的製造方法所製造。在此薄膜電晶體中，做為汲極電極之 ITO 膜之島狀物的短側係延伸直至 100 微米（ μm ），且所延伸之 90 微米的部分係留在後面，及以導線保持朝向源極電極和閘極電極。該薄膜電晶體係由絕緣層所覆蓋；在該層之上，係塗佈聚亞醯胺膜，且使其接受研磨過程。另一方面，製備相似地形成於塑膠基板上且接受研磨過程之 ITO 膜及聚亞醯胺膜，且以配置 5 微米之空氣間隙而使其面向形成有薄膜電晶體之基板，以及將向列液晶注入於此。進一步地，設置一對偏光板於此結構之二側；此時，當施加電壓至薄膜電晶體之源極電極且改變閘極電極之所施加的電壓時，僅 30 微米 $\times$ 90 微米之區域會在光透射比上改變，該區域係延伸自汲極電極之 ITO 膜的島狀物之一部分。進一步地，甚至此光透射比可在其中使薄膜電晶體成為導通狀態的閘極電壓下，藉由源極與汲極間之電壓而連續地

改變。以此方式，可製造出具有對應於第8圖之採用做為顯示元件之液晶胞格的顯示裝置。此外，甚至可藉由使用由第四實例之製造方法所製造的薄膜電晶體來製造出極為相同的顯示裝置。

在本實例中，使用白色的塑膠基板以做為形成薄膜電晶體之基板，且由金來置換薄膜電晶體的各個電極，以及消除聚亞醯胺膜及偏光板之組態亦係可行的；而且，該組態可使得藉由絕緣膜而覆蓋有粒子及流體之包囊被充填至白色與透明塑膠基板之空氣間隔之內。在此組態之顯示裝置中，可控制由此薄膜電晶體所延伸的汲極電極與上方部分的ITO膜之間的電壓，藉以使包囊內部之粒子上下移動；根據此，藉由觀看自透明基板側之所延伸的汲極電極區之反射比，則可執行顯示。

進一步地，在此實例中，複數個薄膜電晶體係鄰接地形成，且例如，可建構由四個電晶體及一個電容器所製成之一般組態的電流控制電路，以及採用最後級之該等電晶體的其中之一為第6圖之薄膜電晶體，使得亦可驅動EL元件，例如可使用採用ITO膜以做為汲極電極之薄膜電晶體。在其係延伸自汲極電極之ITO膜的島狀物之一部分的30微米×90微米之區域中，可形成由電荷注入層及發射層所製成之有機電發光元件；以此方式，可形成使用EL元件之顯示裝置。

（第六實例）

顯示元件及第三實例之薄膜電晶體被二維地設置。首先，占有大約30微米×115微米的面積之包含諸如液晶胞格及第五實例之EL元件的顯示元件及薄膜電晶體之像素係設置於分別具有40微米節距於短側及120微米節距於長側之7425×1790個的方形區域中；接著，設置以長側方向而貫穿7425個薄膜電晶體之閘極電極的1790條閘極線，以及其中1790個薄膜電晶體之源極電極在短側方向而貫穿自非晶氧化物半導體膜之島狀物突出5微米之部分的7425條信號線，該等線之各條線係分別連接至閘極驅動器電路及源極驅動器電路。進一步地，在液晶顯示元件的情況中，位置係由與液晶顯示元件相同的尺寸所調整，且具有重複於長軸方向中之RGB的濾色片係設置於表面上，以及A4紙張大小的主動矩陣型彩色顯示裝置係由大約211 ppi所建構。不用說地，此組態僅係實例，且可由任一組態所置換。進一步地，甚至當使用藉由第四實例之製造方法的薄膜電晶體時，也可製造出極為相同的顯示裝置。

進一步地，在一EL元件所包含的兩個薄膜電晶體之中，第一薄膜電晶體的閘極電極係配線於閘極線之上，及第二薄膜電晶體之源極電極係配線於信號線之上，且進一步地，該EL元件的發射波長係由RGB在長側方向中所重複。藉由執行此，可建構相同解析度之發射型彩色影像顯示裝置。

此處，用以驅動主動矩陣之驅動器電路可由使用與像素之薄膜電晶體相同的本發明薄膜電晶體所建構，或可使

用現有的IC晶片。

雖然本發明已參照代表性的實施例而描述，但應瞭解的是，本發明並未受限於所揭示之代表性實施例。下文申請專利範圍之範疇應適合最廣義的解釋，以便包含所有該等修正例及等效的結構和功能。

本申請案根據2007年5月31日所申請之日本專利申請案第2007-145186號而主張優先權，因此該申請案之內容係全部地結合於本文中，以供參考。

【圖式簡單說明】

第1圖係反向交錯型薄膜電晶體的結構圖，其中係將與氧化物半導體層及電極之接觸區的電阻降低；

第2圖係反向交錯型薄膜電晶體之另一實例的結構圖，其中係將與氧化物半導體層及電極之接觸區的電阻降低；

第3圖係使用熱氧化膜矽閘極絕緣膜於低電阻n型矽基板上之反向交錯型薄膜電晶體的結構圖；

第4圖係描繪在製造第3圖之反向交錯型薄膜電晶體時的典型電流-電壓特徵之視圖；

第5圖係由溫度程式化之去吸附所測量之第二絕緣膜的氧去吸附光譜之視圖；

第6圖係描繪來自由溫度程度化之去吸附所測量的非晶 SiO_x 之氧去吸附量與在形成的氛圍之Ar中所包含的 O_2 氣體密度之間的關係視圖；

第7圖係依據本發明之顯示裝置的實例之剖面視圖；

第8圖係依據本發明之顯示裝置的另一實例之剖面視圖；

第9圖係視圖，用以描繪二維地設置有包含有機EL元件及薄膜電晶體之顯示裝置的組態；

第10圖係視圖，用以描繪反向交錯（底部閘極）型MISFET元件中的 V_{on} 與氧化物半導體的導電率之間的關係；

第11圖係圖形，用以描繪在當製造九個第3圖之組態的薄膜電晶體且測量該等薄膜電晶體之特徵時的情況中之該九個薄膜電晶體的轉移特徵；

第12圖係具有保護膜之反向交錯型薄膜電晶體的結構圖；

第13圖係圖形，用以描繪在當製造九個第11圖之組態的薄膜電晶體且測量該等薄膜電晶體之特徵時的情況中之該九個薄膜電晶體的轉移特徵；

第14A、14B、14C、14D、14E、14F、14G、14H、14I、及14J圖係用於反向交錯型薄膜電晶體元件之各個製造過程的元件之剖面視圖，其中係將與氧化物半導體層及電極的接觸區之電阻降低；

第15A、15B、15C、15D、15E、及15F圖係用於反向交錯型薄膜電晶體元件的另一實例之各個製造過程的元件之剖面視圖，其中係將與氧化物半導體層及電極的接觸區之電阻降低；

第 16 圖係頂部閘極型薄膜電晶體的結構圖，其中係將與氧化物半導體層及電極之接觸區的電阻降低；

第 17A、17B、17C、17D、17E、17F、17G、17H、及 17I 圖係用於頂部閘極型薄膜電晶體元件之各個製造過程的元件之剖面視圖，其中係將與氧化物半導體層及電極的接觸區之電阻降低；

第 18 圖係頂部閘極型薄膜電晶體之另一實例的結構圖，其中係將與氧化物半導體層及電極之接觸區的電阻降低；以及

第 19A、19B、19C、19D、19E、及 19F 圖係用於頂部閘極型薄膜電晶體元件的另一實例之各個製造過程的元件之剖面視圖，其中係將與氧化物半導體層及電極的接觸區之電阻降低。

【主要元件符號說明】

1、1401、201、1501、1601、1701、1901、711：基板

2、1402、202、1502、1605、1805、712：閘極電極

3、1403、203、1503、713：閘極絕緣膜

4、1404、204、1504、1602、1702、1802、1902、303、714、814：氧化物半導體層

5、1405、205、1505、1603、1703、1803、1903、715、815：第一絕緣膜

6、1406、206、1506、1606、1706、1806、1906、

716、816：接觸區

7、1407、207、1507、1607、1707、1807、1907、

305、717、817：源極電極

8、1408、208、1508、1608、1708、1808、1908、

306、718、818：汲極電極

9、1409、209、1509、1604、1804、1904、719、820

：第二絕緣膜

720、723、819、825：電極

722：發光層

721：層間絕緣膜

822、824：高電阻膜

823：電泳型粒子胞格

812：薄膜轉移閘極

901、902：電晶體

903：電容器

904：有機EL層

907：共用電極線

905：掃描電極線

906：信號電極線

五、中文發明摘要

發明之名稱：使用氧化半導體之薄膜電晶體的製造方法

一種薄膜電晶體的製造方法，該薄膜電晶體具有至少閘極電極、閘極絕緣膜、氧化物半導體層、第一絕緣膜、源極電極、汲極電極，及第二絕緣膜於基板上，該方法包含：形成該閘極電極於該基板上；形成該閘極絕緣膜於該閘極電極上；形成包含非晶氧化物的半導體層於該閘極絕緣膜上；使該閘極絕緣膜圖案化；使該氧化物半導體層圖案化；藉由在不包含氧化氣體的氛圍中形成該第一絕緣膜於該氧化物半導體層上，以降低該氧化物半導體層的電阻；使該第一絕緣膜圖案化，且形成一接觸孔於該源極電極及該汲極電極與該氧化物半導體層之間；透過該接觸孔而形成源極電極層及汲極電極層於該氧化物半導體層之中；透過該接觸孔而形成該源極電極及汲極電極，且允許該第一絕緣膜被暴露；使所暴露之該第一絕緣膜圖案化，且允許該氧化物半導體層之通道區被暴露；以及藉由在包含氧化氣體的氛圍中形成第二絕緣膜於包含該氧化物半導體層之通道區的表面上，以增加該通道區之電阻。

六、英文發明摘要

發明之名稱：

MANUFACTURING METHOD OF THIN FILM TRANSISTOR
USING OXIDE SEMICONDUCTOR

A manufacturing method of a thin film transistor having at least a gate electrode, a gate insulation film, an oxide semiconductor layer, a first insulation film, a source electrode, a drain electrode, and a second insulation film on a substrate, including: forming the gate electrode on the substrate; forming the gate insulation film on the gate electrode; forming a semiconductor layer including amorphous oxide on the gate insulation film; patterning the gate insulation film; patterning the oxide semiconductor layer; reducing the oxide semiconductor layer in resistance by forming the first insulation film on the oxide semiconductor layer in the atmosphere not including an oxidized gas; patterning the first insulation film and forming a contact hole between the source electrode and the drain electrode and the oxide semiconductor layer; forming a source electrode layer and a drain electrode layer in the oxide semiconductor layer through the contact hole; forming the source electrode and the drain electrode through the contact hole and allowing the first insulation film to be exposed; patterning the exposed first insulation film and allowing a channel region of the oxide semiconductor layer to be exposed; and increasing the channel region in resistance by forming the second insulation film on the surface including the channel region of the oxide semiconductor layer in the atmosphere including an oxidized gas.

十、申請專利範圍

1.一種薄膜電晶體的製造方法，該薄膜電晶體具有至少一閘極電極、一閘極絕緣膜、一氧化物半導體層、一第一絕緣膜、一源極電極、一汲極電極、及一第二絕緣膜於一基板上，該方法包含：

形成該閘極電極於該基板之上；

形成該閘極絕緣膜於該閘極電極之上；

形成包含非晶氧化物的一半導體層於該閘極絕緣膜之上；

使該閘極絕緣膜圖案化；

使該氧化物半導體層圖案化；

藉由在不包含氧化氣體的氛圍中，形成該第一絕緣膜於該氧化物半導體層之上，以降低該氧化物半導體層的電阻；

使該第一絕緣膜圖案化，且形成一接觸孔於該源極電極及該汲極電極與該氧化物半導體層之間；

透過該接觸孔而形成一源極電極層及一汲極電極層於該氧化物半導體層之中；

藉由使該第一絕緣膜圖案化且允許該第一絕緣膜被暴露，而形成該源極電極及該汲極電極；

使所暴露之該第一絕緣膜圖案化，且允許該氧化物半導體層之一通道區被暴露；以及

藉由在包含氧化氣體的氛圍中，形成該第二絕緣膜於包含該氧化物半導體層之該通道區的表面上，以增加該通

道區之電阻。

2.一種薄膜電晶體的製造方法，該薄膜電晶體具有至少一閘極電極、一閘極絕緣膜、一氧化物半導體層、一第一絕緣膜、一源極電極、一汲極電極、及一第二絕緣膜於一基板上，該方法包含：

形成該閘極電極於該基板之上；

形成該閘極絕緣膜於該閘極電極之上；

形成包含非晶氧化物的一半導體層於該閘極絕緣膜之上；

使該閘極絕緣膜圖案化；

使該氧化物半導體層圖案化；

藉由在不包含氧化氣體的氛圍中，形成該第一絕緣膜於該氧化物半導體層之上，以降低該氧化物半導體層的電阻；

使該第一絕緣膜圖案化，且允許該氧化物半導體層之一通道區被暴露；

藉由在包含氧化氣體的氛圍中，形成該第二絕緣膜於該通道區及該第一絕緣膜之上，以增加該通道區之電阻；

形成一接觸孔於該源極電極及該汲極電極與在所堆疊之該第一及第二絕緣膜中的該第一絕緣膜下方之該氧化物半導體層的電阻降低區域之間；

透過該接觸孔而形成一源極電極層及一汲極電極層於該氧化物半導體層的電阻降低區域之中；以及

使該源極電極及該汲極電極圖案化。

3.一種薄膜電晶體的製造方法，該薄膜電晶體具有至少一閘極電極、一氧化物半導體層、一第一絕緣膜、一源極電極、一汲極電極、及一第二絕緣膜於一基板上，該方法包含：

形成包含非晶氧化物的一半導體層於該基板之上；

使該氧化物半導體層圖案化；

藉由在不包含氧化氣體的氛圍中，形成該第一絕緣膜於該氧化物半導體層之上，以降低該氧化物半導體層的電阻；

使該第一絕緣膜圖案化，且形成一接觸孔於該源極電極及該汲極電極與該氧化物半導體層之間；

透過該接觸孔而形成一源極電極層及一汲極電極層於該氧化物半導體層之中；

藉由使該第一絕緣膜圖案化且允許該第一絕緣膜被暴露，而形成該源極電極及該汲極電極；

使所暴露之該第一絕緣膜圖案化，且允許該氧化物半導體層之一通道區被暴露；

藉由在包含氧化氣體的氛圍中，形成該第二絕緣膜於包含該氧化物半導體層之該通道區的表面上，以增加該通道區之電阻；以及

形成該閘極電極於該第二絕緣膜之上。

4.一種薄膜電晶體的製造方法，該薄膜電晶體具有至少一閘極電極、一氧化物半導體層、一第一絕緣膜、一源極電極、一汲極電極、及一第二絕緣膜於一基板上，該方

法包含：

形成包含非晶氧化物的一半導體層於該基板之上；

使該氧化物半導體層圖案化；

藉由在不包含氧化氣體的氛圍中，形成該第一絕緣膜於該氧化物半導體層之上，以降低該氧化物半導體層的電阻；

使該第一絕緣膜圖案化，且允許該氧化物半導體層之一通道區被暴露；

藉由在包含氧化氣體的氛圍中，形成該第二絕緣膜於包含該氧化物半導體層之該通道區的表面上，以增加該通道區之電阻；

形成一接觸孔於該源極電極及該汲極電極與在所堆疊之該第一及第二絕緣膜中的該第一絕緣膜下方之該氧化物半導體層的電阻降低區域之間；

透過該接觸孔而形成一源極電極層及一汲極電極層以及一閘極電極層於該氧化物半導體層之中；以及

藉由圖案化而形成該源極電極，該汲極電極，及該閘極電極。

5.如申請專利範圍第1至4項中任一項之薄膜電晶體的製造方法，其中使用 O_2/Ar 混合氣體以做為包含氧化氣體的氛圍，且該 O_2/Ar 混合氣體之混合比係10體積百分比或更多。

6.如申請專利範圍第1項之薄膜電晶體的製造方法，其中該非晶氧化物係包含 In、Zn、及 Sn 之其中至少之一的

非晶氧化物或包含 In、Zn、及 Ga 的非晶氧化物。

7.如申請專利範圍第1項之薄膜電晶體的製造方法，其中該第一絕緣膜係非晶氧化物絕緣物。

8.如申請專利範圍第1項之薄膜電晶體的製造方法，其中該第二絕緣膜係非晶氧化物絕緣膜，且含有 3.8×10^{19} pcs/cm³或更多之去吸附氣體，該去吸附氣體係由溫度程式化之去吸附分析而觀察為 O₂⁺及 O⁺。

9.一種薄膜電晶體，其係藉由如申請專利範圍第1至4項中任一項之製造方法所製造。

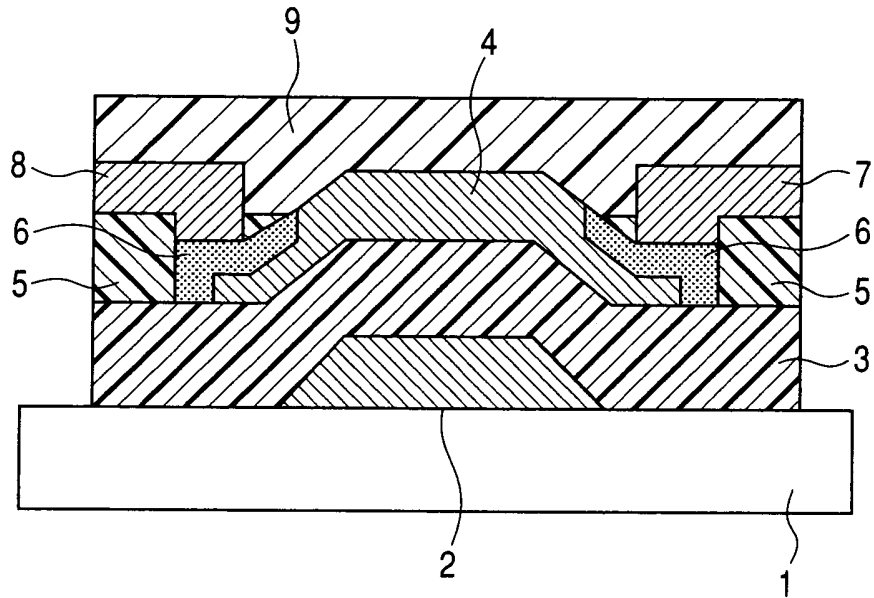
10.一種顯示裝置，其中一顯示元件之電極係與如申請專利範圍第9項之薄膜電晶體的一源極或汲極電極連接。

11.如申請專利範圍第10項之顯示裝置，其中該顯示元件係一電發光元件。

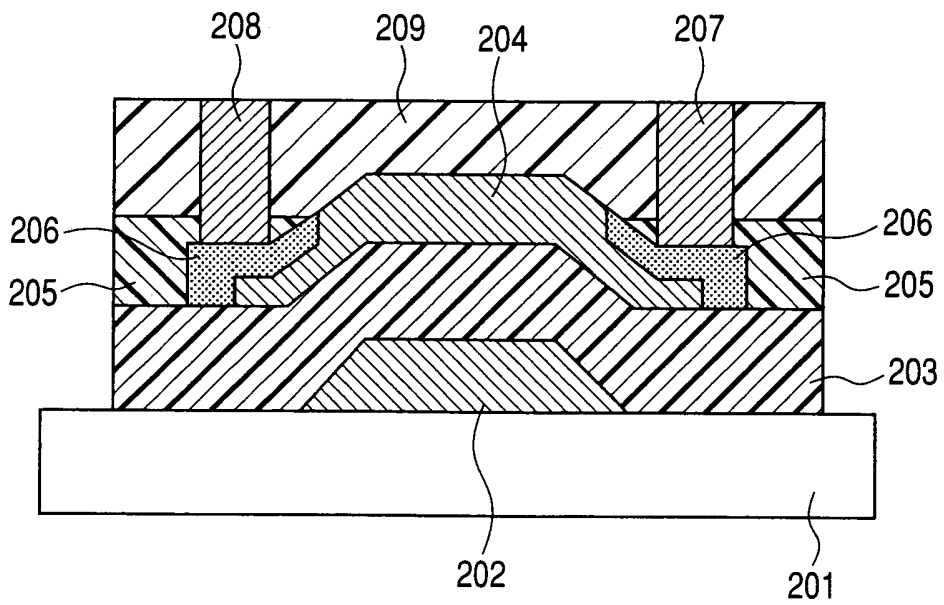
12.如申請專利範圍第10項之顯示裝置，其中該顯示元件係一液晶胞格。

13.如申請專利範圍第10至12項中任一項之顯示裝置，其中複數個該顯示元件及該薄膜電晶體係二維地設置於該基板之上。

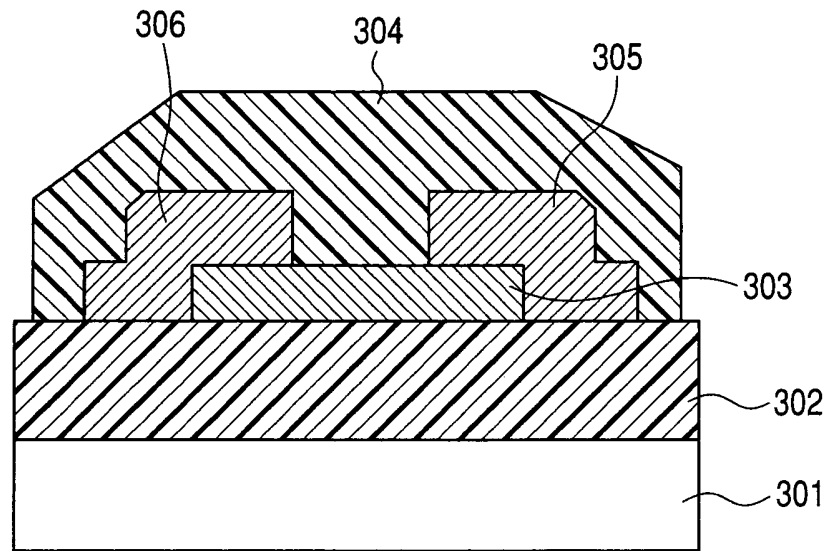
第1圖



第2圖

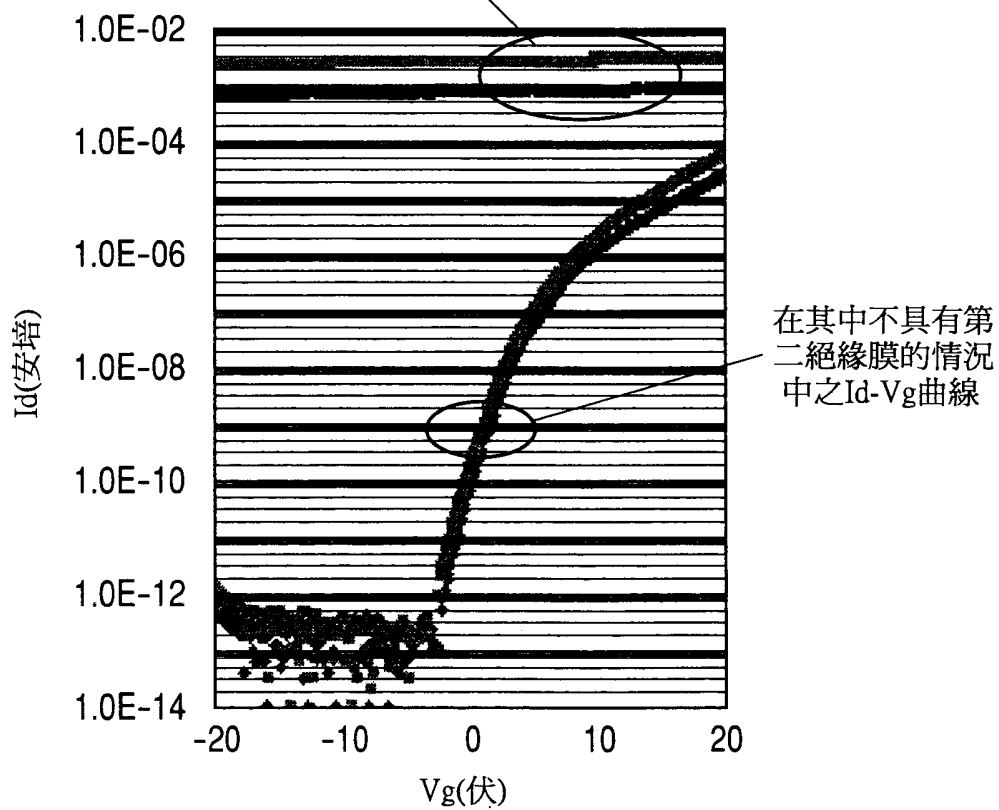


第3圖

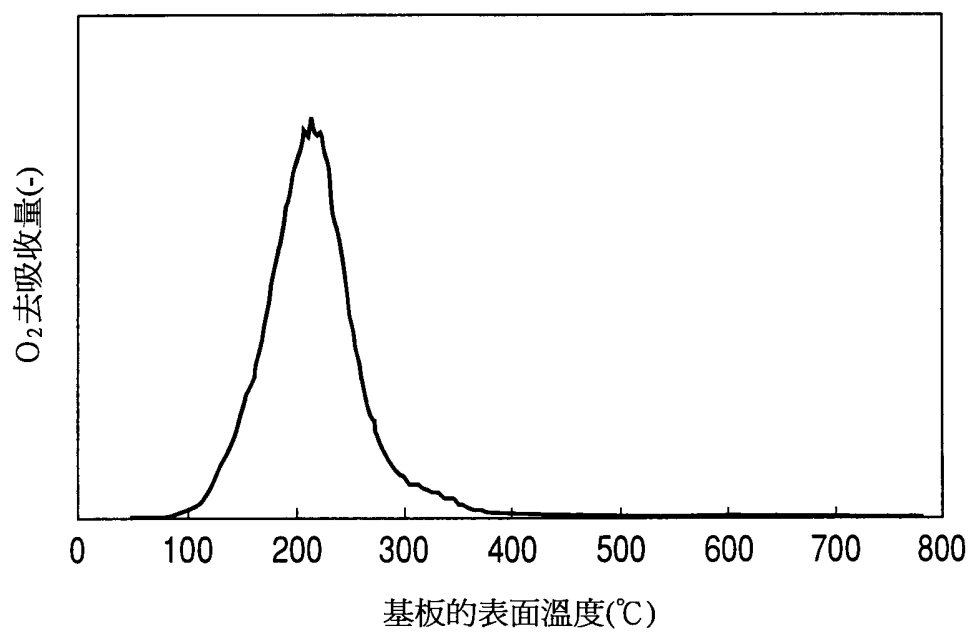


第4圖

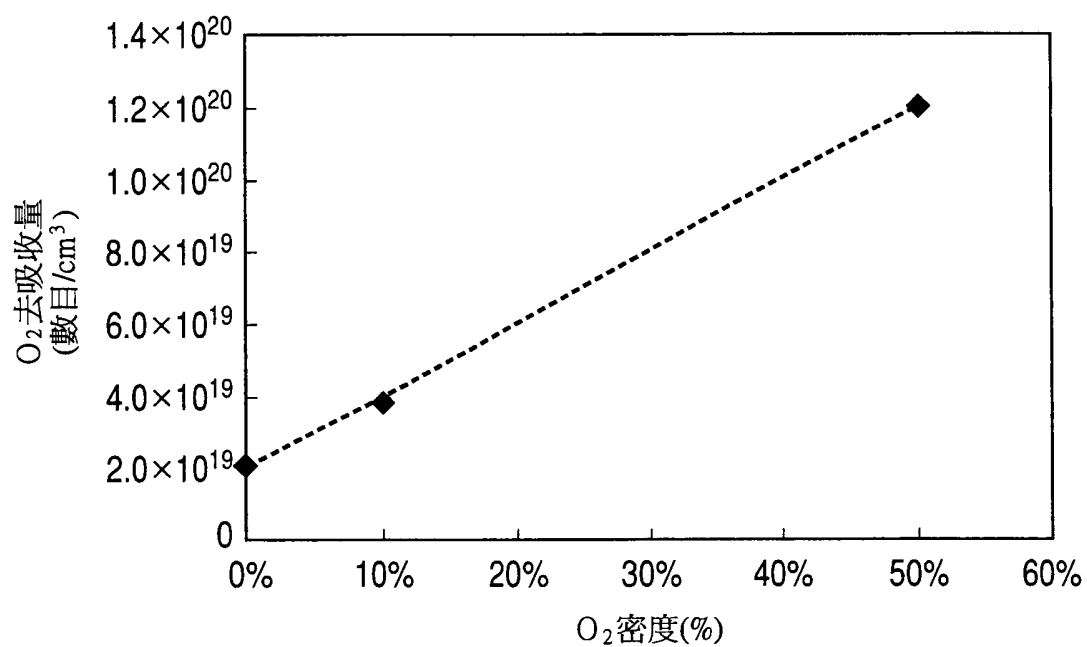
在其中第二絕緣膜係形成於Ar 100%的氛圍中之情況中的Id-Vg曲線



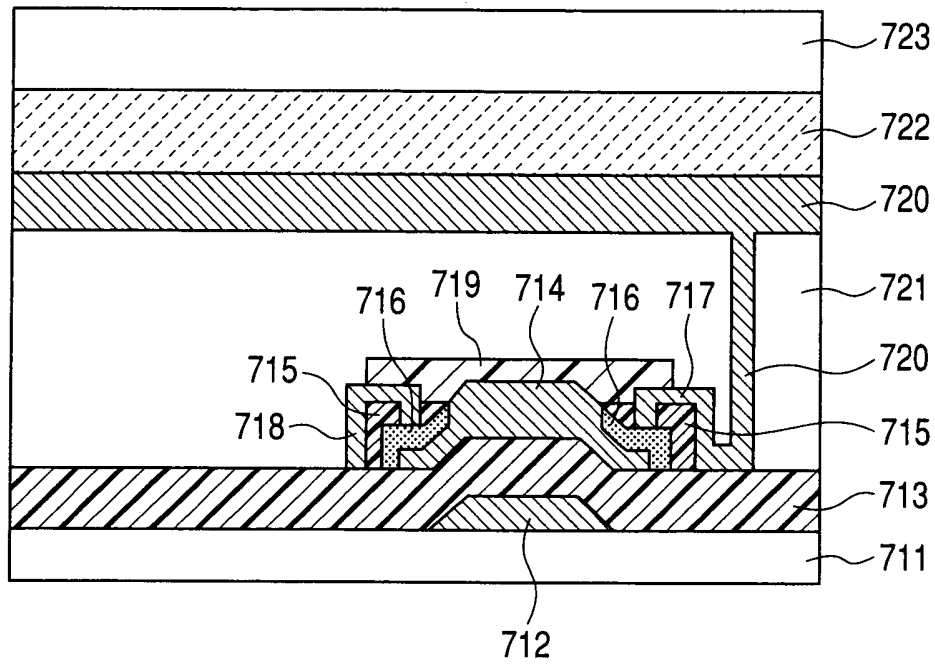
第5圖



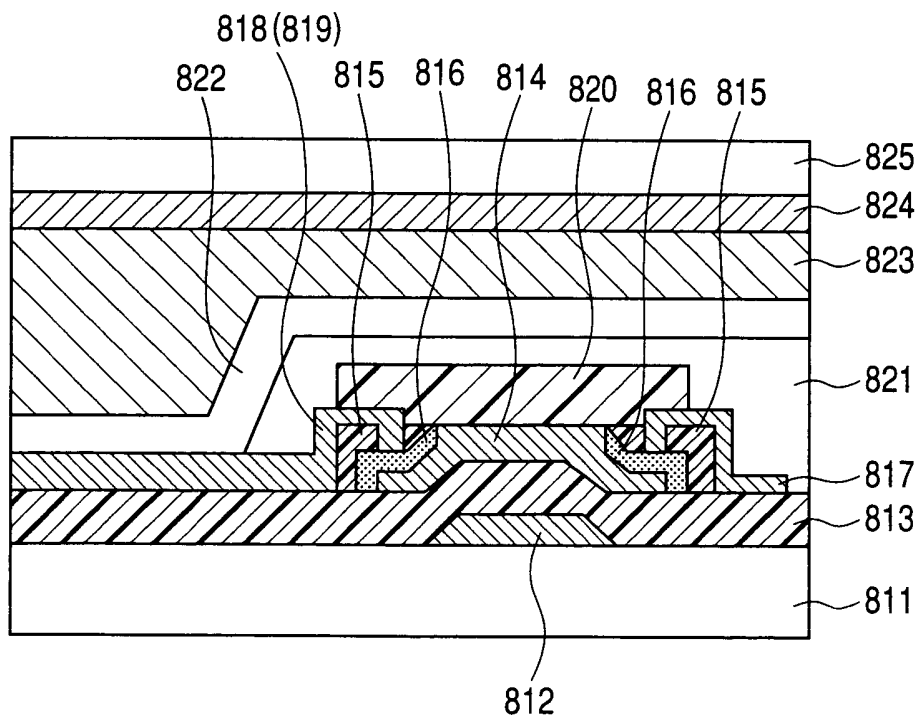
第6圖



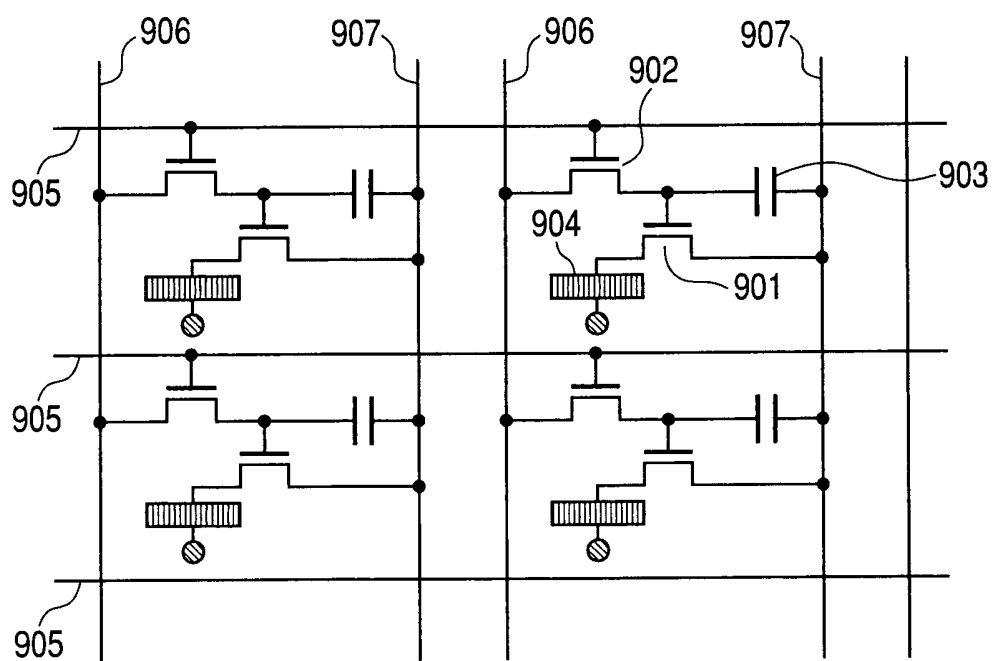
第7圖



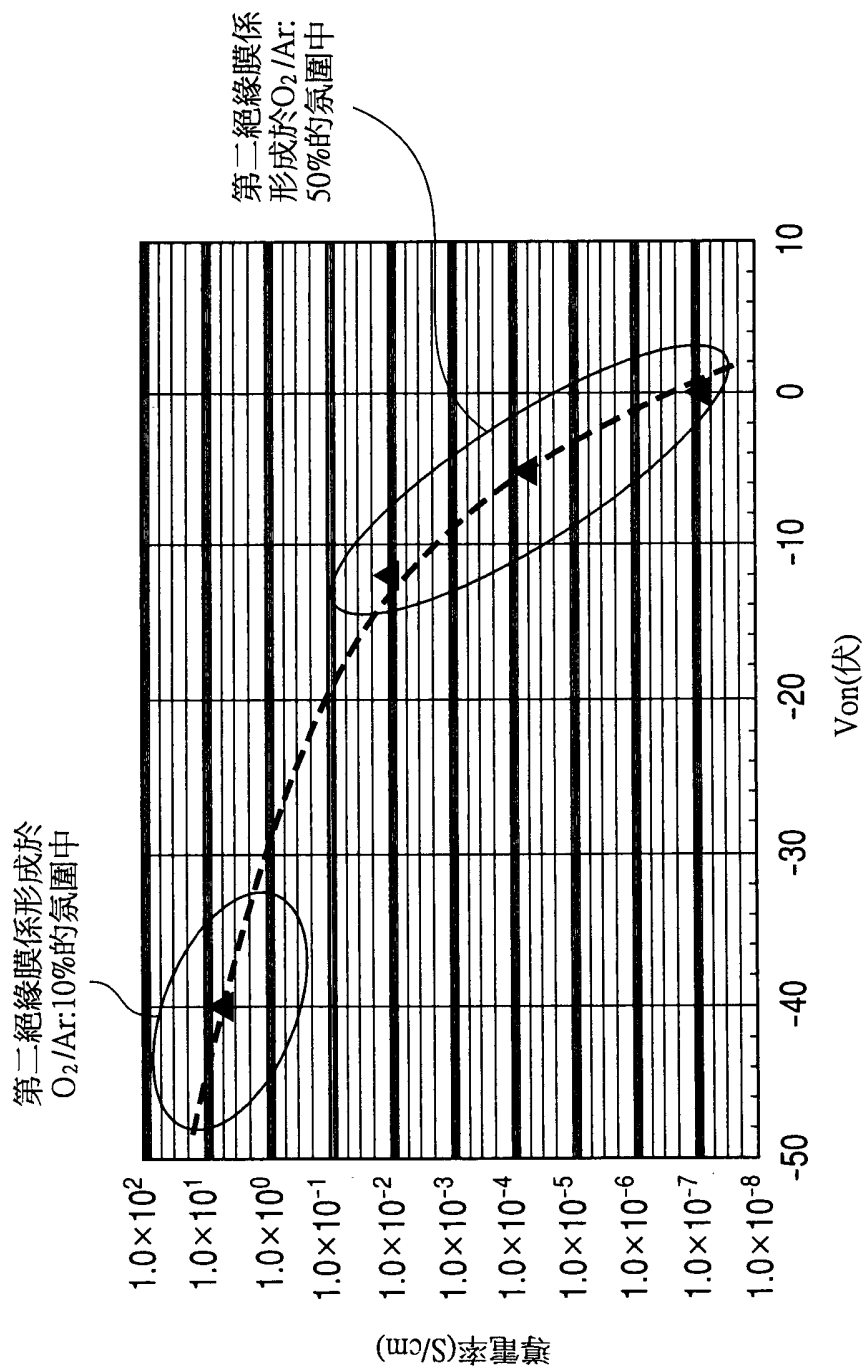
第8圖



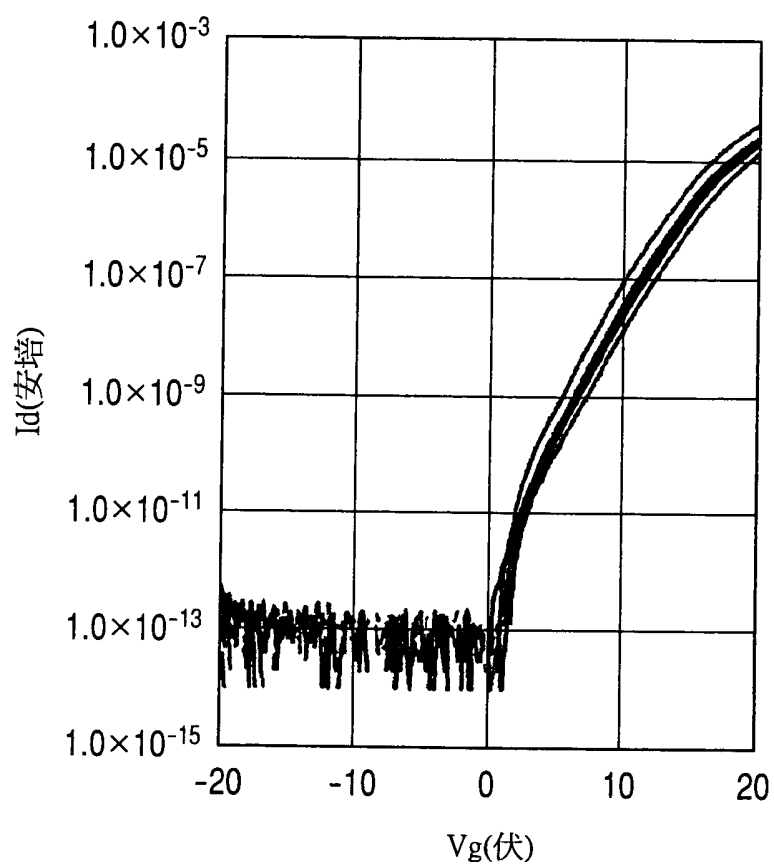
第9圖



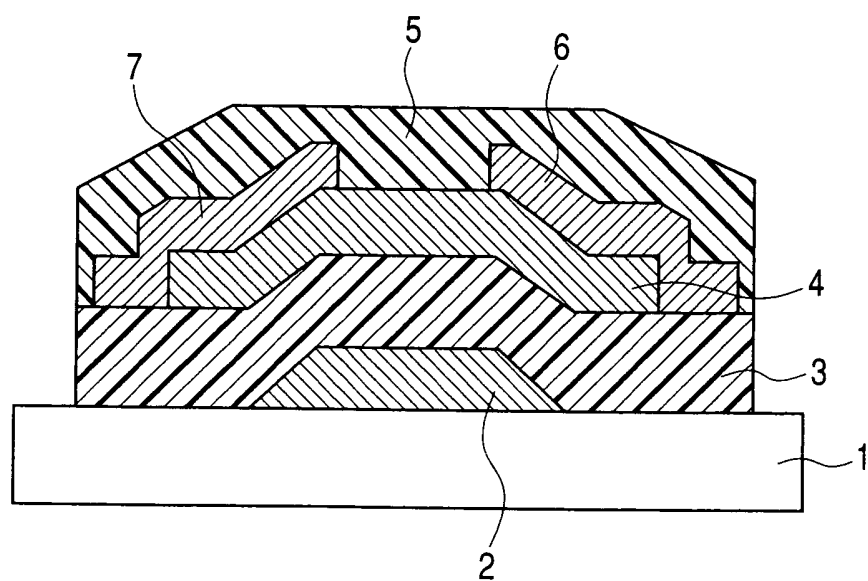
第10圖



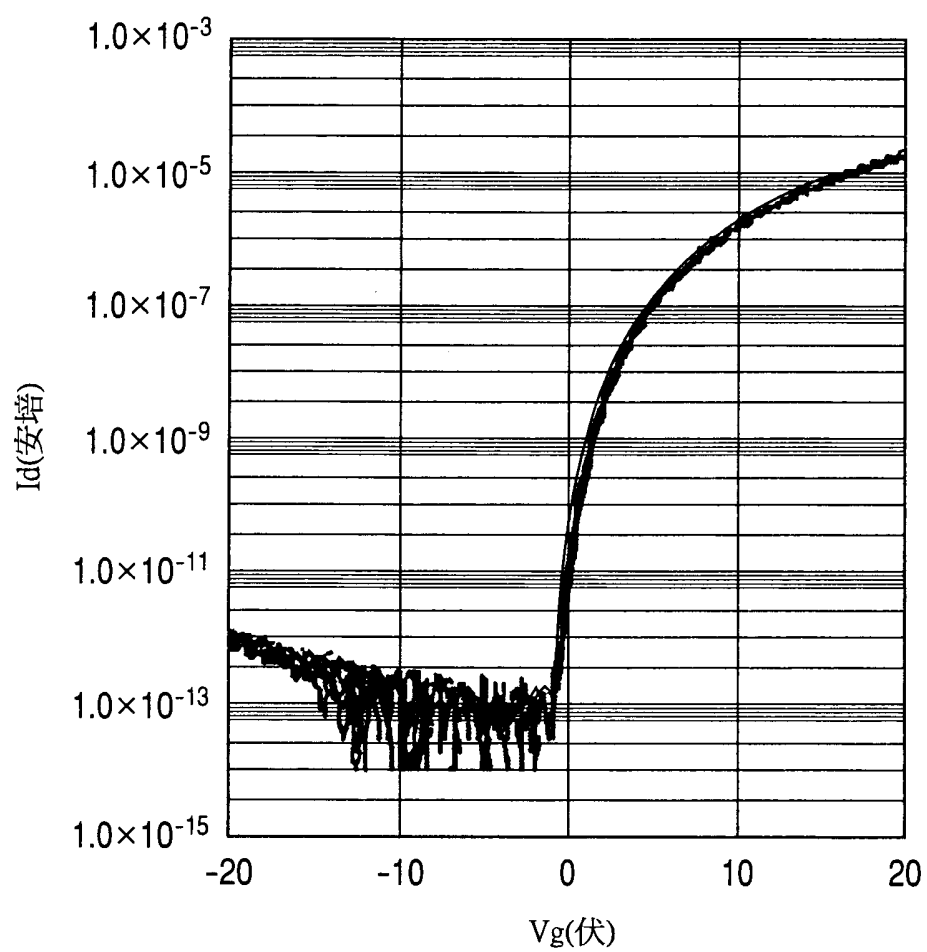
第11圖



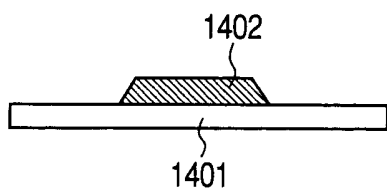
第12圖



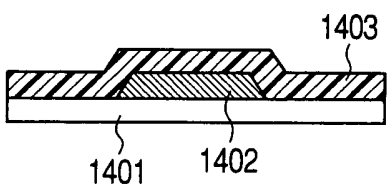
第13圖



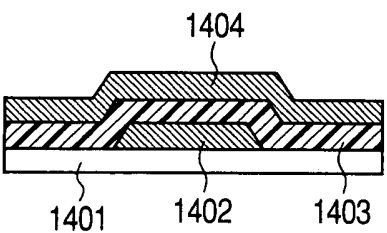
第14A圖



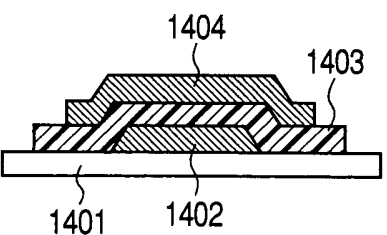
第14B圖



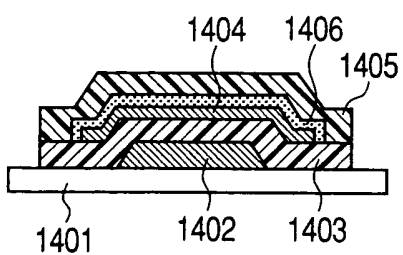
第14C圖



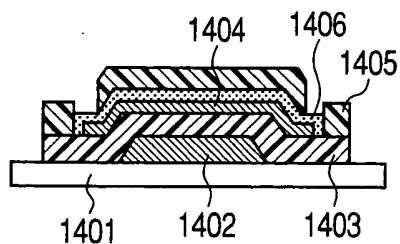
第14D圖



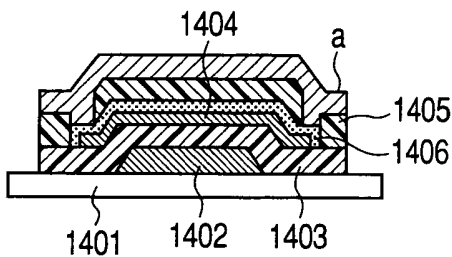
第14E圖



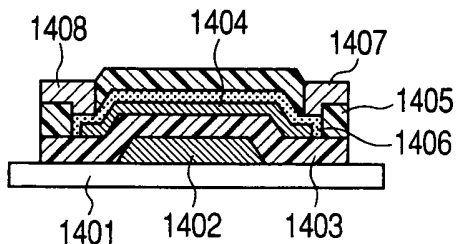
第14F圖



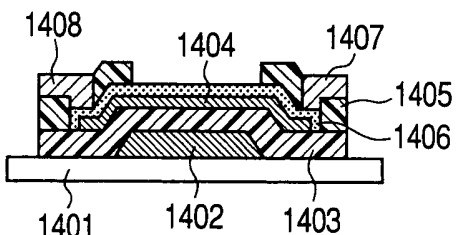
第14G圖



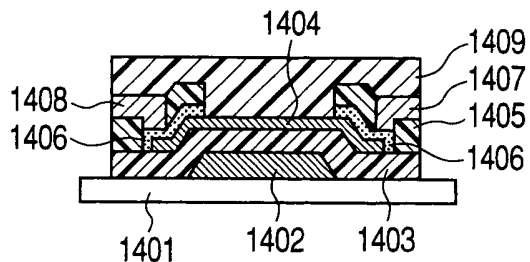
第14H圖



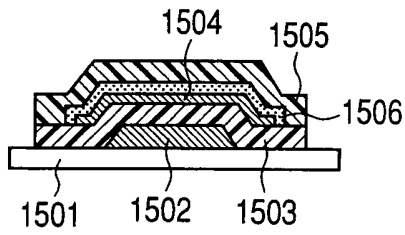
第14I圖



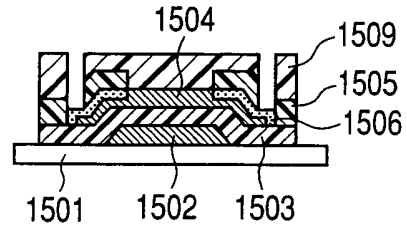
第14J圖



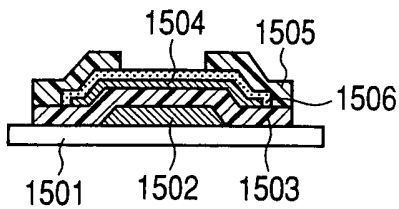
第15A圖



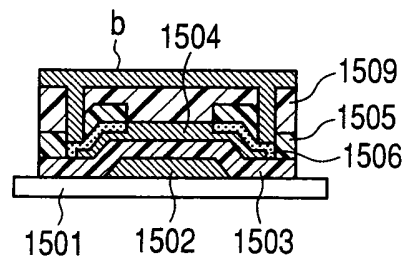
第15D圖



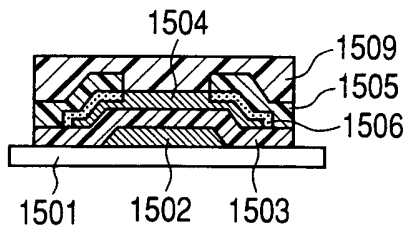
第15B圖



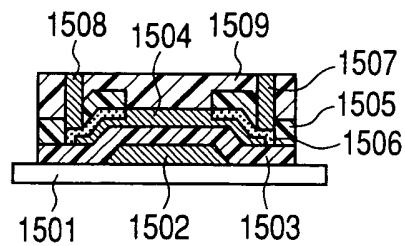
第15E圖



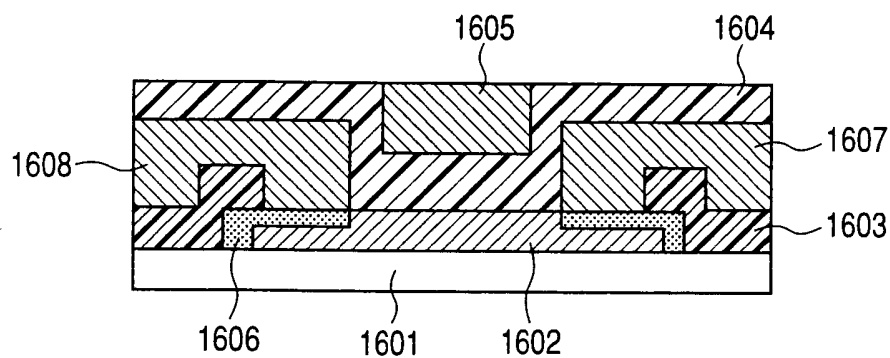
第15C圖



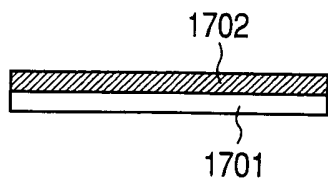
第15F圖



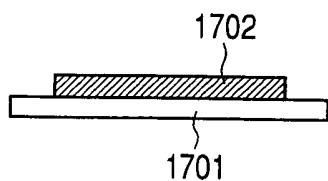
第16圖



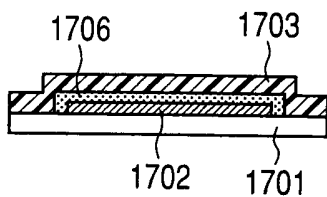
第17A圖



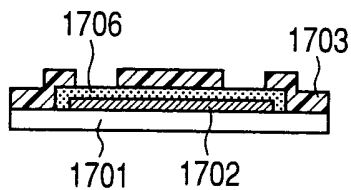
第17B圖



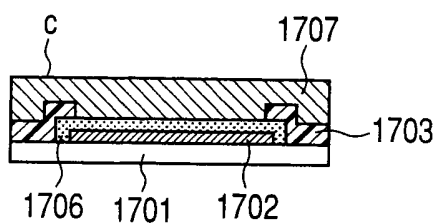
第17C圖



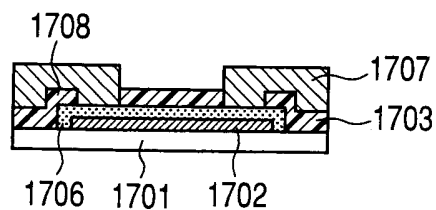
第17D圖



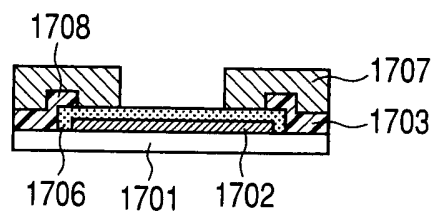
第17E圖



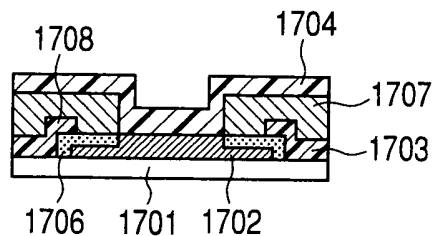
第17F圖



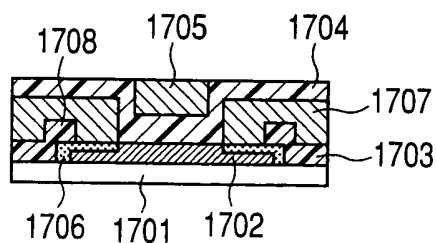
第17G圖



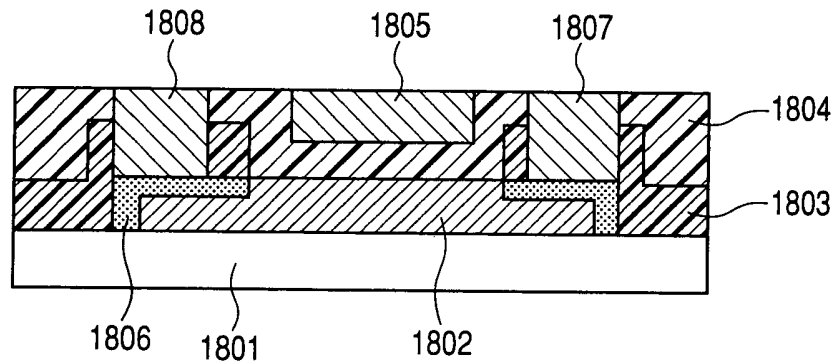
第17H圖



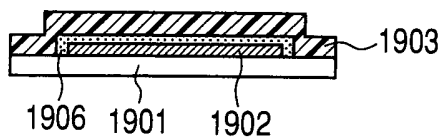
第17I圖



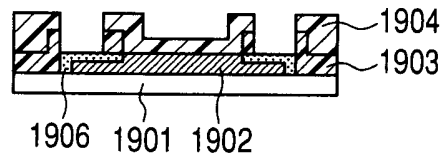
第18圖



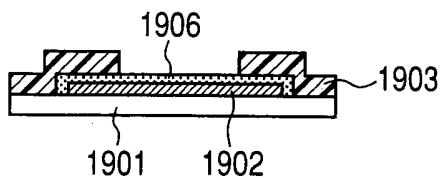
第19A圖



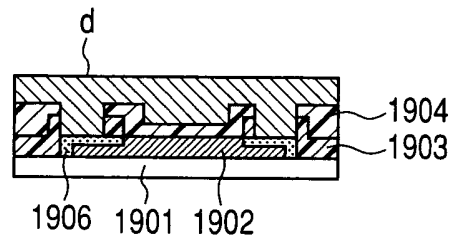
第19D圖



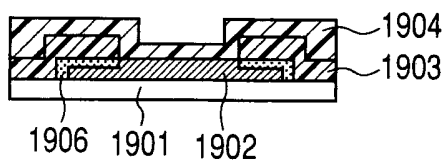
第19B圖



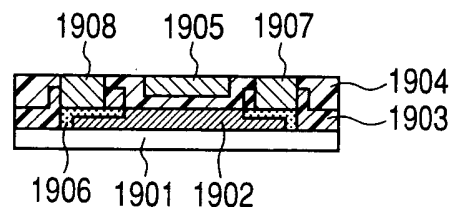
第19E圖



第19C圖



第19F圖



七、指定代表圖：

(一)、本案指定代表圖為：第(14A~14J)圖

(二)、本代表圖之元件代表符號簡單說明：

1401：基板

1402：閘極電極

1403：閘極絕緣膜

1404：氧化物半導體層

1405：第一絕緣膜

1406：接觸區

1407：源極電極

1408：汲極電極

1409：第二絕緣膜

a：汲極電極層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：