



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0074892
(43) 공개일자 2008년08월13일

(51) Int. Cl.

H01L 29/778 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2008-7011945

(22) 출원일자 2008년05월19일

심사청구일자 없음

번역문제출일자 2008년05월19일

(86) 국제출원번호 PCT/SG2006/000255

국제출원일자 2006년09월01일

(87) 국제공개번호 WO 2007/046773

국제공개일자 2007년04월26일

(30) 우선권주장

200506897-8 2005년10월19일 싱가포르(SG)

(71) 출원인

팅기 테크놀로지스 프라이빗 리미티드

싱가폴 118258 사이언스 파크 1 더 큐리 03-01/02
83 사이언스 파크 드라이브

(72) 발명자

유안 슈

싱가폴 118258 03-01 83 사이언스 파크 드라이브

강 슈예준

싱가폴 118258 03-01 83 사이언스 파크 드라이브

린 시 밍

싱가폴 118258 03-01 83 사이언스 파크 드라이브

(74) 대리인

김용인, 강용복, 박영복

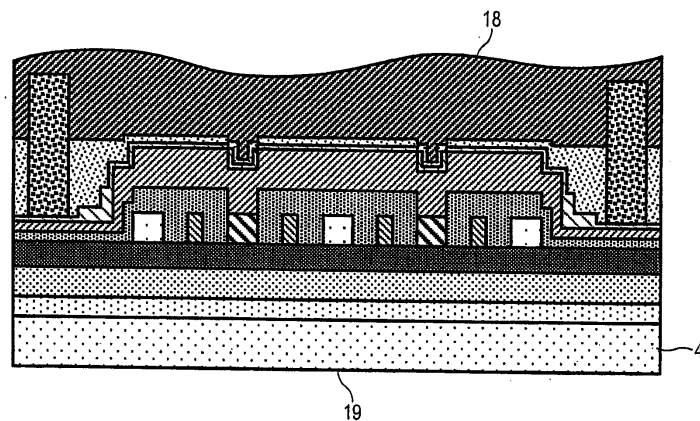
전체 청구항 수 : 총 35 항

(54) 트랜지스터 제조

(57) 요약

(a) 복수의 에피택시얼 층의 제 1 표면에 복수의 소스 콘택을 형성하는 단계; (b) 상기 제 1 표면에 적어도 하나의 드레인 콘택을 형성하는 단계; (c) 상기 제 1 표면에 적어도 하나의 게이트 콘택을 형성하는 단계; (d) 게이트 콘택, 소스 콘택과 드레인 콘택 사이 및 위에 적어도 하나의 절연층을 형성하는 단계; (e) 상기 소스 콘택을 연결하기 위해 적어도 하나의 절연층의 적어도 한 부분 위 및 이를 통하여 도전성 층을 형성하는 단계; 및 (f) 상기 도전성 층 위에 적어도 하나의 히트 싱크 층을 형성하는 단계를 포함하는, 고전자 이동도 트랜지스터와 같은 트랜지스터를 제조하는 방법.

대표도 - 도11



특허청구의 범위

청구항 1

공통 기관상에 복수의 에피택시얼 층을 각각 포함하는 트랜지스터를 제조하는 방법으로서,

상기 복수의 에피택시얼 층의 제 1 표면상에 복수의 소스 콘택을 형성하는 단계;

상기 제 1 표면상에 적어도 하나의 드레인 콘택을 형성하는 단계;

상기 제 1 표면상에 적어도 하나의 게이트 콘택을 형성하는 단계;

상기 게이트 콘택, 소스 콘택 및 드레인 콘택을 절연하기 위해 게이트 콘택, 소스 콘택과 드레인 콘택 사이 및 위에 적어도 하나의 절연층을 형성하는 단계;

상기 소스 콘택을 연결하기 위해 적어도 하나의 절연층의 적어도 한 부분 위 및 이를 통하여 도전성 층을 형성하는 단계; 및

상기 도전성 층 위에 적어도 하나의 히트 싱크 층을 형성하는 단계를 포함하는 트랜지스터 제조 방법.

청구항 2

제 1 항에 있어서,

상기 트랜지스터는 고전자이동도 트랜지스터이고, 상기 복수의 에피택시얼 층은 질화갈륨의 층, AlGaIn의 층, n-AlGaIn의 층 및 질화갈륨의 최종 층을 포함하고, 상기 제 1 표면은 질화갈륨의 최종 층 상에 있고; 절연 재료로 된 적어도 하나의 층은 전기적 절연성이지만 열 도전성이고; 상기 도전성 층은 적어도 하나의 절연층에서 비아를 통해 복수의 소스 콘택을 연결하는 트랜지스터 제조 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 도전성 층 위에 도전성 금속으로 된 비교적 두꺼운 층이 형성되는 트랜지스터 제조 방법.

청구항 4

제 3 항에 있어서,

상기 비교적 두꺼운 층이 형성되기 전에 시드 층이 도전성 층 위에 형성되는 트랜지스터 제조 방법.

청구항 5

제 4 항에 있어서,

상기 시드층은 복수의 시드층을 포함하고, 복수의 시드 층 중 제 1 층은 도전성 층으로 형성되고, 제 1 시드 층은 열 팽창의 제 1 계수를 가지는 재료로 이루어지며; 제 2 시드층은 제 1 시드층 위에 형성되고, 제 2 시드층은 열 팽창의 제 2 계수를 가지는 재료로 이루어지고, 열 팽창의 제 2 계수는 열팽창의 제 1 계수보다 더 큰 트랜지스터 제조 방법.

청구항 6

제 5 항에 있어서,

상기 제 1 시드층 및 제 2 시드 층 중 하나의 시드층은 에피택시얼 층으로의 확산으로부터 상기 시드층에 형성된 층의 확산에 대한 장벽을 제공하는 확산 장벽인 트랜지스터 제조 방법.

청구항 7

제 3 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 비교적 두꺼운 층은 구조적 지지물, 히트 싱크, 방열기, 및 커넥터(connector)로 구성된 그룹으로부터 선택된 적어도 하나에 대한 것인 트랜지스터 제조 방법.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

소스 연결은 도전성 층으로 복수의 에피택시얼 층 및 공통 기판을 통해 적어도 하나의 비아를 생성하고 충전함으로써 형성되는 트랜지스터 제조 방법.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

드레인 연결은 적어도 하나의 드레인 콘택으로 복수의 에피택시얼 층 및 공통 기판을 통해 적어도 하나의 비아를 생성하고 충전함으로써 형성되는 트랜지스터 제조 방법.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

게이트 연결은 적어도 하나의 게이트 콘택으로 복수의 에피택시얼 층 및 공통 기판을 통해 적어도 하나의 비아를 생성하고 충전함으로써 형성되는 트랜지스터 제조 방법.

청구항 11

제 3 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 비교적 두꺼운 층이 형성된 후 기판을 제거하는 단계; 및 기판을 대신하여 전기적 절연 및 열 도전성 재료의 또다른 층을 형성하는 단계를 더 포함하는 트랜지스터 제조 방법.

청구항 12

제 11 항에 있어서,

소스 연결은 도전성 층으로 복수의 에피택시얼 층을 통해 적어도 하나의 비아를 형성함으로써 형성되는 트랜지스터 제조 방법.

청구항 13

제 11 항 또는 제 12 항에 있어서,

드레인 연결은 적어도 하나의 드레인 콘택으로 복수의 에피택시얼 층을 통해 적어도 하나의 비아를 생성하고 충전함으로써 형성되는 트랜지스터 제조 방법.

청구항 14

제 11 항 내지 제 13 항 중 어느 한 항에 있어서,

게이트 연결은 적어도 하나의 게이트 콘택으로 복수의 에피택시얼 층을 통해 적어도 하나의 비아를 생성하고 충전함으로써 형성되는 트랜지스터 제조 방법.

청구항 15

제 3 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 비교적 두꺼운 층이 형성되기 전에 패터닝된 도금이 수행되는 트랜지스터 제조 방법.

청구항 16

(a) 제 1 표면을 가지는 복수의 에피택시얼 층;

(b) 상기 제 1 표면상의 모두, 복수의 소스 콘택, 적어도 하나의 드레인 콘택 및 적어도 하나의 게이트 콘택;

(c) 상기 게이트 콘택, 소스 콘택 및 드레인 콘택을 절연하기 위한 소스 콘택, 적어도 하나의 드레인 콘택, 적어도 하나의 게이트 콘택 위 및 사이의 적어도 하나의 절연층;

(d) 상기 소스 콘택을 연결하기 위한 적어도 하나의 절연층의 적어도 한 부분 위 및 상기 부분을 통하는 도전성 층; 및

(e) 상기 도전성 층 위의 적어도 하나의 히트 싱크 층을 각각 포함하는 트랜지스터를 포함하는 장치.

청구항 17

제 16 항에 있어서,

상기 적어도 하나의 히트 싱크 층은 도전성 층에 의해 덮여지지 않는 적어도 하나의 절연층의 잔여부분 위에 있는 트랜지스터를 포함하는 장치.

청구항 18

제 17 항에 있어서,

상기 적어도 하나의 절연층은 전기적 절연성 및 열 도전성인 트랜지스터를 포함하는 장치.

청구항 19

제 16 항 내지 제 18 항 중 어느 한 항에 있어서,

상기 복수의 에피택시얼 층은 질화갈륨의 층, AlGaIn의 층, n+ AlGaIn의 층 및 질화갈륨의 최종 층을 포함하고, 제 1 표면은 질화갈륨의 최종 층 상에 있는 트랜지스터를 포함하는 장치.

청구항 20

제 16 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 도전성 층은 적어도 하나의 절연층에서 비아를 통하여 복수의 소스 콘택을 연결하는 트랜지스터를 포함하는 장치.

청구항 21

제 16 항 내지 제 20 항 중 어느 한 항에 있어서,

상기 도전성 층 위에 도전성 금속의 비교적 두꺼운 층을 더 구비하는 트랜지스터를 포함하는 장치.

청구항 22

제 21 항에 있어서,

상기 도전성 층과 상기 비교적 두꺼운 층 사이에 적어도 하나의 시드층을 더 구비하는 트랜지스터를 포함하는 장치.

청구항 23

제 22 항에 있어서,

상기 시드층은 복수의 시드층을 포함하고, 복수의 시드층 중 제 1 층은 도전성 층 상에 있으며, 제 1 시드 층은 열 팽창의 제 1 계수를 가지는 재료로 이루어지고; 제 2 시드층은 제 1 시드층 위에 있고, 제 2 시드층은 열 팽창의 제 2 계수를 가지는 재료로 이루어지고, 열 팽창의 제 2 계수는 열팽창의 제 1 계수보다 더 큰 트랜지스터를 포함하는 장치.

청구항 24

제 23 항에 있어서,

상기 제 1 시드층 및 제 2 시드 층 중 하나의 시드층은 에피택시얼 층으로의 확산으로부터 시드층에 적용된 층의 확산에 대한 장벽을 제공하는 확산 장벽인 트랜지스터를 포함하는 장치.

청구항 25

제 21 항 내지 제 24 항 중 어느 한 항에 있어서,

상기 비교적 두꺼운 층은 구조적 지지물, 히트 싱크, 방열기 및 커넥터로 구성된 그룹으로부터 선택된 적어도 하나에 대한 것인 트랜지스터를 포함하는 장치.

청구항 26

제 16 항 내지 제 25 항 중 어느 한 항에 있어서,

상기 도전성 층으로 복수의 에피택시얼 층 및 공통 기판을 통하는 소스 연결을 더 구비하는 트랜지스터를 포함하는 장치.

청구항 27

제 16 항 내지 제 26 항 중 어느 한 항에 있어서,

상기 적어도 하나의 드레인 콘택으로 복수의 에피택시얼 층 및 공통 기판을 통하는 드레인 연결을 더 구비하는 트랜지스터를 포함하는 장치.

청구항 28

제 16 항 내지 제 27 항 중 어느 한 항에 있어서,

상기 적어도 하나의 게이트 콘택으로 복수의 에피택시얼 층 및 공통 기판을 통하는 게이트 연결을 더 구비하는 트랜지스터를 포함하는 장치.

청구항 29

제 16 항 내지 제 25 항 중 어느 한 항에 있어서,

상기 기판은, 상기 비교적 두꺼운 층이 형성된 후 제거되는 트랜지스터를 포함하는 장치.

청구항 30

제 29 항에 있어서,

상기 도전성 층으로 복수의 에피택시얼 층을 통하는 소스 연결을 더 구비하는 트랜지스터를 포함하는 장치.

청구항 31

제 29 항 또는 제 30 항에 있어서,

상기 적어도 하나의 소스 콘택으로 복수의 에피택시얼 층을 통하는 드레인 연결을 더 구비하는 트랜지스터를 포함하는 장치.

청구항 32

제 29 항 내지 제 31 항 중 어느 한 항에 있어서,

상기 적어도 하나의 게이트 콘택으로 복수의 에피택시얼 층을 통하는 게이트 연결을 더 구비하는 트랜지스터를 포함하는 장치.

청구항 33

제 22 항 내지 제 25 항 중 어느 한 항에 있어서,

상기 적어도 하나의 히트 싱크 층은 비교적 두꺼운 층, 적어도 하나의 시드층, 도전성 층 및 적어도 하나의 절연 층을 구비하는 트랜지스터를 포함하는 장치.

청구항 34

제 16 항 내지 제 33 항 중 어느 한 항에 있어서,

상기 트랜지스터는 고전자이동도 트랜지스터인 트랜지스터를 포함하는 장치.

청구항 35

제 29 항 내지 제 32 항 중 어느 한 항에 있어서,

상기 기판을 대신하여 전기적 절연성 및 열 도전성 재료의 층을 더 구비하는 트랜지스터를 포함하는 장치.

명세서

기술분야

- <1> 본 발명은 트랜지스터의 제조, 특히 질화갈륨 고전자이동도 트랜지스터(high electron mobility transistor:HEMT)의 제조 및 이렇게 제조된 트랜지스터에 관한 것이나, 이에 독점되는 것은 아니다.

배경기술

- <2> HEMT 장치는 수 년 동안 제안되어 왔다. 이들은 가능한 100W/chip 이상의 높은 전력을 수용할 수 있다; -1에서 40 GHZ 고주파수가 가능하다; 600 ℃ 이상의 온도에서 동작할 수 있다. 이는 많은 열을 발생하여 모든 장치가 이와 같은 온도를 견딜 수 있는게 아니므로 열 방출은 중요하게 되며, HEMT 장치는 많은 다른 장치와 함께 사용될 수 있다.

발명의 상세한 설명

- <3> 바람직한 제 1 양태에 따라 기판상에 복수의 에피택시얼(epitaxial) 층을 각각 포함하는 트랜지스터를 제조하기 위한 방법을 제공하고 있으며, 상기 방법은:
- <4> 복수의 에피택시얼 층의 제 1 표면상에 복수의 소스 콘택(source contact)을 형성하는 단계;
- <5> 상기 제 1 표면상에 적어도 하나의 드레인(drain) 콘택을 형성하는 단계;
- <6> 상기 제 1 표면상에 적어도 하나의 게이트(gate) 콘택을 형성하는 단계;
- <7> 상기 게이트 콘택, 소스 콘택 및 드레인 콘택을 절연하기 위해 게이트 콘택, 소스 콘택과 드레인 콘택 사이 및 위에 적어도 하나의 절연층을 형성하는 단계;
- <8> 상기 소스 콘택을 연결하기 위해 적어도 하나의 절연층의 적어도 한 부분 위 및 이를 통하여 도전성 층을 형성하는 단계; 및
- <9> 상기 도전성 층 위에 적어도 하나의 히트 싱크(heat sink) 층을 형성하는 단계를 포함한다.
- <10> 바람직한 제 2 양태에 따라 트랜지스터를 포함하는 장치를 제공하고 있으며, 각각의 트랜지스터는:
- <11> 제 1 표면을 가지는 복수의 에피택시얼 층;
- <12> 상기 제 1 표면상의 복수의 소스 콘택, 적어도 하나의 드레인 콘택 및 적어도 하나의 게이트 콘택;
- <13> 상기 게이트 콘택, 소스 콘택 및 드레인 콘택을 절연하기 위한 게이트 콘택, 소스 콘택과 드레인 콘택 사이 및 위의 적어도 하나의 절연층;
- <14> 상기 소스 콘택을 연결하기 위한 적어도 하나의 절연층의 적어도 한 부분의 위 및 이를 통하는 도전성 층; 및
- <15> 상기 도전성 층 위의 적어도 하나의 히트 싱크(heat sink) 층을 포함한다.
- <16> 트랜지스터는 고전자이동도 트랜지스터일 수 있다. 복수의 에피택시얼 층은 질화갈륨의 층, AlGa(aluminium gallium nitride)의 층, n+ AlGa의 층 및 질화갈륨의 최종 층을 포함할 수 있다. 제 1 표면은 질화 갈륨의 최종 층 상에 있을 수 있다. 도전성 층은 적어도 하나의 절연층에서 비아(via)를 통해 복수의 소스 콘택을 연결할 수 있다. 적어도 하나의 절연층은 열 도전성이고 전기적으로 절연될 수 있다.
- <17> 열 도전성 금속으로 된 비교적 두꺼운 층은 도전성 층 위에 형성될 수 있다. 적어도 하나의 시드층은 비교적 두꺼운 층이 형성되기 전에 도전성 층상에 형성될 수 있다.
- <18> 드레인, 게이트 및 소스 연결은 드레인 콘택, 게이트 콘택 및 도전성 층 각각으로 기판 및 에피택시얼 층을 통해 비아를 생성하고 충전함으로써 형성될 수 있다.

<19> 대안으로, 기판은 제거될 수 있고 드레인, 게이트 및 소스 연결은 드레인 콘택, 게이트 콘택 및 도전성 층 각각으로 에피택시얼 층을 통해 비아를 생성하고 충전함으로써 형성될 수 있다. 이 경우에, 열도전성이지만 전기적 절연인 재료로 된 또다른 층이 기판을 대신에 형성될 수 있다.

실시예

<43> 도 1은 제조의 시작에서의 구조를 나타낸다. 사파이어 기판(1)은 그 위에 버퍼층(2)을 가지고, 에피택시얼 층(3)은 버퍼 층(2) 위에 있다. 에피택시얼 층(3)은 GAN의 층(4), AlGAN의 층(5), AlGAN의 n+ 층(6) 및 최종 GaN 층(7)을 포함한다.

<44> 소스(8) 및 드레인(9) 콘택은 최종 GaN 층의 표면 상에 형성되고(도 2) 각각의 트랜지스터에 대해 소스(8) 및 드레인 콘택(9)이 존재한다. 이때 게이트 콘택(10)은 각각의 소스 콘택(8)과 각각의 드레인 콘택(9) 사이에 형성된다(도 3). 각각의 게이트(10)가 활성화되는 경우 전류는 하나의 소스(8)에서 2 개의 드레인(9), 소스 콘택(8)의 각 측면 상의 하나로 흐를 수 있다.

<45> 도 4에 나타난 바와 같이, 예를 들어 AlN의 패시베이션(passivation) 층(1)과 같은 전기적 절연층은 열을 전도할 수 있는 동안 콘택(8,9,10)을 전기적으로 절연시키도록 형성된다. 바람직하게는 층(11)은 열 도전성이다. 리지스트는 패시베이션 층(11) 위에 형성되고(도 5) 비아(12)는 소스 콘택(8) 아래로 패시베이션 층(11)을 통해 형성되고 리지스트는 제거된다. 전기적 절연성 및 열 도전성 금속으로 된 또다른 층(13)이 패시베이션 층(11) 위에 형성되고, 층(16)은 또한 비아(12)를 충전한다. 이는 소스 콘택(8)을 연결한다(도 6). 이런 식으로, 모든 콘택(8, 9, 10)은 한 평면에 있다.

<46> 도 7에 나타난 바와 같이, 적어도 하나의 또다른 층(14)은 도전성 금속 층(13) 및 도전성 금속층(13)에 의해 덮여지지 않은 패시베이션 층(11) 위에 형성된다. 또다른 층(14)은 시드층이다.

<47> 시드층(14)은 다수의 층- 예를 들어, 3 개의 다른 금속 층일 수 있다. 제 1 시드층은 도전성 층(13)에 잘 접착해야 하고 크롬 또는 티타늄으로 이루어질 수 있다. 탄탈륨 및 구리로 각각 이루어질 수 있는 제 2 층 및 제 3 층이 뒤따를 수 있다. 다른 재료들이 모든 시드 층에 사용될 수 있다. 제 2 시드 층은, 이의 상부(예를 들어, 제 3 시드층)에 놓여있는 구리 또는 다른 재료가 에피택시얼 층(3)으로 확산하는 것을 방지하는, 확산 장벽(diffusion barrier)으로 동작할 수 있다. 제 3 시드층은 다음의 전기도금을 위한 시드층으로 동작한다.

<48> 도식된 바와 같이, 2 개의 층(15, 16)이 있으며 층(15)은 확산 장벽으로 동작하고 다른 층(16)은 시드층이다.

<49> 시드층의 열 팽창의 계수는 3.17인 GaN의 계수와 다를 수 있다. 콘택 층(13)의 열 팽창 계수가 GaN의 계수와 다를 수 있는 반면(이들은 각각 14.2 및 13.4이다), 이들은 비교적 얇으며(수 나노미터) 언더라이닝(underlining) GaN 에피택시얼 층에 심각한 응력 문제를 가지고 있지 않다. 그러나, 나중에 추가되는 도금된 구리는 수백 마이크로미터와 같이 두꺼울 수 있어서 심각한 응력의 문제를 야기할 수 있다. 따라서, 시드층은 응력을 완충하기 위해 사용될 수 있다. 이는 응력을 흡수하기 위해 충분한 유연성(flexibility)을 가지는 것, 응력을 흡수하기 위해 충분한 내부 슬립(slip) 특성을 가지는 것, 응력을 견디기 위해 충분한 강성률(rigidity)을 가지는 것, 및 등급화된(graded) 열 팽창 계수를 가지는 것 중 하나 이상에 의할 수 있다.

<50> 등급화된 열 계수의 경우에, 바람직하게는 제 1 층의 열 계수는 제 2 층의 열계수보다 작으며 제 2 층의 열 계수는 제 3 층의 열 계수보다 작다. 예를 들어, 도식된 바와 같이 제 1 층(15)은 6.3의 열 팽창의 계수를 가진 탄탈륨일 수 있고, 제 2 층(16)은 16.5의 열 팽창의 계수를 가진 구리일 수 있다. 이런 식으로 열 팽창의 계수는 패시베이션 층(13)에서 외부, 구리 층(18)으로 등급화된다. 대안은 관련 온도에서, 다른 금속 층이 수축하는 동안 하나의 금속 층이 확장하도록 다른 팽창의 계수를 가지는 것이다.

<51> 외부 구리 층(18)이 콘택 층(13) 및 패시베이션 층(11)에 직접 형성된다면, 이들의 열 팽창 비율에서의 차는 금(cracking), 분리 및/또는 고장을 야기할 수 있다. 다른 재료, 특히 다른 열 팽창의 계수를 각각 가지는 금속으로 된 복수의 시드층을 증착함으로써, 열 팽창의 응력은 금, 분리 및/또는 고장이 더 낮게 있을 수 있는 결과를 가지는 시드층을 통해 퍼지게 된다. 중간 층(들)이 있다면, 중간 층(들)은 층(15)의 팽창 계수와 층(16)의 팽창 계수 사이의 팽창 계수를 가질 수 있고, 제 1 층(15)의 팽창 계수에서 최종 층(16)의 팽창 계수로 등급화될 수 있다. 어떠한 중간층도 없을 수 있거나, 또는 임의의 필요하거나 또는 바람직한 수(하나, 둘, 셋 등)의 중간층이 있을 수 있다.

<52> 새로운 기판 및/또한 히트 싱크로서 이용할 구리와 같은 비교적 두꺼운 금속의 층(18)의 패턴된 도금을 위해, 두꺼운 리지스트(17)의 패턴은 표준 포토리소그래피(photolithography)에 의해 시드층(15)에 형성되고(도 8),

잔존하는 금속(18)은 단일 금속 지지 층(18)을 형성하기 위해 두꺼운 레지스트(17) 위에 그리고 사이에 도금된다(도 9).

<53> 사파이어 기판(1)의 제거 또는 리프트 오프(lift-off)는 예를 들어, Kelly[M.K.Kelly, O. Ambacher, R. Dmitrov, R. Handschuh, 및 M. Stutzmann, phys. stat. sol. (a) 159, R3(1997)]에 설명되어 있는 것과 같은 공지된 기술을 따라 (도 10 및 도 11) 일어난다. 기판(1)은 또한 연마(polishing) 또는 습식 에칭에 의해 제거될 수 있다. 이는 GaN 층(4)의 가장 낮은 표면(19)을 노출한다. 에피택시얼 층(3)이 제거의 질을 개선하도록 그대로 있는 동안 기판의 리프트-오프가 일어나는 것이 바람직하다. 에피택시얼 층(3)을 가짐으로써 제거하는 시간에서 에피택시얼 층(3)의 전기적 특성 및 기계적 특성이 보존된다.

<54> 원래의 기판(1)의 제거 후, 두껍게 도금된 금속(18)은 새로운 기계적 지지물; 및 반도체 장치가 동작하는 동안, 히트 싱크, 방열기(heat dissipater), 및 연결 층 중 하나 이상으로 작동할 수 있다. 마기작 GaN 층(7)이 비교적 얇은 경우, 활성 층(3)에서 발생된 열은 두꺼운 층(18)으로 더 쉽게 전도될 수 있다. 또한 각각의 층(11, 13, 14)은 열 도전성이다.

<55> 시드층(들)(14)은 전기적 절연 층일 수 있으나 양호한 열 컨덕터 예를 들어 AlN이어야 한다.

<56> 두꺼운 층(18)은 동작의 속도를 느리게 하는 기생 커패시턴스를 생성한다. 층(18)과 에피택시얼 층(3) 사이의 거리를 증가시킴으로써, 기생 커패시턴스는 감소된다.

<57> 레지스트 층은 GaN 층(4)의 현재-노출된 표면(19)으로 형성되고 에칭은 드레인 콘택(9)으로 에피택시얼 층(13)을 통해 적어도 하나의 비아(20)을 형성하기 위해 일어난다(도 12). 비아(20)는 이때 드레인 연결(21)을 형성하기 위해 충전된다(도 13). 도 14는 드레인 콘택(20), 소스 콘택(8) 및 게이트 콘택(10)에 대한 도면을 나타낸다.

<58> 개별 비아(22)는 게이트 콘택(10)으로 에피택시얼 층(3)을 통해 형성되고(도 15) 비아(22)는 게이트 연결(23)을 형성하도록 충전된다.

<59> 도 16은 드레인 연결(20) 및 소스 콘택(8)과 마찬가지로 게이트 연결(23)에 관한 도면을 나타낸다.

<60> 도 17 및 도 18은 소스 연결(8)에 대한 유사한 공정을 나타낸다. 비아(24)는 소스 커넥터 층(13)으로 에피택시얼 층(3)을 통해 형성되고 비아(24)는 소스 연결(25)을 형성하도록 충전된다.

<61> 도 19는 소스 연결(25)에 대한 도면을 나타낸다.

<62> 두꺼운 레지스트(17)의 말단이 노출될 때까지 에칭은 에피택시얼 층(3), 패시베이션 층(11) 및 도전성 층(13)을 통해 갭(26)을 형성하기 위해 일어난다(도 20).

<63> 이는 연결(20, 23, 25)을 남기어 장치는 전기적으로 연결될 수 있다. 대안으로, 도 22에 나타난 바와 같이, 도 17 및 도 18의 공정을 위에서 설명되어 있는 바와 같은 다이(die) 분리로 피할 수 있다. 소스 콘택 층(13)에 대한 전기적 연결은 한 측면 또는 양 측면(26)에 있을 수 있다.

<64> 바람직하다면, 기판(1)은 적소에 남겨지고 연결(20, 23, 25)이 형성될 수 있도록 예를 들어 레이저에 의해 구멍이 뚫인 홀(hole)일 수 있다. 대안으로, 도 21에 나타난 바와 같이, 열 도전성이지만 전기적 절연성인 재료(예를 들어, AlN)의 또다른 층(27)이 기판(1) 대시에 추가될 수 있다.

<65> 이런 식으로 HEMT 장치는 콘택, 히트 싱크, 열 확산기(heat diffuser), 및 장치에 대한 물리적 지지물 중 하나 이상으로 동작하는 비교적 두꺼운 금속 층(18)과 함께 사용될 수 있다. 패시베이션 층(11), 도전성 층(13), 시드층(14) 및 비교적 두꺼운 층(18)의 결합된 효과는 이들이 모두 도전성이어서 이들은 에피택시얼 층(3)으로부터 떨어져 열을 도전하기 위해 모두 결합하고, 히트 싱크이도록 결합하는 것이다.

<66> 앞선 설명에서 본 발명의 바람직한 실시예를 설명하는 동안, 설계 또는 구성의 세부사항에 있어서 다양한 변경 및 변화가 본 발명을 벗어나지 않고 이루어질 수 있음이 당업자에 의해 이해될 것이다.

산업상 이용 가능성

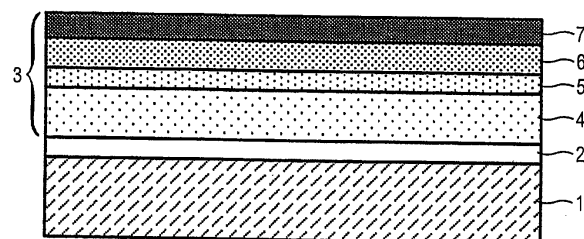
<67> 본 발명에 포함되어 있음.

도면의 간단한 설명

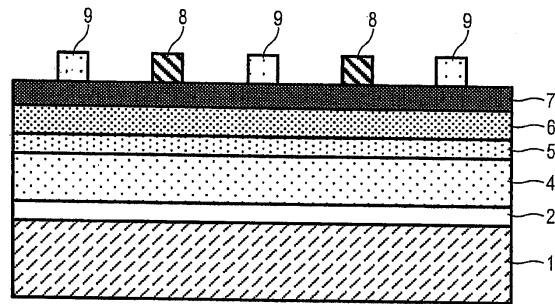
- <20> 본 발명이 충분히 이해될 수 있고 쉽게 실질적 효과를 주입할 수 있기 위해, 본 발명의 비제한적이며 예시적인 바람직한 실시예들에 의해 설명될 수 있으며, 이하 설명은 첨부한 다음의 도면을 참고로 한다:
- <21> 도 1은 제조 공정의 제 1 단계에서의 장치에 관한 개략도이다;
- <22> 도 2는 제조 공정의 제 2 단계에서의 장치에 관한 개략도이다;
- <23> 도 3은 제조 공정의 제 3 단계에서의 장치에 관한 개략도이다;
- <24> 도 4는 제조 공정의 제 4 단계에서의 장치에 관한 개략도이다;
- <25> 도 5는 제조 공정의 제 5 단계에서의 장치에 관한 개략도이다;
- <26> 도 6은 제조 공정의 제 6 단계에서의 장치에 관한 개략도이다;
- <27> 도 7은 제조 공정의 제 7 단계에서의 장치에 관한 개략도이다;
- <28> 도 8은 제조 공정의 제 8 단계에서의 장치에 관한 개략도이다;
- <29> 도 9는 제조 공정의 제 9 단계에서의 장치에 관한 개략도이다;
- <30> 도 10은 제조 공정의 제 10 단계에서의 장치에 관한 개략도이다;
- <31> 도 11은 제조 공정의 제 11 단계에서의 장치에 관한 개략도이다;
- <32> 도 12는 제조 공정의 제 12 단계에서의 장치에 관한 개략도이다;
- <33> 도 13은 제조 공정의 제 13 단계에서의 장치에 관한 개략도이다;
- <34> 도 14는 도 13에서 화살표 14-14의 방향에서 선들을 따른 전체 단면도이다;
- <35> 도 15는 제조 공장의 제 14 단계에서의 장치에 관한 개략도이다;
- <36> 도 16은 도 15 상의 화살표 16-16의 방향에서 선들을 따른 전체 단면도이다;
- <37> 도 17은 제조 공정의 제 15 단계에서의 장치에 관한 개략도이다;
- <38> 도 18은 제조 공정의 제 16 단계에서의 장치에 관한 개략도이다;
- <39> 도 19는 도 18 상의 화살표 19-19의 방향에서 선들을 따른 전체 단면도이다;
- <40> 도 20은 제조 공정의 제 17 단계에서의 장치에 관한 개략도이다;
- <41> 도 21은 제조 공정의 최종 단계에서의 장치에 관한 개략도이다;
- <42> 도 22는 제조 공정의 대안의 최종 단계에서의 장치에 관한 개략도이다.

도면

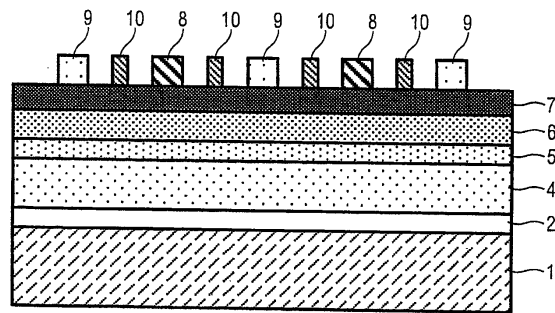
도면1



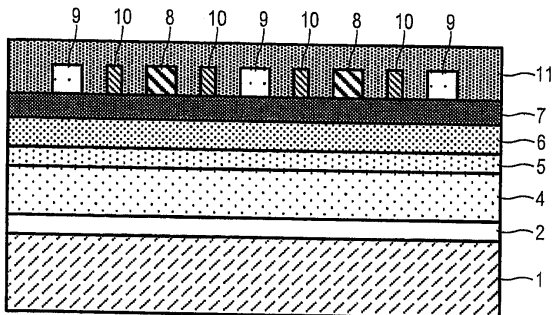
도면2



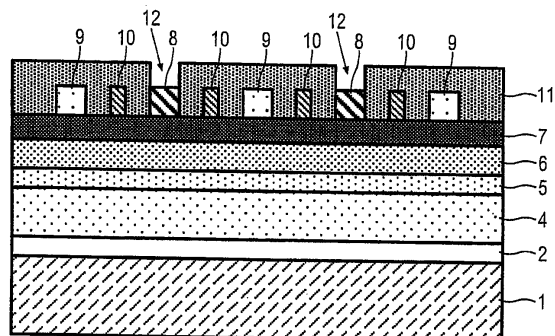
도면3



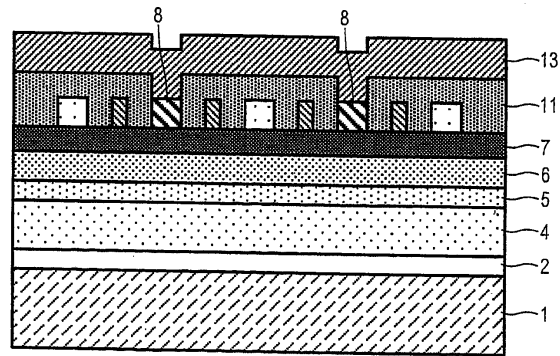
도면4



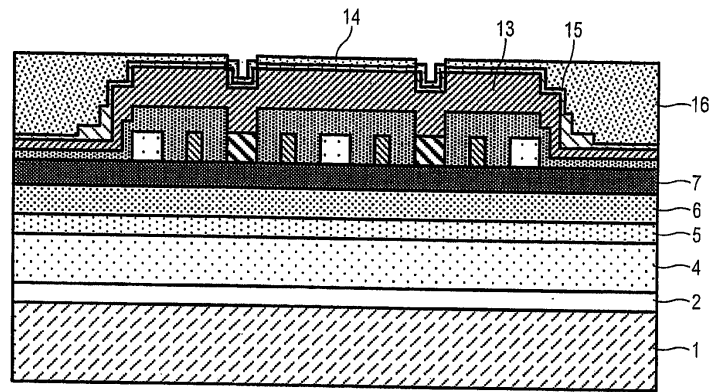
도면5



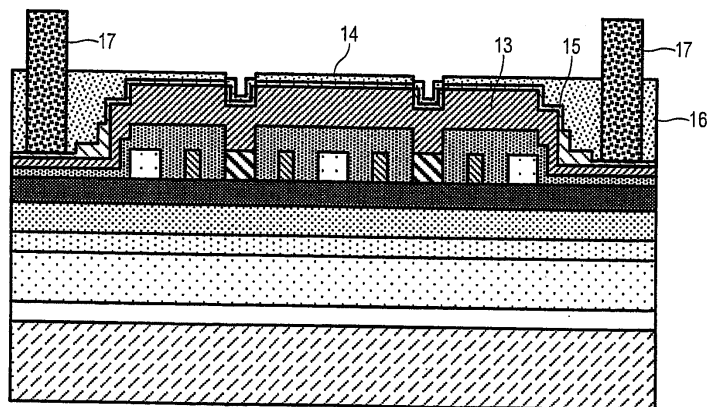
도면6



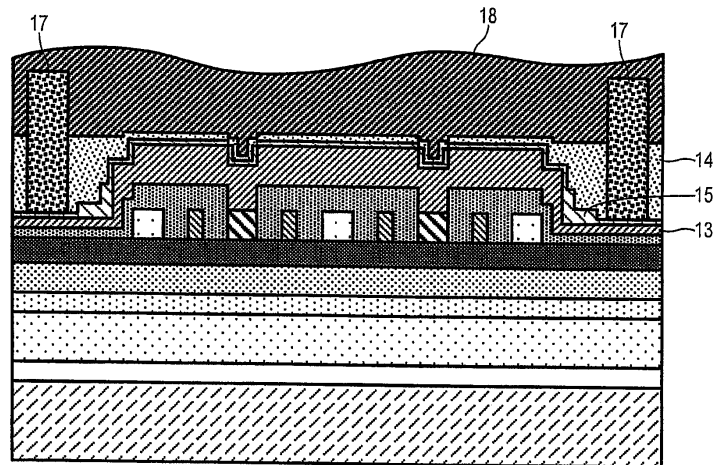
도면7



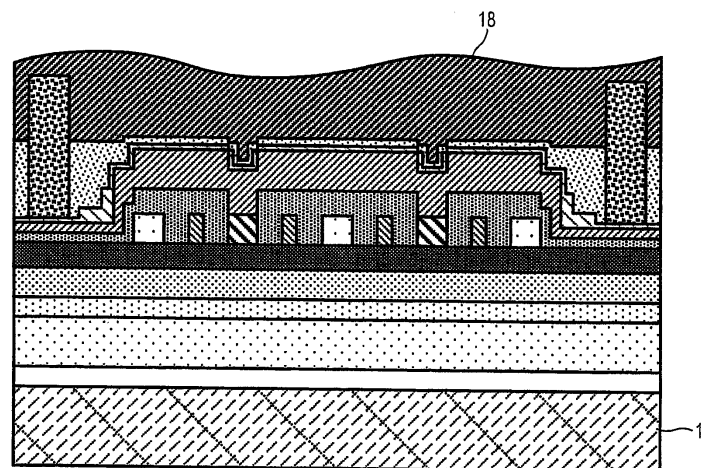
도면8



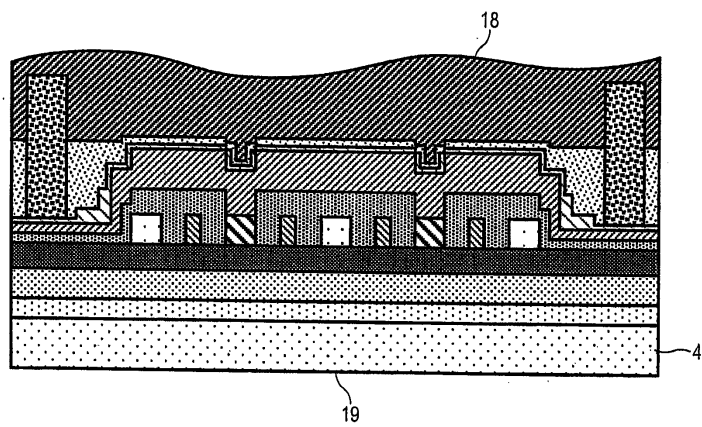
도면9



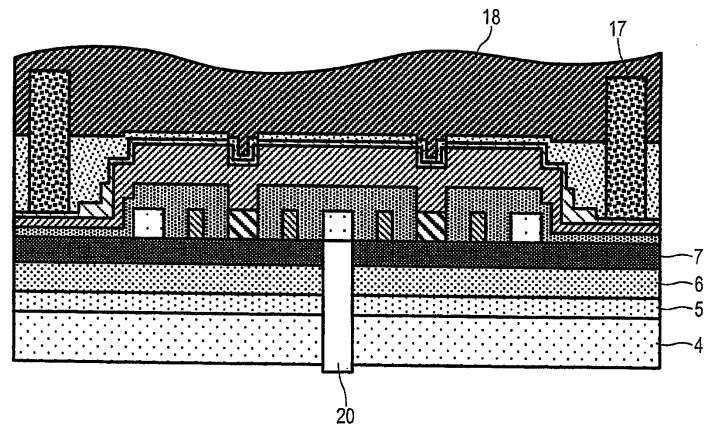
도면10



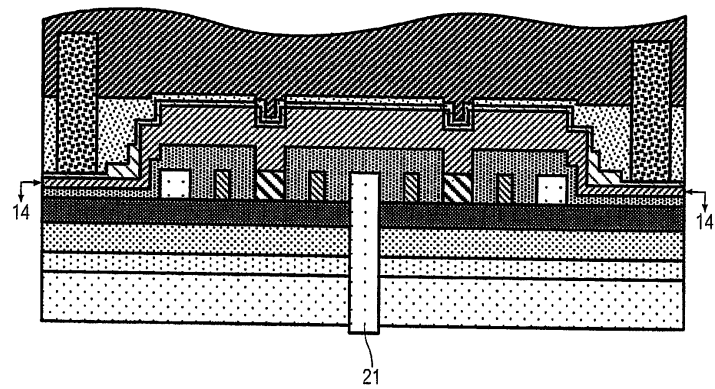
도면11



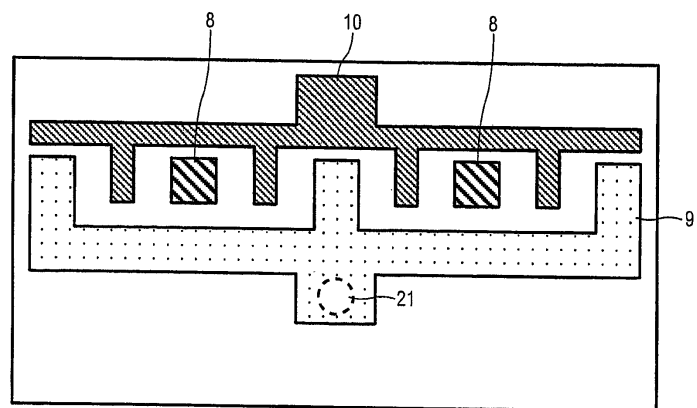
도면12



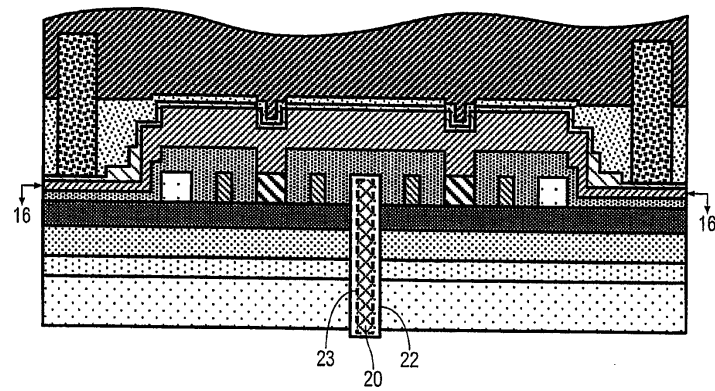
도면13



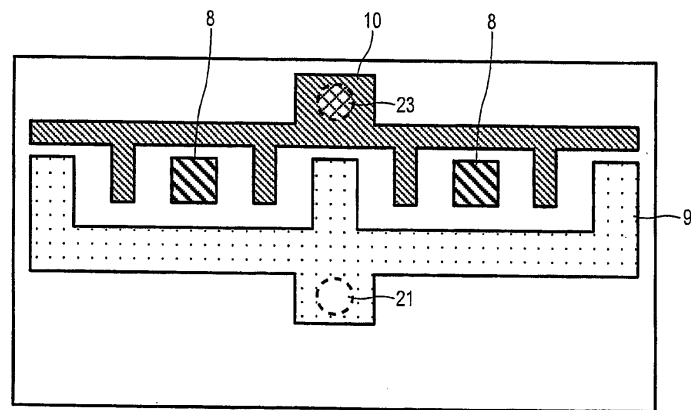
도면14



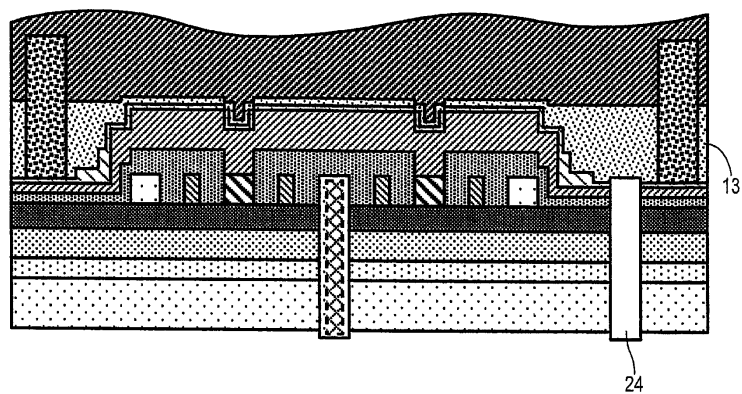
도면15



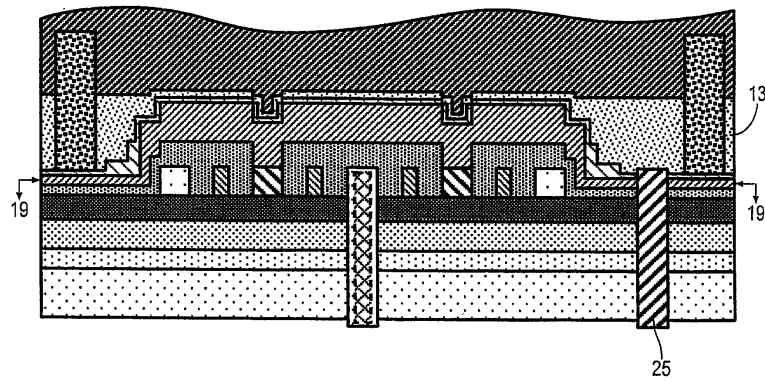
도면16



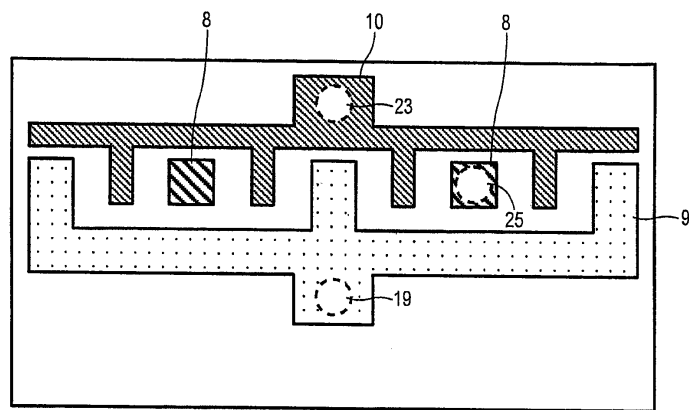
도면17



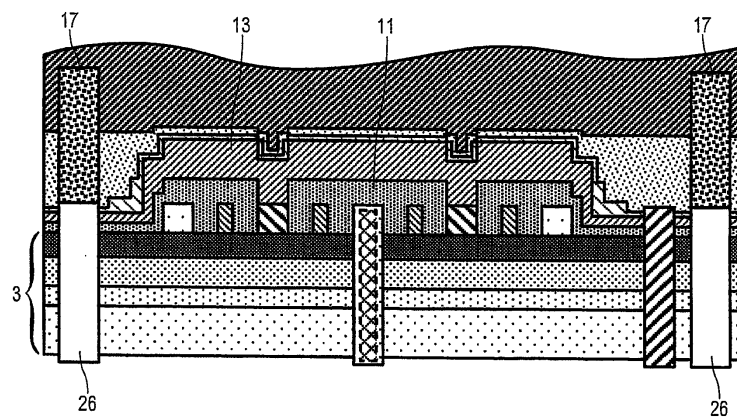
도면18



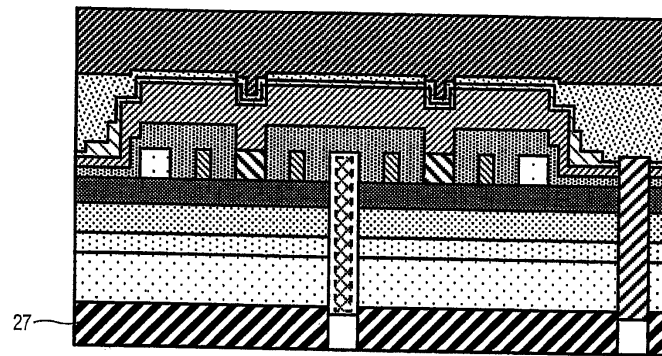
도면19



도면20



도면21



도면22

