



등록특허 10-2208600



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월28일
(11) 등록번호 10-2208600
(24) 등록일자 2021년01월22일

- (51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) H01L 27/12 (2006.01)
H01L 29/66 (2006.01)

(52) CPC특허분류
G02F 1/136204 (2013.01)
G02F 1/136286 (2013.01)

(21) 출원번호 10-2020-7018551(분할)

(22) 출원일자(국제) 2014년02월20일
심사청구일자 2020년06월26일

(85) 번역문제출일자 2020년06월26일

(65) 공개번호 10-2020-0080335

(43) 공개일자 2020년07월06일

(62) 원출원 특허 10-2015-7024427
원출원일자(국제) 2014년02월20일
심사청구일자 2019년02월20일

(86) 국제출원번호 PCT/JP2014/054785

(87) 국제공개번호 WO 2014/129669
국제공개일자 2014년08월28일

(30) 우선권주장
JP-P-2013-034877 2013년02월25일 일본(JP)
JP-P-2013-154400 2013년07월25일 일본(IP)

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
시시도 히데아키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
미야케 히로유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)

(74) 대리인
장후

(74) 대리인
장후

(30) 우선권주장
JP-P-2013-034877 2013년02월25일 일본(JP)
JP-P-2013-154400 2013년07월25일 일본(JP)

(56) 선행기술조사문현
KR1020110137562 A*
KR1019980081505 A*
JP01129234 A*

전체 천국학 수 · 총 3 학

심사관 : 이우리

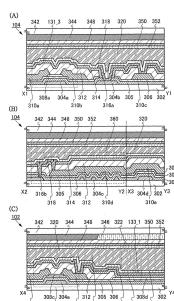
(54) 반면의 명칭 표시 장치 및 전자 기기

(57) 요약

본 발명은, 표시 장치가 화소 전극 및 트랜지스터(131_1)를 포함하는 화소부(102)와, 제 1 영역 및 제 2 영역을 포함하는 구동 회로부(104)를 포함한다. 제 1 영역은 제 1 배선(304c) 및 제 2 배선(310d)을 포함한다. 제 2 영역은 제 3 배선(304d) 및 제 4 배선(310e)을 포함한다. 제 1 배선(304c) 및 제 3 배선(304d)은 트랜지스터

(뒤면에 계속)

대표도 - 도3



(131_1)의 게이트 전극(304e)과 같은 층에 제공된다. 제 2 배선(310d) 및 제 4 배선(310e)은 트랜지스터(131_1)의 소스 전극 및 드레인 전극(310f 및 310g)과 같은 층에 제공된다. 제 2 영역에서의 제 3 배선(304d)과 제 4 배선(310e) 사이의 거리는 제 1 영역에서의 제 1 배선(304c)과 제 2 배선(310d) 사이의 거리보다 크다.

(52) CPC특허분류

H01L 27/1225 (2013.01)

H01L 27/124 (2013.01)

H01L 29/66 (2013.01)

(72) 발명자

이노우에 세이코

일본 243-0036 가나가와肯 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

구스노키 코지

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

도요타카 코헤이

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

화소부는 트랜지스터와, 용량 소자와, 제 1 절연층과, 화소 전극을 갖고,

상기 트랜지스터는,

제 1 도전층과,

상기 제 1 도전층 위의 제 2 절연층과,

상기 제 2 절연층 위의 반도체층과,

상기 반도체층 위의 제 2 도전층 및 제 3 도전층을 갖고,

상기 제 1 도전층은 상기 반도체층과 중첩되는 영역을 갖고,

상기 제 2 도전층 및 상기 제 3 도전층의 각각은 상기 반도체층과 전기적으로 접속되고,

상기 제 1 절연층은 상기 반도체층 위, 상기 제 2 도전층 위, 및 상기 제 3 도전층 위에 제공되고,

상기 화소 전극은 상기 제 1 절연층 위에 제공되고,

상기 화소 전극이 상기 제 2 도전층 및 상기 제 3 도전층 중 한쪽과 전기적으로 접속되도록, 상기 화소 전극의 제 1 영역은 상기 제 1 절연층의 제 1 개구 중에 위치하고,

상기 용량 소자는,

제 1 전극과,

상기 제 1 전극 위의 상기 제 1 절연층과,

상기 제 1 절연층 위의 상기 화소 전극을 갖고,

상기 화소 전극과 상기 제 1 전극의 간격이 상기 제 1 절연층의 막두께보다 작아지도록, 상기 화소 전극의 제 2 영역은 상기 제 1 절연층의 제 2 개구 중에 위치하고,

상기 반도체층 및 상기 제 1 전극의 각각은 상기 제 2 절연층 위에 접하여 제공되고,

상기 반도체층 및 상기 제 1 전극의 각각은 In, Ga, 및 Zn을 갖는 산화물인, 표시 장치.

청구항 2

화소부는 트랜지스터와, 용량 소자와, 제 1 절연층과, 제 3 절연층과, 화소 전극을 갖고,

상기 트랜지스터는,

제 1 도전층과,

상기 제 1 도전층 위의 제 2 절연층과,

상기 제 2 절연층 위의 반도체층과,

상기 반도체층 위의 제 2 도전층, 및 제 3 도전층을 갖고,

상기 제 1 도전층은 상기 반도체층과 중첩되는 영역을 갖고,

상기 제 2 도전층 및 상기 제 3 도전층의 각각은 상기 반도체층과 전기적으로 접속되고,

상기 제 3 절연층은 상기 반도체층 위, 상기 제 2 도전층 위, 및 상기 제 3 도전층 위에 제공되고,

상기 제 1 절연층은 상기 제 3 절연층 위에 제공되고,

상기 화소 전극은 상기 제 1 절연층 위에 제공되고,

상기 화소 전극이 상기 제 2 도전층 및 상기 제 3 도전층 중 한쪽과 전기적으로 접속되도록, 상기 화소 전극의 제 1 영역은 상기 제 3 절연층의 제 1 개구 중에 위치하고,

상기 용량 소자는,

제 1 전극과,

상기 제 1 전극 위의 상기 제 3 절연층과,

상기 제 3 절연층 위의 상기 제 1 절연층과,

상기 제 1 절연층 위의 상기 화소 전극을 갖고,

상기 화소 전극과 상기 제 1 전극의 간격이 상기 제 3 절연층의 막두께보다 작아지도록, 상기 화소 전극의 제 2 영역은 상기 제 3 절연층의 제 2 개구 중에 위치하고,

상기 반도체층 및 상기 제 1 전극의 각각은 상기 제 2 절연층 위에 접하여 제공되고,

상기 반도체층 및 상기 제 1 전극의 각각은 In, Ga, 및 Zn을 갖는 산화물인, 표시 장치.

청구항 3

화소부는 트랜지스터와, 용량 소자와, 제 1 절연층과, 제 3 절연층과, 화소 전극을 갖고,

상기 트랜지스터는,

제 1 도전층과,

상기 제 1 도전층 위의 제 2 절연층과,

상기 제 2 절연층 위의 반도체층과,

상기 반도체층 위의 제 2 도전층, 및 제 3 도전층을 갖고,

상기 제 1 도전층은 상기 반도체층과 중첩되는 영역을 갖고,

상기 제 2 도전층 및 상기 제 3 도전층의 각각은 상기 반도체층과 전기적으로 접속되고,

상기 제 3 절연층은 상기 반도체층 위, 상기 제 2 도전층 위, 및 상기 제 3 도전층 위에 제공되고,

상기 제 1 절연층은 상기 제 3 절연층 위에 제공되고,

상기 화소 전극은 상기 제 1 절연층 위에 제공되고,

상기 화소 전극이 상기 제 2 도전층 및 상기 제 3 도전층 중 한쪽과 전기적으로 접속되도록, 상기 화소 전극의 제 1 영역은 상기 제 3 절연층의 제 1 개구 중에 위치하고,

상기 용량 소자는,

제 1 전극과,

상기 제 1 전극 위의 상기 제 3 절연층과,

상기 제 3 절연층 위의 상기 제 1 절연층과,

상기 제 1 절연층 위의 상기 화소 전극을 갖고,

상기 화소 전극과 상기 제 1 전극의 간격이 상기 제 3 절연층의 막두께보다 작아지도록, 상기 화소 전극의 제 2 영역은 상기 제 3 절연층의 제 2 개구 중에 위치하고,

상기 제 3 절연층은 개구부를 갖고,

상기 용량 소자는 상기 개구부와 중첩되는 영역을 갖고,

상기 반도체층 및 상기 제 1 전극의 각각은 상기 제 2 절연층 위에 접하여 제공되고,

상기 반도체층 및 상기 제 1 전극의 각각은 In, Ga, 및 Zn을 갖는 산화물인, 표시 장치.

발명의 설명

기술 분야

- [0001] 본 발명은 물건, 방법, 물건을 제작하기 위한 방법, 프로세스, 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명은 반도체 장치, 표시 장치, 발광 장치, 전자 기기, 이들의 구동 방법, 또는 이들의 제작 방법에 관한 것이다. 특히, 본 발명은 산화물 반도체를 각각 포함하는 반도체 장치, 표시 장치, 전자 기기, 또는 발광 장치에 관한 것이다.
- [0002] 또한, "표시 장치"라는 단어는, 표시 소자를 갖는 장치를 의미한다. 또한, 표시 장치는, 예컨대 복수의 화소를 구동시키기 위한 구동 회로를 포함할 수도 있는 경우가 있다. 표시 장치는, 다른 기판상에 배열되는 제어 회로, 전원 회로, 신호 생성 회로 등을 포함하는 경우도 있다.

배경기술

- [0003] 액정 표시 장치로 대표되는 표시 장치를 위하여, 소자 및 배선은 최근의 기술 혁신에 따라 소형화되어 있고, 양산 기술도 굉장히 향상되고 있다. 향후, 더 낮은 비용을 달성하기 위하여 제조 수율의 향상이 필요하다.
- [0004] 가령 표시 장치에 정전기 등으로 인한 서지(surge) 전압이 인가되면, 소자가 파괴되어 정상적인 표시를 할 수 없게 된다. 따라서 제조 수율이 저하될 수 있다. 이를 극복하기 위하여, 서지 전압을 다른 배선으로 방출시키기 위한 보호 회로가 표시 장치에 제공된다(예컨대 특허문현 1~7 참조).

선행기술문현

특허문현

- [0005] (특허문현 0001) 일본국 특개 제2010-92036호 공보
 (특허문현 0002) 일본국 특개 제2010-92037호 공보
 (특허문현 0003) 일본국 특개 제2010-97203호 공보
 (특허문현 0004) 일본국 특개 제2010-97204호 공보
 (특허문현 0005) 일본국 특개 제2010-107976호 공보
 (특허문현 0006) 일본국 특개 제2010-107977호 공보
 (특허문현 0007) 일본국 특개 제2010-113346호 공보

발명의 내용

해결하려는 과제

- [0006] 표시 장치에는, 보호 회로 등의 신뢰성의 향상을 목적으로 하는 구성이 중요하다.
- [0007] 보호 회로는 표시 장치의 제작 공정(즉 표시 장치에 사용되는 트랜지스터의 제작 공정)에서 형성된다. 그러므로 제작 공정 중의 트랜지스터는 보호 회로에 접속되지 않는다. 즉, 제작 공정 중의 트랜지스터 및 이 트랜지스터에 접속되는 배선 등은 트랜지스터의 제작 공정에서 생길 수 있는 정전기 또는 과전류에 의하여 파괴되기 매우 쉽다.
- [0008] 따라서, 트랜지스터 및 이 트랜지스터에 접속되는 배선 등이 트랜지스터의 제작 공정에서 생길 수 있는 정전기 또는 과전류에 의하여 파괴되기 매우 쉬운 상태에서 표시 장치가 제조될 때, 표시 장치의 제조 수율이 매우 낮다는 문제가 있다.
- [0009] 본 발명의 일 형태의 목적은 정전 파괴를 저감할 수 있는, 신규 구조를 갖는 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 신뢰성을 향상시킬 수 있는, 신규 구조를 갖는 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 정전기의 악영향을 저감할 수 있는, 신규 구조를 갖는 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 터치 센서가 사용될 때의 문제의 악영향을 저감할 수 있는, 신규 구조

를 갖는 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 트랜지스터 특성의 변동 또는 열화를 저감할 수 있는, 신규 구조를 갖는 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 트랜지스터의 문턱 전압의 변동 또는 열화를 저감할 수 있는, 신규 구조를 갖는 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 트랜지스터의 노멀리 온을 억제할 수 있는, 신규 구조를 갖는 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 트랜지스터의 제조 수율을 높릴 수 있는, 신규 구조를 갖는 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 화소 전극에 축적된 전하를 방전할 수 있는, 신규 구조를 갖는 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 배선에 축적된 전하를 방전할 수 있는, 신규 구조를 갖는 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 정상적인 표시가 가능한, 신규 구조를 갖는 표시 장치를 제공하는 것이다.

[0010] 또한, 이들 목적의 기재는 다른 목적의 존재를 방해하지 않는다. 본 발명의 일 형태에서, 모든 목적을 달성할 필요는 없다. 상술한 목적 외의 목적은, 명세서, 도면, 청구항 등의 기재로부터 명확해지며, 추출될 수 있다.

과제의 해결 수단

[0011] 본 발명의 일 형태는 화소부, 및 화소부의 외측에 제공된 구동 회로부를 포함하는 표시 장치다. 표시 장치에서, 화소부는 매트릭스로 배열된 화소 전극 및 화소 전극에 전기적으로 접속된 트랜지스터를 포함하고, 트랜지스터는, 게이트 전극, 게이트 전극 위의 게이트 절연층, 게이트 절연층 위의 산화물 반도체층, 및 산화물 반도체층 위의 소스 전극 및 드레인 전극을 각각 포함한다. 표시 장치에서, 구동 회로부는, 게이트 전극과 같은 공정에서 형성된 제 1~제 3 배선, 소스 전극 및 드레인 전극과 같은 공정에서 형성된 제 4~제 6 배선, 화소 전극과 같은 공정에서 형성된 제 7 배선, 제 2 배선이 제 5 배선과 교차되는 제 1 영역, 및 제 3 배선이 제 6 배선과 교차되는 제 2 영역을 포함한다. 제 1 배선 및 제 4 배선은 제 7 배선을 통하여 서로 접속된다. 제 2 영역에서의 배선들 사이의 거리는 제 1 영역에서의 배선들 사이의 거리보다 길다.

발명의 효과

[0012] 본 발명의 일 형태에서, 정전 파괴를 저감할 수 있는 신규 구조를 갖는 표시 장치가 제공될 수 있다.

도면의 간단한 설명

[0013] 도 1의 (A)~(C)는 표시 장치의 상면 개략도 및 보호 회로의 회로도.

도 2의 (A)~(C)는 표시 장치의 상면 개략도.

도 3의 (A)~(C)는 표시 장치의 단면을 도시한 것.

도 4의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 5의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 6의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 7의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 8의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 9의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 10의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 11의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 12의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 13의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 14의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 15의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 16의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 17의 (A)~(C)는 표시 장치를 제작하기 위한 방법을 도시한 단면도.

도 18의 (A)~(C)는 표시 장치의 단면을 도시한 것.

도 19는 트랜지스터의 단면을 도시한 것.

도 20의 (A) 및 (B)는 표시 장치의 단면을 도시한 것.

도 21의 (A)는 표시 장치의 상면도, 도 21의 (B)는 표시 장치의 외주부의 상면도, 및 도 21의 (C)는 표시 장치의 외주부의 단면을 도시한 것.

도 22의 (A) 및 (B)는 각각 표시 장치에 사용될 수 있는 화소 회로를 도시한 회로도.

도 23의 (A) 및 (B)는 트랜지스터의 단면도, 및 도 23의 (C) 및 (D)는 산화물 적층을 도시한 도면.

도 24의 (A) 및 (B)는 각각 터치 센서를 도시한 것.

도 25는 터치 센서를 도시한 회로도.

도 26은 터치 센서의 단면도.

도 27은 본 발명의 일 형태에 따른 표시 장치를 사용하는 표시 모듈을 도시한 것.

도 28의 (A)~(H)는 각각 본 발명의 일 형태에 따른 표시 장치를 사용하는 전자 기기를 도시한 것.

도 29의 (A)~(H)는 각각 본 발명의 일 형태에 따른 표시 장치를 사용하는 전자 기기를 도시한 것.

도 30의 (A) 및 (B)는 각각 산화물 반도체의 나노 전자빔 회절 패턴을 나타낸 것.

도 31의 (A) 및 (B)는 방사선 화상 검출 장치를 도시한 것.

도 32의 (A) 및 (B)는 각각 방사선 검출 소자를 도시한 것.

도 33의 (A) 및 (B)는 실시예에서 사용되는 TEG의 상면도 및 단면도.

도 34는 실시예에서 사용되는 각 시료의 파괴 전압을 도시한 그래프.

도 35의 (A)는 보호 회로를 도시한 회로도, 및 도 35의 (B)는 신호의 파형을 도시한 개략도.

발명을 실시하기 위한 구체적인 내용

[0014]

실시형태는 도면을 참조하여 이하에서 설명된다. 하지만, 실시형태는 다양한 형식으로 실시될 수 있다. 본 발명의 취지 및 범위로부터 벗어나지 않고, 형식 및 상세를 다양한 방법으로 변경할 수 있다는 것은, 당업자에 의하여 쉽게 이해된다. 따라서, 본 발명은 이하의 실시형태의 기재에 한정되어 해석(解釋)되지 말아야 한다.

[0015]

도면에서, 크기, 층 두께, 또는 영역은, 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 본 발명의 실시 형태는 그 스케일에 한정되지 않는다.

[0016]

본 명세서 등에서, 트랜지스터는, 게이트, 드레인, 및 소스의 적어도 3개의 단자를 갖는 소자이다. 또한, 트랜지스터는 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 영역을 갖고, 드레인 영역, 채널 영역, 및 소스 영역을 통하여 전류가 흐를 수 있다.

[0017]

여기서 트랜지스터의 소스와 드레인은, 트랜지스터의 구조, 동작 조건 등에 따라 바뀌기 때문에, 소스 또는 드레인의 어느 쪽인지를 정의하기 어렵다. 따라서, 소스로서 기능하는 부분 또는 드레인으로서 기능하는 부분을, 소스 또는 드레인이라고 부르지 않는 경우가 있다. 이와 같은 경우, 소스 및 드레인 중 한쪽을 제 1 전극이라고 부르고, 소스와 드레인 중 다른 쪽을 제 2 전극이라고 부른다.

[0018]

또한, 본 명세서에서, "제 1", "제 2", 및 "제 3" 등의 서수사는, 구성 요소들끼리의 혼동을 피하기 위하여 사용되고, 이 용어가 구성 요소를 수적으로 한정하지 않는다.

[0019]

또한, 본 명세서에서, "A와 B가 접속된다" 또는 "A는 B에 접속된다"라는 표현은 A와 B가 서로 직접 접속되는 경우에 더하여 A와 B가 서로 전기적으로 접속되는 경우를 의미한다. 여기서, "A와 B가 전기적으로 접속된다"라는 표현은, A와 B 사이에, 어떤 전기적 작용을 갖는 대상물이 존재할 때, A와 B 사이에서 전기 신호를 송신 및 수신할 수 있다는 것을 의미한다.

[0020]

또한, 본 명세서에서, "위에", "위쪽에", "아래에", 및 "아래쪽에" 등, 배치를 설명하는 단어는, 도면을 참조하여 구성 요소들 사이의 위치 관계를 설명하는 데 편의상 사용된다. 또한, 구성 요소들 사이의 위치 관계는, 각

구성 요소가 설명되는 방향에 따라 적절히 변화된다. 따라서, 본 명세서에서 사용되는 단어에 한정은 없고, 기재는 상황에 따라 적절히 행할 수 있다.

[0021] 또한, 도면에서의 블록도의 회로 블록의 배치는, 설명을 위하여 위치 관계를 특정한다. 따라서 상이한 회로 블록에서 상이한 기능이 달성된다고 도면에 나타내어지더라도, 실제의 회로 또는 영역은, 상이한 기능이 같은 회로 또는 영역에서 달성되도록 구성되어도 좋다. 블록도에서의 회로 블록의 기능은 설명을 위하여 특정되고, 하나의 회로 블록이 도시된 경우라도, 하나의 회로 블록에 의하여 수행되는 처리가 복수의 회로 블록에 의하여 수행되도록 실제의 회로 또는 실제의 영역에 블록이 제공되어도 좋다.

[0022] 또한, 화소는 하나의 색 요소(예컨대 R(적색), G(녹색), 및 B(청색) 중 어느 하나)의 휘도를 제어할 수 있는 표시 단위에 상당한다. 따라서 컬러 표시 장치에서, 컬러 화상의 최소 표시 단위는, R 화소, G 화소, B 화소의 3 화소로 구성된다. 또한, 색 요소의 색은 반드시 3종류인 필요는 없고 3종류 이상이라도 좋고 또는 RGB 외의 색을 포함하여도 좋다.

[0023] 본 명세서에서, 본 발명의 실시형태는 도면을 참조하여 설명된다. 실시형태는 이하의 절차로 설명된다.

[0024] 1. 실시형태 1(표시 장치의 기본 구조);

[0025] 2. 실시형태 2(표시 장치를 제조하기 위한 방법);

[0026] 3. 실시형태 3(표시 장치의 변형예);

[0027] 4. 실시형태 4(정전 파괴 영역의 변형예);

[0028] 5. 실시형태 5(화소부의 구조);

[0029] 6. 실시형태 6(트랜지스터의 구조);

[0030] 7. 실시형태 7(터치 센서 및 표시 모듈);

[0031] 8. 실시형태 8(전자 기기);

[0032] 9. 실시형태 9(방사선 화상 검출 장치); 및

[0033] 10. 실시예(파괴 전압).

[0034] (실시형태 1)

[0035] 본 실시형태에서, 본 발명의 일 형태의 표시 장치를 도 1의 (A)~(C), 도 2의 (A)~(C), 및 도 3의 (A)~(C)를 참조하여 설명한다.

[0036] 도 1의 (A)에 도시된 표시 장치는, 표시 소자의 화소를 포함하는 영역(이하, 이 영역을 화소부(102)라고 함), 화소부(102) 외측에 제공되어 있고 화소를 구동하기 위한 회로를 포함하는 회로부(이하, 이 부분을 구동 회로부(104)라고 함), 소자를 보호하는 기능을 갖는 회로(이하, 이 회로를 보호 회로(106)라고 함), 및 단자부(107)를 포함한다. 또한, 보호 회로(106)는 반드시 제공될 필요는 없다.

[0037] 구동 회로부(104)의 일부 또는 전부는, 화소부(102)가 위에 형성되는 기판 위에 형성되는 것이 바람직하고, 이 경우, 구성 요소의 개수 및 단자의 개수를 저감할 수 있다. 구동 회로부(104)의 일부 또는 전부가, 화소부(102)가 위에 형성되는 기판 위에 형성되지 않을 때, 구동 회로부(104)의 일부 또는 전부는, COG 또는 TAB에 의하여 실장되는 경우가 많다.

[0038] 화소부(102)는 X행(X는 2 이상의 자연수) 및 Y열(Y는 2 이상의 자연수)에 있는 복수의 표시 소자를 구동하기 위한 회로(이하, 이런 회로를 보호 회로부(108)라고 함)를 포함한다. 구동 회로부(104)는, 화소를 선택하기 위한 신호(주사 신호)를 공급하기 위한 회로(이하, 이 회로를 게이트 드라이버(104a)라고 함) 및 화소에서 표시 소자를 구동하기 위한 신호(데이터 신호)를 공급하기 위한 회로(이하, 이 회로를 소스 드라이버(104b)라고 함) 등의 구동 회로를 포함한다.

[0039] 게이트 드라이버(104a)는 시프트 레지스터 등을 포함한다. 게이트 드라이버(104a)는 단자부(107)를 통하여, 시프트 레지스터를 구동하기 위한 신호를 수신하고, 신호를 출력한다. 예를 들어, 게이트 드라이버(104a)는 스타트 펄스 신호, 클록 신호 등을 수신하고, 펄스 신호를 출력한다. 게이트 드라이버(104a)는, 주사 신호가 공급되는 배선(이하, 이런 배선을 주사선(GL_1)~주사선(GL_X)이라고 함)의 전위를 제어하는 기능을 갖는다. 또한, 주사선(GL_1)~주사선(GL_X)을 각각 제어하기 위하여 복수의 게이트 드라이버(104a)가 제공되어도 좋다. 또는, 게

이트 드라이버(104a)는, 초기화 신호를 공급하는 기능을 갖지만 이에 한정되지 않는다. 게이트 드라이버(104a)는, 다른 신호를 공급할 수 있다.

[0040] 소스 드라이버(104b)는 시프트 레지스터 등을 포함한다. 소스 드라이버(104b)는, 단자부(107)를 통하여 시프트 레지스터를 구동하기 위한 신호뿐만 아니라, 데이터 신호가 도출되는 신호(영상 신호)를 수신한다. 소스 드라이버(104b)는 영상 신호를 기초로 화소 회로부(108)에 기록되는 데이터 신호를 생성하는 기능을 갖는다. 또한, 소스 드라이버(104b)는 스타트 펄스, 클록 신호 등의 입력에 의하여 생성되는 펄스 신호에 응답하여 데이터 신호의 출력을 제어하는 기능을 갖는다. 또한, 소스 드라이버(104b)는 데이터 신호가 공급되는 배선(이하, 이런 배선을 데이터선(DL_1)~데이터선(DL_Y)이라고 함)의 전위를 제어하는 기능을 갖는다. 또는, 소스 드라이버(104b)는 초기화 신호를 공급하는 기능을 갖지만 이에 한정되지 않는다. 소스 드라이버(104b)는 다른 신호를 공급할 수 있다.

[0041] 예를 들어, 소스 드라이버(104b)는 복수의 아날로그 스위치 등을 포함한다. 소스 드라이버(104b)는, 복수의 아날로그 스위치를 순차적으로 온으로 함으로써, 영상 신호를 시분할하여 얻어진 신호를 데이터 신호로서 출력할 수 있다. 소스 드라이버(104b)는 시프트 레지스터 등을 포함하여도 좋다.

[0042] 복수의 화소 회로부(108)의 각각에, 주사 신호가 공급되는 복수의 주사선(GL) 중 하나를 통하여 펄스 신호가 입력되고, 데이터 신호가 공급되는 복수의 데이터선(DL) 중 하나를 통하여 데이터 신호가 입력된다. 게이트 드라이버(104a)에 의하여, 복수의 화소 회로부(108)의 각각에서 데이터 신호의 기록 및 유지가 수행된다. 예를 들어, 제 m 행 및 제 n 열(m 은 X 이하의 자연수이고, n 은 Y 이하의 자연수)에 있는 화소 회로부(108)에, 주사선(GL_m)을 통하여 게이트 드라이버(104a)로부터 펄스 신호가 입력되고, 주사선(GL_m)의 전위에 따라 데이터선(DL_n)을 통하여 소스 드라이버(104b)로부터 데이터 신호가 입력된다.

[0043] 도 1의 (A)에 나타낸 보호 회로(106)는, 게이트 드라이버(104a)와 화소 회로부(108) 사이의 주사선(GL)에 접속된다. 또는, 보호 회로(106)는 소스 드라이버(104b)와 화소 회로부(108) 사이의 데이터선(DL)에 접속된다. 또는, 보호 회로(106)는 게이트 드라이버(104a)와 단자부(107) 사이의 배선에 접속될 수 있다. 또는, 보호 회로(106)는 소스 드라이버(104b)와 단자부(107) 사이의 배선에 접속될 수 있다. 또한, 단자부(107)는, 외부 회로로부터 표시 장치에 전원, 제어 신호, 및 영상 신호를 입력하기 위한 단자를 갖는 부분을 의미한다.

[0044] 보호 회로(106)는, 보호 회로에 접속된 배선에 일정한 범위 밖의 전위가 인가될 때, 보호 회로에 접속된 배선을 다른 배선에 전기적으로 접속하는 회로다.

[0045] 도 1의 (A)에 도시된 바와 같이, 보호 회로(106)가 화소부(102) 및 구동 회로부(104)의 각각에 제공됨으로써, ESD(Electrostatic Discharge) 등에 의하여 생기는 과전류에 대한 표시 장치의 내성을 향상시킬 수 있다. 또한, 보호 회로(106)의 구성은 이에 한정되지 않고, 예컨대 보호 회로(106)가, 게이트 드라이버(104a)에 접속되고 소스 드라이버(104b)에 접속되지 않는 구성, 또는 보호 회로(106)가, 소스 드라이버(104b)에 접속되고 게이트 드라이버(104a)에 접속되지 않는 구성이 채용되어도 좋다. 또는 보호 회로(106)가 단자부(107)에 접속되도록 구성되어도 좋다.

[0046] 구동 회로부(104)는 게이트 드라이버(104a)와 소스 드라이버(104b)를 포함하지만, 도 1의 (A)에 도시된 예에 한정되지 않는다. 예를 들어, 게이트 드라이버(104a)만이 형성되고, 따로 준비된, 소스 드라이버 회로가 형성된 기판(예컨대 단결정 반도체막 또는 다결정 반도체막이 형성된 구동 회로 기판)이 실장되어도 좋다.

[0047] 따라서, 보호 회로(106)는 화소부(102) 및 구동 회로부(104) 중 한쪽 또는 양쪽에 전기적으로 접속되는 것이 바람직하다.

[0048] 예를 들어, 보호 회로(106)는 다이오드 접속된 트랜지스터 등을 포함할 수 있다. 도 1의 (B) 및 (C)는 보호 회로(106)의 구체적인 예를 도시한 것이다.

[0049] 도 1의 (B)에 도시된 보호 회로(106)는 배선(110)과 배선(116) 사이에 다이오드 접속된 트랜지스터(112) 및 다이오드 접속된 트랜지스터(114)를 포함한다. 배선(110)은 예컨대 도 1의 (A)에서의 주사선(GL), 데이터선(DL), 또는 단자부(107)로부터 구동 회로부(104)에 리드되는 리드 배선이다. 도 1의 (B)에 도시된 보호 회로(106)는 화소부(102)와 게이트 드라이버(104a) 사이에 제공되는 것이 특히 바람직하다.

[0050] 배선(116)은, 예컨대 도 1의 (A)에 도시된 게이트 드라이버(104a)에 전원을 공급하기 위한 전원 공급선의 전위(VDD, VSS, 또는 GND)가 공급되는 배선이다. 또는, 배선(116)은 공통 전위가 공급되는 배선(공통선)이다. 예를 들어, 배선(116)은 게이트 드라이버(104a)에 전원을 공급하기 위한 전원선, 특히, 저전위를 공급하기 위한 배선

에 접속되는 것이 바람직하다. 이것은 주사선(GL)이 대부분의 기간에서, 저전위를 갖기 때문이어서, 배선(116)도 저전위를 가지면 통상 동작에서, 주사선(GL)으로부터 배선(116)으로 누설되는 전류를 저감할 수 있다.

[0051] 도 1의 (C)에 도시된 보호 회로(106)에서, 다이오드 접속된 트랜지스터(128), 트랜지스터(130), 트랜지스터(132), 및 트랜지스터(134)는 배선(118), 배선(120), 배선(122), 배선(124), 및 배선(126)에 접속된다. 배선(118) 및 배선(120) 각각은, 예컨대 도 1의 (A)에 도시된 소스 드라이버(104b)에 전원을 공급하기 위한 전원 공급선의 전위(VDD, VSS, 또는 GND)나 샘플링 펄스 등이 공급되는 배선이다. 배선(122), 배선(124), 및 배선(126)은, 예컨대 도 1의 (A)에 도시된 데이터선(DL)이다. 도 1의 (C)에 도시된 보호 회로(106)는 화소부(102)와 소스 드라이버(104b) 사이에 제공되는 것이 바람직하다.

[0052] 이와 같이, 보호 회로(106)가 도 1의 (A)에 도시된 표시 장치에 제공됨으로써, 화소부(102) 및 구동 회로부(104)는, ESD 등에 의하여 생긴 파전류에 대하여 높은 내성을 가질 수 있다.

[0053] 도 1의 (B) 및 (C)에 도시된 보호 회로(106)에서의 트랜지스터(112), 트랜지스터(114), 트랜지스터(128), 트랜지스터(130), 트랜지스터(132), 및 트랜지스터(134)의 반도체층은 산화물 반도체를 사용하여 형성되는 것이 바람직하다. 산화물 반도체를 포함하는 트랜지스터는, 실리콘 등을 사용하여 형성된 반도체층을 포함하는 트랜지스터보다 애벌란시 항복을 거의 일으키지 않고, 전계에 대하여 높은 내성을 갖는다. 트랜지스터(112), 트랜지스터(114), 트랜지스터(128), 트랜지스터(130), 트랜지스터(132), 및 트랜지스터(134)의 구조에는 플레이너 구조 및 역 스태거 구조를 포함한다. 여기서 도 1의 (B)에 도시된 보호 회로(106)의 변형예를 사용하여 보호 회로에 흐르는 전류 및 전자 흐름을 설명한다.

[0054] 도 35의 (A)는 도 1의 (B)의 보호 회로(106)의 변형예를 도시한 것이다.

[0055] 도 35의 (A)에 도시된 보호 회로(206)는 트랜지스터(212), 트랜지스터(214), 트랜지스터(216), 및 트랜지스터(218), 및 배선(208), 배선(224), 및 배선(226)을 포함한다.

[0056] 트랜지스터(212)의 소스 및 드레인 중 한쪽은 배선(224)에 접속된다. 트랜지스터(212)의 소스 및 드레인 중 다른 쪽은 트랜지스터(214)의 소스 및 드레인 중 한쪽에 접속된다. 트랜지스터(214)의 소스 및 드레인 중 다른 쪽은 배선(208)에 접속된다. 트랜지스터(216)의 소스 및 드레인 중 한쪽은 트랜지스터(214)의 소스 및 드레인 중 다른 쪽과 배선(208)에 접속된다. 트랜지스터(216)의 소스 및 드레인 중 다른 쪽은 트랜지스터(218)의 소스 및 드레인 중 한쪽에 접속된다. 트랜지스터(218)의 소스 및 드레인 중 다른 쪽은 배선(226)에 접속된다.

[0057] 트랜지스터(212), 트랜지스터(214), 트랜지스터(216), 및 트랜지스터(218) 각각의 게이트 및 소스(또는 드레인)는 서로 접속된다(즉, 다이오드 접속된 트랜지스터).

[0058] 배선(224)은 고전원 전위(VDD)가 공급되는 배선에 접속된다. 배선(226)은 저전원 전위(VSS)가 공급되는 배선에 접속된다. 배선(208)은 신호 전위(SIG)가 공급되는 배선에 접속된다.

[0059] 또한, 도 35의 (A)에서, 트랜지스터(212) 및 트랜지스터(214)는 총칭하여 트랜지스터군(220)이라고 하고, 트랜지스터(216) 및 트랜지스터(218)는 총칭하여 트랜지스터군(222)이라고 한다. 또한, 도 35의 (A)에서, 트랜지스터군(220) 및 트랜지스터군(222) 각각은 2개의 트랜지스터를 포함하지만, 본 발명의 일 형태는 이들에 한정되지 않는다. 트랜지스터군(220) 및 트랜지스터군(222) 각각에서의 트랜지스터의 개수는 하나라도 좋고 3개 이상이라도 좋다.

[0060] 도 35의 (A)에 도시된 보호 회로(206)에서, 배선(208)에 공급되는 신호 전위(SIG)의 전류는, 소정의 조건을 만족시킨 경우에 트랜지스터군(220) 또는 트랜지스터군(222)을 통하여 고전원 전위(VDD) 또는 저전원 전위(VSS)를 향하여 흐른다. 또한, 도 35의 (A)에서, 실선의 화살표는 고전원 전위(VDD) 및 저전원 전위(VSS)를 향하는 전류의 흐름을 각각 가리키고, 파선의 화살표는 고전원 전위(VDD) 및 저전원 전위(VSS)를 향하는 전자의 흐름을 각각 가리킨다.

[0061] 여기서, 트랜지스터군(220) 및 트랜지스터군(222)에서의 전류 및 전자 흐름을 도 35의 (B)를 참조하여 설명한다.

[0062] 도 35의 (B)에서의 과정은 배선(208)에 공급되는 신호 전위(SIG)를 개략적으로 나타낸다. 신호 전위(SIG)에서, 신호 전위(SIG)가 상승 또는 하강할 때에 리플이 생겨도 좋다. 고전원 전위 측의 리플 및 저전원 전위 측의 리플의 2종류의 리플이 있다. 도 35의 (B)에서, 고전원 전위 측의 리플의 전위는 HVDD로 나타내어지고, 저전원 전위 측의 리플의 전위는 HVSS로 나타내어진다. 신호 전위(SIG)가 상승될 때 리플이 생기면(즉 신호 전위(SIG)가 고전원 전위(VDD)보다 높으면), 트랜지스터군(220)에 전류가 흐른다. 이 때, 고전원 전위(VDD) 측으로부터 배선

(208) 측으로 전자가 흐른다. 또한, 신호 전위(SIG)가 하강할 때 리플이 생기면(즉 신호 전위(SIG)가 저전원 전위(VSS)보다 낮으면), 트랜지스터군(222)에 전류가 흐른다. 이 때, 저전원 전위(VSS) 측으로부터 배선(208) 측으로 전자가 흐른다.

[0063] 상술한 바와 같이, 보호 회로(206)를 제공함으로써 과전류를 방출할 수 있다.

[0064] 보호 회로(106) 및 보호 회로(206)는 표시 장치에 포함되는 트랜지스터의 제작 공정에서 형성된다. 그러므로, 보호 회로(106) 및 보호 회로(206)는 트랜지스터의 제작 공정에서 이들의 기능을 충분히 수행할 수 없다. 즉, 트랜지스터의 제작 공정 중에, 트랜지스터 또는 트랜지스터에 접속된 배선 등은 ESD 등으로 인한 과전류에 견딜 수 있을 정도의 높은 내성을 갖지 않는다.

[0065] 트랜지스터의 제작 공정에서, 상이한 배선 등의 사이에 생기는 전위차가 클 때, 과전류는 생기기 쉽다. 예를 들어, 전위차가, 트랜지스터의 게이트 전극 또는 게이트 전극과 같은 공정에서 형성된 배선과, 소스 및 드레인 전극 또는 소스 및 드레인 전극과 같은 공정에서 형성된 배선 사이에서 증가될 때, 트랜지스터의 게이트 전극 또는 게이트 전극과 같은 공정에서 형성된 배선과, 소스 및 드레인 전극 또는 소스 및 드레인 전극과 같은 공정에서 형성된 배선 사이에 정전 파괴가 생길 수 있다. 게이트 전극과 같은 공정에서 형성된 배선과, 소스 및 드레인 전극과 같은 공정에서 형성된 배선이 교차되는 영역 또는 이 인접 영역에서 정전 파괴는 특히 일어나기 매우 쉽다.

[0066] 본 발명의 일 형태에서, 트랜지스터의 제작 공정에서 트랜지스터 또는 이 트랜지스터에 접속된 배선 등의 정전 파괴를 방지하기 위하여 정전기에 의하여 파괴되어도 좋은 영역(이하, 이 영역을 정전 파괴 유발 영역이라고 함)이 형성된다. 따라서 트랜지스터의 제작 공정에서 생길 수 있는 과전류가 정전 파괴 유발 영역에 방출된다. 이와 같은 구조에 의하여, 높은 제조 수율로 신뢰성이 높은 표시 장치가 제공될 수 있다.

[0067] 여기서 도 1의 (A)의 표시 장치의 일례로서, 도 2의 (A)~(C)에 이들의 더 구체적인 구조를 도시하였다.

[0068] 도 2의 (A)~(C) 각각은 도 1의 (A)에 도시된 표시 장치의 화소부(102) 또는 구동 회로부(104)의 예의 상면도다. 본 실시형태에서, 액정 소자를 사용하는 표시 장치(이런 장치는 액정 표시 장치라고도 함)의 구조를 도 2의 (A)~(C)를 참조하여 설명한다.

[0069] 도 2의 (A)는 구동 회로부(104)의 일부의 상면도다. 도 2의 (B)는 구동 회로부(104)의 다른 일부의 상면도다. 도 2의 (C)는 화소부(102)의 상면도다. 도 2의 (A)~(C)에서, 게이트 절연층 등의 구성 요소는 복잡화를 피하기 위하여 부분적으로 생략되었다.

[0070] 도 2의 (A)에서, 트랜지스터(131_3)는 게이트 전극으로서 기능하는 도전층(304a), 게이트 절연층(도 2의 (A)에 도시되지 않았음), 채널 영역이 형성되는 반도체층(308a), 소스 전극 및 드레인 전극으로서 기능하는 도전층(310a) 및 도전층(310b)을 포함한다. 반도체층(308a)은 게이트 절연층 위에 형성된다. 또한, 게이트 전극으로서 기능하는 도전층(304a)과 같은 공정에서 형성된 도전층(304b)(제 1 배선이라고도 함), 소스 전극 및 드레인 전극으로서 기능하는 도전층(310a) 및 도전층(310b)과 같은 공정에서 형성된 도전층(310c)(제 4 배선이라고도 함), 및 도전층(304b)을 도전층(310c)에 접속하는 투광성 도전층(316a)(제 7 배선이라고도 함)이 제공된다. 투광성 도전층(316a)은 개구부(372a) 및 개구부(374a)에서 도전층(304b)에 접속되고, 개구부(374b)에서 도전층(310c)에 접속된다.

[0071] 도 2의 (B)에서, 정전 파괴 유발 영역(360)은 게이트 전극으로서 기능하는 도전층(304a)과 같은 공정에서 형성된 도전층(304c)(제 2 배선이라고도 함), 게이트 절연층(도 2의 (B)에 도시되지 않았음), 소스 전극 및 드레인 전극으로서 기능하는 도전층(310a) 및 도전층(310b)과 같은 공정에서 형성된 도전층(310d)(제 5 배선이라고도 함), 및 투광성 도전층(316a)과 같은 공정에서 형성된 도전층(316b)을 포함한다. 또한, 도전층(304c)과 도전층(310d)은 도전층(316b)을 통하여 개구부(374c) 및 개구부(374d)에서 서로 접속된다. 또한, 제 2 배선인 도전층(304c)과 제 5 배선인 도전층(310d)이 교차되는 영역을 제 1 영역(380)이라고 한다. 제 1 영역(380)에서, 게이트 절연층으로서 기능하는 절연층은 도전층(304c)과 도전층(310d) 사이에 제공된다.

[0072] 또한, 도 2의 (B)에서, 제 2 영역(382)은 정전 파괴 유발 영역(360)에 인접된 영역에 제공된다. 제 2 영역(382)에서, 게이트 전극으로서 기능하는 도전층(304a)과 같은 공정에서 형성된 도전층(304d)(제 3 배선이라고도 함)은 소스 전극 및 드레인 전극으로서 기능하는 도전층(310a) 및 도전층(310b)과 같은 공정에서 형성된 도전층(310e)(제 6 배선이라고 함)과 교차된다. 제 2 영역(382)은 게이트 절연층(도 2의 (B)에 도시되지 않았음) 및 도전층(304d)과 도전층(310e) 사이의 반도체층(308b)을 포함한다. 제 2 영역(382)에 형성된 반도체층(308b)은 도전층(304d)과 도전층(310e) 사이의 거리를 증가시킬 수 있어, 도전층(304d)과 도전층(310e) 사이의 기생 용량

을 저감할 수 있다. 또한, 도전층(304d)과 도전층(310e) 사이의 거리가 증가되기 때문에, 도전층(304d)과 도전층(310e) 사이에 큰 전위차가 생기는 경우, 정전 파괴로 인한 도전층(304d)과 도전층(310e) 사이에 단락이 생기는 것을 억제할 수 있다.

[0073] 상술한 바와 같이, 제 1 영역(380)에서의 도전층들 사이의 거리는 제 2 영역(382)에서의 도전층들 사이의 거리와 상이하다. 반도체층(308b)이 제 2 영역(382)에 형성되기 때문에, 제 2 영역(382)에서의 도전층들 사이의 거리는 제 1 영역(380)에서의 도전층들 사이의 거리보다 길다.

[0074] 도 2의 (C)에서, 주사선으로서 기능하는 도전층(304e)은 신호선에 실질적으로 수직(도면 중 수평 방향)으로 연장된다. 신호선으로서 기능하는 도전층(310e)은 주사선에 실질적으로 수직(도면 중 수직 방향)으로 연장된다. 용량선으로서 기능하는 도전층(310g)은 신호선에 평행하게 연장된다. 또한, 주사선으로서 기능하는 도전층(304e)은 게이트 드라이버(104a)(도 1의 (A) 참조)에 전기적으로 접속되고, 신호선으로서 기능하는 도전층(310e) 및 용량선으로서 기능하는 도전층(310g)은 소스 드라이버(104b)(도 1의 (A) 참조)에 전기적으로 접속된다.

[0075] 도 2의 (C)에서, 트랜지스터(131_1)는 주사선과 신호선이 서로 교차되는 영역에 제공된다. 트랜지스터(131_1)는, 게이트 전극으로서 기능하는 도전층(304e); 게이트 절연층(도 2의 (C)에 도시되지 않았음); 게이트 절연층 위의, 채널 영역이 형성되는 반도체층(308c); 및 소스 전극 및 드레인 전극으로서 기능하는 도전층(310e) 및 도전층(310f)을 포함한다. 도전층(304e)은 주사선으로서도 기능하며, 반도체층(308c)과 중첩되는 도전층(304e)의 영역은 트랜지스터(131_1)의 게이트 전극으로서 기능한다. 또한, 도전층(310e)은 신호선으로서도 기능하며, 반도체층(308c)과 중첩되는 도전층(310e)의 영역은 트랜지스터(131_1)의 소스 전극 또는 드레인 전극으로서 기능한다.

[0076] 도 2의 (C)에서, 상면으로부터 봤을 때, 주사선의 단부는 반도체층(308c)의 단부보다 외측에 있다. 따라서, 주사선은 백 라이트 등의 광원으로부터의 광을 차단하기 위한 차광막으로서 기능한다. 이 때문에 트랜지스터에 포함되는 반도체층(308c)은 광을 띠지 않아, 트랜지스터의 전기 특성의 변동을 억제할 수 있다.

[0077] 도 2의 (C)에서, 도전층(310f)은 개구부(374e)에서, 화소 전극으로서 기능하는 투광성을 갖는 도전층(316c)과 전기적으로 접속된다.

[0078] 도 2의 (C)에서, 커패시터(133_1)에서, 용량선으로서 기능하는 도전층(310g)은 반도체층(308d)과 접촉된다. 커패시터(133_1)는, 게이트 절연층 위에 형성된, 투광성을 갖는 반도체층(308d), 화소 전극으로서 기능하는 투광성을 갖는 도전층(316c), 및 트랜지스터(131_1) 위에 형성된 수소를 포함하는 절연막으로 형성된 유전체막을 포함한다. 즉, 커패시터(133_1)는 광을 투과한다.

[0079] 커패시터(133_1)는 투광성을 가지기 때문에, 화소부(102)에 큰 커패시터(133_1)를 형성할 수 있다(넓은 영역을 덮음). 따라서, 개구율을 높임(대표적으로는 55% 이상, 바람직하게는 60% 이상)과 동시에, 증대된 전하 용량을 갖는 표시 장치를 제공할 수 있다. 예를 들어, 액정 표시 장치 등의 고해상도 표시 장치에서, 화소의 면적이 작아짐에 따라, 커패시터의 면적도 작아진다. 이 때문에, 고해상도 표시 장치에서, 커패시터의 전하 용량은 작다. 하지만 본 실시형태에서의 커패시터(133_1)가 광을 투과하기 때문에, 화소에 제공되면, 화소에 충분한 전하 용량이 얻어질 수 있고 개구율을 향상시킬 수 있다. 대표적으로는 커패시터(133_1)는 200ppi 이상, 또는 300ppi 이상의 화소 밀도를 갖는 고해상도 표시 장치에 바람직하게 사용될 수 있다.

[0080] 또한, 도 2의 (C)에서의 화소부(102)는 신호선으로서 기능하는 도전층(310e)에 평행한 변보다 주사선으로서 기능하는 도전층(304e)에 평행한 변이 긴 형상을 갖고, 용량선으로서 기능하는 도전층(310g)이, 신호선으로서 기능하는 도전층(310e)에 평행하게 연장된다. 이것은 도전층(310g)이 차지하는 화소부(102)의 면적을 저감할 수 있어, 개구율을 높일 수 있다. 또한, 용량선으로서 기능하는 도전층(310g)이 접속 전극을 사용하는 대신에, 투광성을 가지고 도전층으로서 기능하는 반도체층(308d)과 직접 접촉되기 때문에, 개구율을 더 높일 수 있다. 또한, 본 실시형태에서, 도전층(310e)에 평행한 변보다 도전층(304e)에 평행한 변이 긴 형상을 설명하지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 도전층(310e)에 평행한 변보다 도전층(304e)에 평행한 변이 짧아도 좋다. 이 형상은 도전층(304e)이 차지하는 화소의 면적을 저감할 수 있어, 개구율을 높일 수 있다.

[0081] 또한, 본 발명의 일 형태에 따라, 고해상도의 표시 장치에서 조차 개구율을 높일 수 있어, 백 라이트 등의 광원으로부터의 광을 효율적으로 사용할 수 있어, 표시 장치의 소비 전력을 저감할 수 있다.

[0082] 다음에 도 2의 (A)~(C)에 도시된 표시 장치의 단면 구조를 도 3의 (A)~(C)를 참조하여 설명한다.

- [0083] 도 3의 (A)는 도 2의 (A)에서의 일점 쇄선 X1-Y1을 따른 절단면에 상당하는 단면도다. 도 3의 (B)는 도 2의 (B)에서의 일점 쇄선 X2-Y2 및 X3-Y3을 따른 절단면에 상당하는 단면도다. 도 3의 (C)는 도 2의 (C)에서의 일점 쇄선 X4-Y4를 따른 절단면에 상당하는 단면도다.
- [0084] 도 3의 (A)~(C)에 도시된 표시 장치는 한 쌍의 기판(기판(302) 및 기판(342)) 사이에 액정 소자(322)를 포함한다(도 3의 (C) 참조).
- [0085] 액정 소자(322)는 기판(302) 위의 도전층(316c), 배향성을 갖는 층(이하, 배향막(318) 및 배향막(352)이라고 함), 액정층(320), 및 도전층(350)을 포함한다. 도전층(316c)은 액정 소자(322)의 한쪽 전극으로서 기능하고, 도전층(350)은 액정 소자(322)의 다른 쪽 전극으로서 기능한다. 도 3의 (A)~(C)에서, 액정 소자(322)는 수직 전계 방식의 액정 소자다.
- [0086] 도 3의 (A)에 도시된 구동 회로부(104)는 기판(302); 기판(302) 위에 형성된 도전층(304a) 및 도전층(304b); 기판(302), 및 도전층(304a) 및 도전층(304b) 위에 형성된 절연층(305); 절연층(305) 위에 형성된 절연층(306); 절연층(306) 위에 형성되고, 도전층(304a)과 중첩되는 반도체층(308a); 절연층(306) 및 반도체층(308a) 위에 형성된 도전층(310a) 및 도전층(310b); 절연층(306) 위에 형성된 도전층(310c); 반도체층(308a) 및 도전층(310a), 도전층(310b), 및 도전층(310c)을 덮도록 형성된 절연층(312); 절연층(312) 위에 형성된 절연층(314); 및 절연층(314) 위에 형성된 도전층(316a)을 포함한다.
- [0087] 또한, 도 3의 (A)에 도시된 구동 회로부(104)에서, 도전층(316a)은, 도전층(304b)을 도전층(310c)에 접속하는 배선으로서 기능한다. 도전층(304b)은 절연층(305), 절연층(306), 절연층(312), 및 절연층(314)에 형성된 개구부에서 도전층(316a)에 접속되고, 도전층(310c)은 절연층(312) 및 절연층(314)에 형성된 개구부에서 도전층(316a)에 접속된다. 또한, 도 3의 (A)에서, 도전층(304b)이 도전층(316a)에 접속될 때, 개구부가 절연층(306) 및 절연층(312)에 형성된 후, 절연층(314) 및 절연층(305)에 개구부가 동시에 형성된다. 그러므로 개구부를 형성하는 공정수는, 개구부가 절연층(305), 절연층(306), 절연층(312), 및 절연층(314)에 동시에 형성되는 경우에 비하여 증가된다. 결과적으로 각 공정에서, 깊이가 얕은 개구부가 형성되기 때문에(절연층의 에칭되는 양이 적기 때문에), 에칭 처리가 쉽게 수행된다. 하지만 본 발명의 일 형태는 이에 한정되지 않는다. 도 3의 (B)에서의 도전층(304c)과 도전층(316b) 사이의 접속부에 나타내어진 바와 같이, 개구부는 절연층(305), 절연층(306), 절연층(312), 및 절연층(314)에 동시에 형성될 수 있다. 개구부가 절연층(305), 절연층(306), 절연층(312), 및 절연층(314)에 동시에 형성되는 경우, 개구 영역의 면적을 저감할 수 있다.
- [0088] 도 3의 (B)에 도시된 구동 회로부(104)는 기판(302); 기판(302) 위에 형성된 도전층(304c) 및 도전층(304d); 기판(302), 및 도전층(304c) 및 도전층(304d) 위에 형성된 절연층(305); 절연층(305) 위에 형성된 절연층(306); 절연층(306) 위에 형성되고, 도전층(304d)과 중첩되는 반도체층(308b); 절연층(306) 위에 형성된 도전층(310d); 반도체층(308b) 위에 형성된 도전층(310e); 절연층(306), 및 도전층(310d) 및 도전층(310e)을 덮도록 형성된 절연층(312); 및 절연층(312) 위에 형성된 절연층(314)을 포함한다. 또한, 도전층(316b)은 절연층(314) 위에 형성된다.
- [0089] 또한, 도 3의 (B)에 도시된 구동 회로부(104)에서, 도전층(316b)은, 도전층(304c)을 도전층(310d)에 접속하는 배선으로서 기능한다. 도전층(316b)은 절연층(305), 절연층(306), 절연층(312), 및 절연층(314)에 형성된 개구부 및 절연층(312) 및 절연층(314)에 형성된 개구부에서, 도전층(310d)에 접속된다. 또한, 도 3의 (B)에서, 도전층(304c)이 도전층(316b)에 접속될 때, 개구부가 절연층(305), 절연층(306), 절연층(312), 및 절연층(314)에 동시에 형성된다. 따라서, 개구 영역의 면적을 저감할 수 있다. 하지만 본 발명의 일 형태는 이에 한정되지 않는다. 도 3의 (A)에서의 도전층(304b)과 도전층(316a) 사이의 접속부와 같이, 개구부가 절연층(306) 및 절연층(312)에 형성된 후, 개구부가 절연층(314) 및 절연층(305)에 동시에 형성되어도 좋다. 그러므로 개구부를 형성하는 공정수는, 개구부가 절연층(305), 절연층(306), 절연층(312), 및 절연층(314)에 동시에 형성되는 경우에 비하여 증가된다. 결과적으로 각 공정에서, 깊이가 얕은 개구부가 형성되기 때문에(절연층의 에칭되는 양이 적기 때문에), 에칭 처리가 쉽게 수행된다.
- [0090] 또한, 정전 파괴 유발 영역(360)은 도 3의 (B)에 도시된 구동 회로부(104)에 형성된다. 정전 파괴 유발 영역(360)은 도전층(304c), 절연층(305) 및 절연층(306), 도전층(310d), 절연층(312) 및 절연층(314), 및 도전층(316b)을 포함한다. 또한, 절연층(305) 및 절연층(306)은 정전 파괴 유발 영역(360)에 반드시 제공될 필요는 없다.
- [0091] 도 2의 (B)에서의 상면도에 도시된 바와 같이, 정전 파괴 유발 영역(360)에서의 도전층(304c)의 일부는 빗 형상

을 갖는다. 또한, 도 3의 (B)에서의 단면도에 도시된 바와 같이, 도전층(304c)은, 도전층(310d)과 단락되기 쉽도록 복수의 볼록부를 갖는다.

[0092] 정전 파괴 유발 영역(360)에서 도전층(304c)과 도전층(310d) 사이에 큰 전위차가 생길 때, 도전층(304c)과 도전층(310d) 사이에 형성된 절연층(305) 및 절연층(306)은 파괴되어 단락이 생긴다.

[0093] 또한, 정전 파괴 유발 영역(360)은 다른 도전층에 도전층(316b)을 접속하기 위하여 개구부를 형성할 때에 특히 그 효과가 보인다. 예를 들어, 이 개구부가 드라이 에칭 장치를 사용하여 형성될 때, 도전층(304c)과 도전층(310d) 사이의 전위차를 드라이 에칭 장치에 생기는 플라즈마 등의 전계에 의하여 증가할 수 있다. 정전 파괴 유발 영역(360)이 형성되지 않는 경우, ESD로 인한 정전 파괴가 표시 장치에 포함되는 배선 패턴 등의 불특정 패턴에서 생긴다. 반대로 본 발명의 일 형태의 표시 장치는 정전 파괴 유발 영역(360)을 포함하기 때문에, ESD로 인한 과전류가 정전 파괴 유발 영역(360)에 방출될 수 있다.

[0094] 또한, 도전층(304c)은, 개구부가 절연층에 형성된 후, 도전층(316b)을 통하여 도전층(310d)에 접속된다. 그러므로 정전 파괴에 의하여 도전층(304c)과 도전층(310d) 사이에 단락이 생기더라도 표시 장치에 대한 악영향이 없거나 또는 매우 적다.

[0095] 이와 같이 하여, 정전 파괴 유발 영역(360)은, 도전층(304c)과 같은 공정에서 형성된 도전층(예컨대 도전층(304a) 및 도전층(304b)), 또는 도전층(310d)과 같은 공정에서 형성된 도전층(예컨대 도전층(310a), 도전층(310b), 및 도전층(310c))의 파괴를 억제할 수 있다.

[0096] 또한, 도 3의 (A) 및 (B)에 도시된 구동 회로부(104)는 기판(342), 기판(342) 위에 형성된 차광성을 갖는 층(이하, 차광층(344)이라고 함), 차광층(344) 위에 형성된 절연층(348), 및 절연층(348) 위에 형성된 도전층(350)을 포함한다.

[0097] 또한, 도 3의 (A) 및 (B)에 도시된 구동 회로부(104)에서, 기판(302)과 기판(342) 사이에 액정층(320)이 끼워지고, 액정층(320)에 접촉되도록, 배향막(318)이 기판(302)에 제공되고 배향막(352)이 기판(342)에 제공된다. 액정층(320)은 실란트(미도시)로, 기판(302)과 기판(342) 사이에 밀봉될 수 있다. 실란트는 외부로부터의 수분 등의 진입을 방지하기 위하여, 무기 재료와 접촉되는 것이 바람직하다. 또한, 액정층(320)의 두께(셀 갭이라고도 함)는 스페이서(미도시)를 사용하여 유지될 수 있다.

[0098] 도 3의 (C)에 도시된 화소부(102)는 기판(302); 기판(302) 위에 형성된 도전층(304e); 기판(302) 및 도전층(304e) 위에 형성된 절연층(305); 절연층(305) 위에 형성된 절연층(306); 절연층(306) 위에 형성되고, 도전층(304e)과 중첩되는 반도체층(308c); 절연층(306) 위에 형성된 반도체층(308d); 절연층(306) 및 반도체층(308c) 위에 형성된 도전층(310f) 및 도전층(310g); 반도체층(308c), 도전층(310f) 및 도전층(310g), 및 반도체층(308d)의 일부를 덮도록 형성되는 절연층(312); 절연층(312) 및 반도체층(308d) 위에 형성된 절연층(314); 및 절연층(314) 위에 형성되고, 도전층(310g)에 접속된 도전층(316c)을 포함한다.

[0099] 도전층(316c)은 절연층(312) 및 절연층(314)에 형성된 개구부에서, 도전층(310g)에 접속된다.

[0100] 도 3의 (C)에 도시된 화소부(102)는, 기판(342), 기판(342) 위에 형성된 차광층(344), 기판(342) 위에 형성된 착색성을 갖는 층(이하, 착색층(346)이라고 함), 차광층(344), 착색층(346) 위에 형성된 절연층(348), 및 절연층(348) 위에 형성된 도전층(350)을 포함한다.

[0101] 도 3의 (C)에 도시된 화소부(102)에서, 기판(302)과 기판(342) 사이에 액정층(320)이 끼워지고, 액정층(320)에 접촉되도록 배향막(318)이 기판(302)에 제공되고, 배향막(352)이 기판(342)에 제공된다.

[0102] 다른 구성 요소의 자세한 것은 이하의 표시 장치의 제작 방법의 기재에서 나중에 설명한다.

[0103] 상술한 바와 같이, 본 실시형태의 표시 장치에서, 정전 파괴 유발 영역은 구동 회로부에 제공된다. 이 정전 파괴 유발 영역은 케이트 전극과 같은 공정에서 형성된 배선과, 소스 전극 및 드레인 전극과 같은 공정에서 형성된 배선 사이에 절연막을 갖는다. 절연막의 두께를 작게 함으로써(즉, 배선들 사이의 거리를 짧게 함으로써) 정전 파괴가 다른 배선 패턴들 사이의 절연막에 생기는 것을 억제할 수 있다. 또한, 정전 파괴 유발 영역에서, 케이트 전극과 같은 공정에서 형성된 배선은 빗 형상을 가진 ESD에 의하여 생길 수 있는 과전류가 배선에 쉽게 흐른다.

[0104] 따라서 본 발명의 일 형태에서, 구동 회로부에 정전 파괴 유발 영역을 포함하는 표시 장치가 제공되어 신뢰성이 높은 신규 표시 장치를 제공할 수 있다.

- [0105] 본 실시형태에서 설명한 구조는, 다른 실시형태 중 어느 것에서 설명한 구조와 적절히 조합하여 사용할 수 있다.
- [0106] (실시형태 2)
- [0107] 본 실시형태에서, 실시형태 1에서의 도 3의 (A)~(C)의 표시 장치를 제작하는 방법을 도 4의 (A)~(C), 도 5의 (A)~(C), 도 6의 (A)~(C), 도 7의 (A)~(C), 도 8의 (A)~(C), 도 9의 (A)~(C), 도 10의 (A)~(C), 도 11의 (A)~(C), 도 12의 (A)~(C), 도 13의 (A)~(C), 도 14의 (A)~(C), 도 15의 (A)~(C), 도 16의 (A)~(C), 및 도 17의 (A)~(C)를 참조하여 설명한다.
- [0108] 실시형태 1의 도 3의 (A)~(C)에 도시된 표시 장치에서의 구동 회로부(104) 및 화소부(102)는 동시에 제작될 수 있다. 따라서 본 실시형태에서, 구동 회로부(104) 및 화소부(102)를 형성하는 방법을 설명한다. 또한, 구동 회로부(104)를 제작하는 방법은 도 4의 (A) 및 (B), 도 5의 (A) 및 (B), 도 6의 (A) 및 (B), 도 7의 (A) 및 (B), 도 8의 (A) 및 (B), 도 9의 (A) 및 (B), 도 10의 (A) 및 (B), 도 11의 (A) 및 (B), 도 12의 (A) 및 (B), 도 13의 (A) 및 (B), 도 14의 (A) 및 (B), 도 15의 (A) 및 (B), 도 16의 (A) 및 (B), 및 도 17의 (A) 및 (B)에 나타내어졌다. 화소부(102)를 제작하기 위한 방법은 도 4의 (C), 도 5의 (C), 도 6의 (C), 도 7의 (C), 도 8의 (C), 도 9의 (C), 도 10의 (C), 도 11의 (C), 도 12의 (C), 도 13의 (C), 도 14의 (C), 도 15의 (C), 도 16의 (C), 및 도 17의 (C)에 나타내어졌다.
- [0109] 먼저, 기판(302)을 준비한다. 기판(302)으로서, 알루미노실리케이트 유리(aluminosilicate glass), 알루미노보로실리케이트 유리(aluminoborosilicate glass), 바륨보로실리케이트 유리(barium borosilicate glass) 등의 유리 재료의 기판이 사용된다. 양산 시에서, 이하의 사이즈의 기본 유리(mother glass)가 기판(302)에 사용되는 것이 바람직하다: 제 8 세대(2160mm×2460mm); 제 9 세대(2400mm×2800mm, 또는 2450mm×3050mm); 제 10 세대(2950mm×3400mm) 등이다. 기본 유리는 처리 온도가 높고 처리 시간이 길면 대폭으로 수축한다. 따라서 기본 유리를 사용하여 양산을 수행하는 경우, 제작 공정에서의 가열 처리는, 바람직하게는 600°C 이하, 더 바람직하게는 450°C 이하, 더욱 바람직하게는 350°C 이하로 수행되는 것이 바람직하다.
- [0110] 다음에, 도전막을 기판(302) 위에 형성하고, 원하는 영역으로 가공함으로써, 도전층(304a), 도전층(304b), 도전층(304c), 도전층(304d), 및 도전층(304e)을 형성한다. 도전층(304a), 도전층(304b), 도전층(304c), 도전층(304d), 및 도전층(304e)은 제 1 패터닝에 의하여 원하는 영역에 마스크를 형성하고, 마스크로 덮이지 않는 영역을 예칭함으로써 형성할 수 있다.
- [0111] 도전층(304a), 도전층(304b), 도전층(304c), 도전층(304d), 및 도전층(304e)을 위하여, 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브데늄, 및 텅스텐으로부터 선택된 금속 원소, 이들 금속 원소 중 어느 것을 구성 요소로서 포함하는 합금, 이들 금속 원소를 조합하여 포함하는 합금 등을 사용할 수 있다. 또한, 도전층(304a), 도전층(304b), 도전층(304c), 도전층(304d), 및 도전층(304e)은 단층 구조 또는 2개 이상의 적층 구조를 가져도 좋다. 예를 들어, 알루미늄막 위에 타이타늄막이 적층되는 2층 구조, 질화 타이타늄막 위에 타이타늄막이 적층되는 2층 구조, 질화 타이타늄막 위에 텅스텐막이 적층되는 2층 구조, 질화 탄탈럼막 또는 질화 텅스텐막 위에 텅스텐막이 적층되는 2층 구조, 타이타늄막, 알루미늄막, 및 타이타늄막이 이 차례로 적층되는 3층 구조 등을 들 수 있다. 또는, 알루미늄, 및 타이타늄, 탄탈럼, 텅스텐, 몰리브데늄, 크로뮴, 네오디뮴, 및 스칸듐 중에서 선택된 하나 이상의 원소를 포함하는, 막, 합금막, 또는 질화막을 사용하여도 좋다. 도전층(304a), 도전층(304b), 도전층(304c), 도전층(304d), 및 도전층(304e)은 예컨대 스퍼터링법에 의하여 형성될 수 있다.
- [0112] 다음에 절연층(305) 및 절연층(306)이 기판(302) 및 도전층(304a), 도전층(304b), 도전층(304c), 도전층(304d), 및 도전층(304e) 위에 형성된다(도 4의 (A)~(C) 참조).
- [0113] 절연층(305)은, PE-CVD장치에 의하여 예컨대 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막 등 중 어느 것을 사용하여 단층 구조 또는 적층 구조로 형성된다. 절연층(305)이 적층 구조를 갖는 경우, 제 1 질화 실리콘막으로서, 결함이 적은 질화 실리콘막이 제공되는 것이 바람직하고, 제 2 질화 실리콘막으로서, 수소 및 암모니아가 방출되기 어려운 질화 실리콘막이 제 1 질화 실리콘막 위에 제공되는 것이 바람직하다. 결과적으로 절연층(305)에 함유되는 수소 및 질소가 나중에 형성되는, 반도체층(308a), 반도체층(308b), 및 반도체층(308c)으로 이동 또는 확산되는 것을 방지할 수 있다.
- [0114] 절연층(306)은, PE-CVD장치에 의하여 산화 실리콘막, 산화질화 실리콘막 등 중 어느 것을 사용하여 단층 구조 또는 적층 구조로 형성된다.

- [0115] 절연층(305) 및 절연층(306)에 대해서는, 예컨대 절연층(305)으로서 두께 300nm의 질화 실리콘막이 형성될 수 있고, 이 후, 절연층(306)으로서 두께 50nm의 산화질화 실리콘막을 형성할 수 있다. 상기 질화 실리콘막과 상기 산화질화 실리콘막은 진공 중에서 연속적으로 형성되는 것이 바람직하고, 이 경우, 불순물의 진입이 억제된다. 또한, 도전층(304a) 및 도전층(304e)과 중첩되는 절연층(305) 및 절연층(306)은 트랜지스터의 게이트 절연층으로서 기능할 수 있다.
- [0116] 또한, 질화산화 실리콘이란, 산소보다 질소를 더 포함하는 절연 재료를 가리키고, 한편, 산화질화 실리콘이란, 질소보다 산소를 더 포함하는 절연 재료를 가리킨다.
- [0117] 게이트 절연층이 상술한 구조를 가지면, 예컨대 이하의 효과를 얻을 수 있다. 질화 실리콘막은 산화 실리콘막보다 비유전율이 높고, 동등한 정전 용량을 위하여 큰 막 두께가 필요하다. 따라서 게이트 절연층의 물리적인 막 두께를 증가시킬 수 있다. 이로써, 트랜지스터의 내전압(withstand voltage)의 저하를 저감하고, 나아가 내전압을 증가시켜서, 트랜지스터의 정전 파괴를 감소시킬 수 있다.
- [0118] 다음에, 절연층(306) 위에 반도체층(307)을 형성한다(도 5의 (A)~(C) 참조).
- [0119] 반도체층(307)을 위하여, 예컨대 산화물 반도체를 사용할 수 있다. 반도체층(307)에 사용할 수 있는 산화물 반도체는 적어도 인듐(In), 아연(Zn) 및 M(M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf 등의 원소)을 포함하는 In-M-Zn 산화물로 표기되는 층을 포함하는 것이 바람직하다. 또는 In 및 Zn의 양쪽이 함유되는 것이 바람직하다. 상기 산화물 반도체를 포함하는 트랜지스터의 전기 특성의 편차를 저감시키기 위하여, 산화물 반도체는 In 및 Zn에 더하여 스테빌라이저(stabilizer)를 포함하는 것이 바람직하다.
- [0120] 스테빌라이저로서, 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 지르코늄(Zr) 등을 들 수 있다. 다른 스테빌라이저로서, 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 터븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 어븀(Er), 틀륨(Tm), 이터븀(Yb), 또는 루테튬(Lu) 등의 란타노이드를 들 수 있다.
- [0121] 산화물 반도체로서, 예컨대 이하 중 어느 것을 사용할 수 있다; 산화 인듐, 산화 주석, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, 또는 In-Hf-Al-Zn 산화물.
- [0122] 또한, 여기서 In-Ga-Zn 산화물이란 In, Ga, 및 Zn을 주성분으로서 함유하는 산화물을 의미하고, In, Ga, 및 Zn의 비율에 특별한 한정은 없다. In-Ga-Zn 산화물은 In, Ga, 및 Zn에 더하여 다른 금속 원소를 함유하여도 좋다. 또한, 본 명세서 등에서, In-Ga-Zn 산화물을 사용하여 형성된 막을 IGZO막이라고 하는 경우도 있다.
- [0123] 또는 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 을 만족시키고, 또한, m 은 정수(整數))으로 나타내어지는 재료를 사용하여도 좋다. 또한, M은 Ga, Fe, Mn, 및 Co에서 선택된 하나 이상의 금속 원소를 나타내는 경우가 있다. 또는 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$, n 은 정수)으로 나타내어지는 재료를 사용하여도 좋다.
- [0124] 산화물 반도체막은 비단결정 상태에 있어도 좋다. 비단결정 상태는 예컨대 CAAC(c-axis aligned crystal), 다결정, 미결정, 및 비정질부 중 적어도 하나에 의하여 구축된다.
- [0125] 산화물 반도체는 CAAC를 포함하여도 좋다. 또한, CAAC를 포함하는 산화물 반도체는 CAAC-OS(c-axis aligned crystalline oxide semiconductor)라고 불린다.
- [0126] 투과형 전자 현미경(TEM: Transmission Electron Microscope)으로 얻어진 이미지에서, 결정부를 CAAC-OS에서 찾을 수 있는 경우가 있다. CAAC-OS에서의 결정부 각각은 하나의 변이 100nm 미만인 입방체 내에 맞는 경우가 많다. TEM으로 얻어진 이미지에서, CAAC-OS에서의 결정부들 사이의 경계가 명확하게 관찰되지 않는 경우가 있다. 또한, TEM으로 얻어진 이미지에서, CAAC-OS에서의 결정립계는 명확하게 관찰되지 않는 경우가 있다. CAAC-OS에서, 명확한 결정립계가 존재하지 않기 때문에 불순물이 편석(偏析)되기 어렵다. CAAC-OS에서, 결정립계가 존재하지 않기 때문에, 전자 이동도가 저하되기 어렵다.

- [0127] CAAC-OS는 복수의 결정부를 포함하는 경우가 있다. 이 복수의 결정부에서, c축이 CAAC-OS가 형성되는 면의 법선 벡터 또는 CAAC-OS 표면의 법선 벡터에 평행한 방향으로 정렬되는 경우가 있다. CAAC-OS를 X선 회절(XRD: X-Ray Diffraction) 장치로, out-of-plane법에 의하여 분석하면, 배향을 나타내는 $2\theta = 31^\circ$ 근방에서의 피크가 나타나는 경우가 있다. 또한, CAAC-OS의 전자선 회절 패턴에서 스폿(輝點)이 나타내어지는 경우가 있다. $10\text{nm}\phi$ 이하, 또는 $5\text{nm}\phi$ 이하의 직경을 갖는 전자빔으로 얻어지는 전자선 회절 패턴은, 나노 전자빔 회절 패턴이라고 불린다. CAAC-OS에서, 결정부들끼리, 하나의 결정부의 a축 및 b축의 방향과 또 다른 결정부의 a축 및 b축의 방향이 상이한 경우가 있다. CAAC-OS에서, 예컨대 c축은 정렬되고, a축 및/또는 b축은 거시적으로 정렬되지 않는 경우가 있다.
- [0128] 도 30의 (A)는 CAAC-OS를 포함하는 시료의 나노 전자빔 회절 패턴의 일례이다. 여기서, 시료는 CAAC-OS가 형성되는 면에 수직인 방향으로 잘리고, 이 두께는 40nm 정도로 저감된다. 또한, $1\text{nm}\phi$ 의 직경의 전자빔이 시료의 절단면에 수직인 방향으로부터 진입된다. 도 30의 (A)는, 스폿이 CAAC-OS의 나노 전자빔 회절 패턴에서 관찰되는 것을 나타낸다.
- [0129] CAAC-OS에 포함되는 결정부 각각에서, c축이, CAAC-OS가 형성되는 면의 법선 벡터 또는 CAAC-OS 표면의 법선 벡터에 평행한 방향으로 정렬되고, a-b면에 수직인 방향으로부터 보아 삼각 형상 또는 육각 형상의 원자 배열이 형성되고, c축에 수직인 방향에서 봤을 때, 금속 원자가 층 형상으로 정렬되고, 또는 금속 원자 및 산소 원자가 층 형상으로 정렬된다. 또한, 결정부들끼리 하나의 결정부의 a축 및 b축의 방향은 또 다른 결정부의 a축 및 b축의 방향과 상이하여도 좋다. 또한, 결정부들끼리 하나의 결정부의 a축 및 b축의 방향은 또 다른 결정부의 a축 및 b축의 방향과 상이하여도 좋다. 본 명세서에서, "수직"이란 단어는 80° 이상 100° 이하의 범위, 바람직하게는 85° 이상 95° 이하의 범위를 포함한다. 또한, "평행"이란 단어는 -10° 이상 10° 이하의 범위, 바람직하게는 -5° 이상 5° 이하의 범위를 포함한다.
- [0130] CAAC-OS에 포함되는 결정부의 c축이, CAAC-OS가 형성되는 면의 법선 벡터 또는 CAAC-OS 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS의 형상(CAAC-OS가 형성되는 면의 단면 형상 또는 CAAC-OS 표면의 단면 형상)에 따라 c축의 방향은 서로 상이하여도 좋다. 또한 성막은, 결정부의 형성, 또는 가열 처리 등의 결정화 처리를 통한 결정부의 형성에 따른다. 그러므로, 결정부의 c축은 CAAC-OS가 형성되는 면의 법선 벡터 또는 CAAC-OS 표면의 법선 벡터에 평행한 방향으로 정렬된다.
- [0131] CAAC-OS는, 불순물 농도를 저감시킴으로써 얻어질 수 있다. 여기서, 불순물은 수소, 탄소, 실리콘, 또는 전이 금속 원소 등의 산화물 반도체의 주성분 외의 원소를 의미한다. 특히, 실리콘 등의 원소는 산화물 반도체에 포함되는 금속 원소보다 산소와의 결합력이 강하다. 따라서, 상기 원소가 산화물 반도체에서 산소를 빼앗을 때, 산화물 반도체에서의 원자 배열이 흐트러져, 산화물 반도체의 결정성이 저하되는 경우가 있다. 또한, 철 또는 니켈 등의 중금속, 아르곤, 이산화탄소 등은, 큰 원자 반경(또는 분자 반경)을 가져 산화물 반도체에서의 원자 배열을 흐트러뜨리기 때문에, 산화물 반도체의 결정성이 저하되는 경우가 있다. 그러므로, CAAC-OS는 불순물 농도가 낮은 산화물 반도체다. 또한, 산화물 반도체에 포함되는 불순물은 캐리어 발생원으로서 기능할 수 있다.
- [0132] CAAC-OS에서, 결정부의 분포가 반드시 균일할 필요는 없다. 예를 들어, CAAC-OS의 형성 공정에서, 산화물 반도체의 표면 층으로부터 결정 성장이 일어나는 경우, 산화물 반도체가 형성되는 면의 근방보다 산화물 반도체 표면의 근방에서의 결정부의 비율이 높은 경우가 있다. 또한, 불순물이 CAAC-OS 내에 혼합되면 불순물이 혼합되는 영역에서 결정성이 저하되는 경우가 있다.
- [0133] 또한, CAAC-OS는 결함 상태의 밀도를 저감함으로써 형성될 수 있다. 산화물 반도체에서, 산소 빈자리는 결함 상태다. 산소 빈자리는 트랩 준위로서 기능하거나, 또는 수소가 이들에 포획되면 캐리어 발생원으로서 기능한다. CAAC-OS를 형성하기 위하여, 산소 빈자리가 산화물 반도체에 생기는 것을 방지하는 것이 중요하다. 따라서 CAAC-OS는 결함 상태의 밀도가 낮은 산화물 반도체다. 바꿔 말하면 CAAC-OS는 산소 빈자리가 적은 산화물 반도체다.
- [0134] 불순물 농도가 낮고 결함 상태의 밀도가 낮은(산소 빈자리의 개수가 적은) 상태는 "고순도 진성", 또는 "실질적으로 고순도 진성"이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체는 캐리어 발생원이 적기 때문에 낮은 캐리어 밀도를 갖는 경우가 있다. 따라서 채널 형성 영역에 상기 산화물 반도체를 포함하는 트랜지스터는 마이너스의 문턱 전압을 거의 갖지 않는다(노멀리 온이 거의 되지 않음). 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체는 결함 상태의 밀도가 낮음에 따라 트랩 상태의 밀도가 낮아지는 경우가 있다. 따라서 상기 산화물 반도체를 채널 형성 영역에 포함하는 트랜지스터는 전기 특성에서의 변동이 작고 신뢰성이 높은 경우가 있다. 산화물 반도체에서의 트랩 상태에 의하여 포획된 전하는 소실하기까지에 걸리는 시간

이 같다. 포획된 전하는 고정 전하처럼 행동하여도 좋다. 그러므로 높은 트랩 상태의 밀도를 갖는 산화물 반도체를 채널 형성 영역에 포함하는 트랜지스터는 불안정한 전기 특성을 갖는 경우가 있다.

[0135] 고순도 진성 또는 실질적으로 고순도 진성의 CAAC-OS를 트랜지스터에 사용하면, 가시광 또는 자외광의 조사로 인한 트랜지스터의 전기 특성의 변동이 작게 된다.

[0136] CAAC-OS는, 예컨대 DC 전원을 사용하는 스피터링법에 의하여 형성될 수 있다.

[0137] 산화물 반도체는, 예컨대 다결정을 포함하여도 좋다. 또한, 다결정을 포함하는 산화물 반도체는 다결정 산화물 반도체라고 불린다. 다결정 산화물 반도체는 복수의 결정립을 포함한다.

[0138] 다결정 산화물 반도체의 TEM 이미지에서, 결정립을 찾을 수 있다. 다결정 산화물 반도체에서의 결정립의 사이즈는 예컨대 TEM에 의하여 얻어진 이미지에서, 2nm 이상 300nm 이하, 3nm 이상 100nm 이하, 또는 5nm 이상 50nm 이하인 경우가 많다. 또한, TEM 이미지에서, 다결정 산화물 반도체에 결정립들 사이의 경계를 찾을 수 있는 경우가 있다. 또한, TEM 이미지에서, 다결정 산화물 반도체에 결정립계를 찾을 있는 경우가 있다.

[0139] 다결정 산화물 반도체는 복수의 결정립을 포함하여도 좋고, 복수의 결정립에서 결정의 배열이 상이하여도 좋다. 다결정 산화물 반도체가 XRD장치를 사용하여 out-of-plane법에 의하여 분석되면, 배향을 나타내는 $2\Theta 31^\circ$ 근방에서의 피크 또는 복수 종류의 배향을 나타내는 피크가 나타나는 경우가 있다. 또한, 스포트은 다결정 산화물 반도체의 나노 전자빔 회절 패턴에서 관찰되는 경우가 있다.

[0140] 다결정 산화물 반도체는 높은 결정성을 갖기 때문에 높은 전자 이동도를 갖는 경우가 있다. 따라서, 다결정 산화물 반도체를 채널 형성 영역에 포함하는 트랜지스터는 높은 전계 효과 이동도를 갖는다. 또한, 다결정 산화물 반도체에서의 결정들 사이에서 불순물이 결정립계에 편석되는 경우가 있다. 또한, 다결정 산화물 반도체의 결정립계는 결합 상태가 된다. 다결정 산화물 반도체의 결정립계가 캐리어 트랩 또는 캐리어 발생원으로서 기능하여도 좋기 때문에, 다결정 산화물 반도체를 채널 형성 영역에 사용하는 트랜지스터는, CAAC-OS를 채널 형성 영역에 사용하는 트랜지스터보다 전기 특성의 변동이 크고, 신뢰성이 낮은 경우가 있다.

[0141] 다결정 산화물 반도체는 고온 가열 처리 또는 레이저광 처리에 의하여 형성될 수 있다.

[0142] 산화물 반도체는, 예컨대 미결정을 포함하여도 좋다. 또한, 미결정을 포함하는 산화물 반도체는 미결정 산화물 반도체라고 불린다.

[0143] TEM에 의하여 얻어진 이미지에서, 결정부가 미결정 산화물 반도체에서 명확하게 찾을 수 없는 경우가 있다. 미결정 산화물 반도체에 포함되는 결정부의 사이즈는 예컨대, 1nm 이상 100nm 이하, 또는, 1nm 이상 10nm 이하인 경우가 많다. 1nm 이상 10nm 이하의 사이즈의 미결정은 특히, 나노 결정(nc: nanocrystal)이라고 불린다. 나노 결정을 포함하는 산화물 반도체는 nc-OS(nanocrystalline Oxide Semiconductor)라고 불린다. TEM에 의하여 얻어진 nc-OS의 이미지에서, 결정부들 사이의 경계는 명확하게 검출될 수 없는 경우가 있다. TEM에 의하여 얻어진 nc-OS의 이미지에서, 예컨대 명확한 결정립계가 존재하지 않기 때문에 불순물의 편석이 일어나기 어렵다. nc-OS에서, 명확한 결정립계가 존재하지 않기 때문에, 결합 상태의 밀도가 높게 되기 어렵다. nc-OS에서, 명확한 결정립계가 존재하지 않기 때문에, 전자 이동도가 저하되기 어렵다.

[0144] nc-OS에서, 미세한 영역(예컨대 1nm 이상 10nm 이하의 사이즈의 영역)은 주기적인 원자 배열을 갖는 경우가 있다. 또한, nc-OS에서, 결정부들은 규칙적으로 배열되지 않는다. 따라서 주기적인 원자 배열이 거시적으로 관찰되지 않는 경우, 또는 원자 배열에 장거리 질서가 관찰되지 않는 경우가 있다. 따라서, nc-OS는 분석 방법에 따라서, 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. nc-OS가 결정부보다 큰 빔 직경을 갖는 X선을 사용한 XRD장치로 out-of-plane법에 의하여 분석되면, 배향을 나타내는 피크가 나타나지 않는 경우가 있다. 또한, 결정부보다 큰 직경(예컨대 $20\text{nm}\phi$ 이상, 또는 $50\text{nm}\phi$ 이상의 빔 직경)을 갖는 전자빔을 사용하여 얻어진 nc-OS의 전자선 회절 패턴에서, 헤일로 패턴이 보이는 경우가 있다. 결정부와 같거나 또는 결정부보다 작은 직경(예컨대, $10\text{nm}\phi$ 이하, 또는 $5\text{nm}\phi$ 이하의 빔 직경)을 갖는 전자빔을 사용하여 얻어진 nc-OS의 나노 전자빔 회절 패턴에서, 스포트이 보이는 경우가 있다. nc-OS의 나노 전자빔 회절 패턴에서, 원형 패턴의 고휘도 영역이 보이는 경우가 있다. nc-OS의 나노 전자빔 회절 패턴에서, 복수의 스포트이 상기 영역에서 보이는 경우가 있다.

[0145] 도 30의 (B)는 nc-OS를 포함하는 시료의 나노 전자빔 회절 패턴의 일례다. 여기서, 시료는 nc-OS가 형성되는 면에 수직인 방향으로 잘리고, 이 두께는 40nm 정도로 저감된다. 또한, $1\text{nm}\phi$ 의 직경을 갖는 전자빔이 시료의 절단면에 수직인 방향으로부터 진입된다. 도 30의 (B)는, nc-OS의 나노 전자빔 회절 패턴에서, 원 패턴의 고휘도 영역이 보이고, 복수의 스포트이 이 영역에 보이는 것을 나타낸다.

- [0146] nc-OS에서의 미세한 영역은 주기적인 원자 배열을 갖는 경우가 있기 때문에, nc-OS는 비정질 산화물 반도체보다 결합 상태의 밀도가 낮다. 또한, nc-OS에서의 결정부들이 규칙적으로 배열되지 않기 때문에, nc-OS는 CAAC-OS보다 결합 상태의 밀도가 높다.
- [0147] 따라서, nc-OS는 CAAC-OS보다 높은 캐리어 밀도를 가져도 좋다. 캐리어 밀도가 높은 산화물 반도체는 높은 전자 이동도를 갖는 경향이 있다. 따라서, nc-OS를 채널 형성 영역에 사용하는 트랜지스터는 높은 전계 효과 이동도를 갖는 경우가 있다. 또한, nc-OS는 CAAC-OS보다 결합 상태의 밀도가 높아서, 트랩 상태의 밀도가 높아지는 경우가 있다. 따라서, nc-OS를 채널 형성 영역에 사용하는 트랜지스터는, CAAC-OS를 채널 형성 영역에 사용하는 트랜지스터보다 전기 특성의 변동이 크고, 신뢰성이 낮다. 또한, nc-OS에 함유되는 불순물량이 비교적 많더라도 nc-OS를 얻을 수 있어, nc-OS는 용도에 따라 적합하게 사용되는 경우가 있다. 예를 들어, AC 전원을 사용하는 스퍼터링법 등의 성막 방법에 의하여 nc-OS를 형성하여도 좋다. AC 전원을 사용하는 스퍼터링법에 의하여 큰 기판 위에 균일성 높게 막이 형성되기 때문에, nc-OS를 채널 형성 영역에 사용하는 트랜지스터를 포함하는 반도체 장치는 생산성 높게 제조될 수 있다.
- [0148] 산화물 반도체는 비정질부를 포함하여도 좋다. 또한, 비정질부를 포함하는 산화물 반도체는 비정질 산화물 반도체라고 불린다. 비정질 산화물 반도체는 예컨대 원자 배열이 무질서하고, 결정부를 갖지 않는다. 비정질 산화물 반도체는 예컨대 석영과 같이 특정한 형태 및 원자 배열에서의 규칙성을 갖지 않는다.
- [0149] 또한, 헤일로 패턴은 비정질 산화물 반도체막의 전자선 회절 패턴에서 관찰되는 경우가 있다. 비정질 산화물 반도체막의 나노 전자빔 회절 패턴에서 스포트 대신에 헤일로 패턴이 관찰되는 경우도 있다.
- [0150] 비정질 산화물 반도체는 예컨대, 수소 등의 불순물을 높은 농도로 도입함으로써 형성될 수 있는 경우가 있다. 따라서, 비정질 산화물 반도체는 불순물을 높은 농도로 포함한다.
- [0151] 산화물 반도체가 고농도 불순물을 포함하면, 산소 빈자리 등의 결합 상태가 산화물 반도체에 형성되는 경우가 있다. 이것은 고농도 불순물의 비정질 산화물 반도체는 결합 상태의 밀도가 높은 것을 의미한다. 또한, 비정질 산화물 반도체가 낮은 결정성을 갖기 때문에 비정질 산화물 반도체의 결합 상태의 밀도는 CAAC-OS 또는 nc-OS보다 높다.
- [0152] 따라서, 비정질 산화물 반도체는 nc-OS보다 매우 높은 캐리어 밀도를 갖는다. 그러므로 비정질 산화물 반도체를 채널 형성 영역에 사용하는 트랜지스터는 노멀리 온이 될 경향이 있다. 따라서, 이와 같은 비정질 산화물 반도체는 노멀리 온일 필요가 있는 트랜지스터에 적용될 수 있는 경우가 있다. 비정질 산화물 반도체는 결합 상태의 밀도가 높기 때문에, 높은 트랩 상태의 밀도를 갖는 경우가 있다. 결과적으로, 비정질 산화물 반도체를 채널 형성 영역에 포함하는 트랜지스터는, CAAC-OS 또는 nc-OS를 채널 형성 영역에 포함하는 트랜지스터보다 전기 특성의 변동이 크고, 신뢰성이 낮다. 또한, 비정질 산화물 반도체는, 비교적 많은 불순물량이 포함되는 성막 방법에 의하여 형성될 수 있어 쉽게 얻어질 수 있고, 용도에 따라 적합하게 사용될 수 있다. 예를 들어, 비정질 산화물 반도체는 스픬 코팅법, 졸-겔법, 침지법, 스프레이법, 스크린 인쇄법, 콘택트 인쇄법, 잉크젯 인쇄법, 롤 코팅법, 또는 미스트 CVD법 등의 성막 방법에 의하여 형성되어도 좋다. 그러므로, 비정질 산화물 반도체를 채널 형성 영역에 사용하는 트랜지스터를 포함하는 반도체 장치는 생산성 높게 제조될 수 있다.
- [0153] 또한, 산화물 반도체가 CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체, 및 비정질 산화물 반도체 중 2개 이상을 포함하는 혼합막이라도 좋다. 혼합막은, 비정질 산화물 반도체 영역, 미결정 산화물 반도체 영역, 다결정 산화물 반도체 영역, 및 CAAC-OS 영역 중 2개 이상을 포함하는 경우가 있다. 혼합막은, 비정질 산화물 반도체 영역, 미결정 산화물 반도체 영역, 다결정 산화물 반도체 영역, 및 CAAC-OS 영역 중 2개 이상의 적층 구조를 갖는 경우가 있다.
- [0154] 산화물 반도체는 단결정을 포함하여도 좋다. 또한, 단결정을 포함하는 산화물 반도체는 단결정 산화물 반도체라고 불린다.
- [0155] 단결정 산화물 반도체는 불순물 농도가 낮고 결합 상태의 밀도가 낮기(산소 빈자리가 적기) 때문에, 캐리어 밀도가 낮다. 따라서 단결정 산화물 반도체를 채널 형성 영역에 포함하는 트랜지스터는 거의 노멀리 온이 되지 않는 경우가 있다. 또한, 단결정 산화물 반도체는 결합 상태의 밀도가 낮기 때문에, 트랩 상태의 밀도가 낮은 경우가 있다. 따라서 단결정 산화물 반도체를 채널 형성 영역에 포함하는 트랜지스터는 전기 특성 변동이 작기 때문에 트랜지스터는 높은 신뢰성을 가질 수 있다.
- [0156] 예를 들어, 산화물 반도체는 포함되는 결함이 적으면 높은 밀도를 갖는다. 예를 들어, 산화물 반도체는 높은 결

정성을 가지면 높은 밀도를 갖는다. 산화물 반도체는, 수소 등의 불순물을 낮은 농도로 포함하면 높은 밀도를 갖는다. 예를 들어, 단결정 산화물 반도체의 밀도는 CAAC-OS보다 높은 경우가 있다. 예를 들어, CAAC-OS의 밀도가 미결정 산화물 반도체보다 높은 경우가 있다. 예를 들어, 다결정 산화물 반도체의 밀도가 미결정 산화물 반도체보다 높은 경우가 있다. 예를 들어, 미결정 산화물 반도체의 밀도가 비정질 산화물 반도체보다 높은 경우가 있다.

[0157] 이 후, 반도체층(307)을 원하는 형상으로 가공하여 섬 형상의, 반도체층(308a), 반도체층(308b), 반도체층(308c), 및 반도체층(308d)을 형성한다. 반도체층(308a), 반도체층(308b), 반도체층(308c), 및 반도체층(308d)은, 제 2 패터닝에 의하여 원하는 영역에 마스크를 형성하고, 마스크로 덮이지 않는 영역을 에칭함으로써 형성될 수 있다. 에칭에는 드라이 에칭, 웨트 에칭, 또는 양쪽을 조합한 에칭을 채용할 수 있다(도 6의 (A)~(C) 참조). 상술한 바와 같이 반도체층(307)을 원하는 형상으로 가공함으로써 섬 형상의 반도체층(308d)이 형성되면, 추가의 공정은 필요하지 않고 공정의 총수 및 제조 비용을 줄일 수 있고 스루풋을 향상시킬 수 있다.

[0158] 다음에 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도로 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압 상태에서 수행되어도 좋다. 또는 제 1 가열 처리는, 불활성 가스 분위기에서 가열 처리를 수행하고 나서, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상 포함하는 분위기에서 다른 가열 처리를 수행하는 바와 같이 수행되어도 좋다. 제 1 가열 처리에 의하여, 반도체층(308a), 반도체층(308b), 반도체층(308c), 및 반도체층(308d)에 사용되는 산화물 반도체의 결정성을 향상시킬 수 있고, 또한 절연층(305) 및 절연층(306), 및 반도체층(308a), 반도체층(308b), 반도체층(308c), 및 반도체층(308d)으로부터 수소 및 물 등의 불순물이 제거될 수 있다. 산화물 반도체가 섬 형상으로 가공되기 전에 제 1 가열 처리가 수행되어도 좋다.

[0159] 또한, 산화물 반도체 중의 불순물 농도를 저감하여, 산화물 반도체를 진성 또는 실질적으로 진성으로 함으로써 산화물 반도체가 채널로서 기능하는 트랜지스터에 안정된 전기 특성을 효과적으로 부여할 수 있다. "실질적으로 진성"이란 용어는, 산화물 반도체가 $1 \times 10^{17}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{13}/\text{cm}^3$ 미만의 캐리어 밀도를 갖는 상태를 가리킨다.

[0160] 산화물 반도체에서, 수소, 질소, 탄소, 실리콘, 및 주성분 외의 금속 원소는 불순물이다. 예를 들어, 수소 및 질소는 캐리어 밀도를 증가시키는 도너 준위를 형성한다. 실리콘은 산화물 반도체에서 불순물 준위를 형성한다. 불순물 준위는 트랩이 되어, 트랜지스터의 전기 특성을 열화시킬 수 있다.

[0161] 또한, 산화물 반도체를 진성 또는 실질적으로 진성으로 하기 위하여, SIMS에 의하여 측정되는, 산화물 반도체에서의 실리콘의 농도는 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만으로 설정된다. 산화물 반도체에서의 수소의 농도는 $2 \times 10^{20} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하로 설정된다. 산화물 반도체에서의 질소의 농도는 $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms}/\text{cm}^3$ 이하로 설정된다.

[0162] 또한, 산화물 반도체가 결정을 포함하는 경우, 실리콘 또는 탄소가 고농도로 포함되면, 산화물 반도체의 결정성이 저감될 수 있다. 산화물 반도체의 결정성을 저하시키지 않기 위하여, 산화물 반도체에서의 실리콘의 농도는 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만으로 설정될 수 있다. 또한, 탄소의 농도는 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만으로 설정될 수 있다.

[0163] 상술한 바와 같이, 고순도화된 산화물 반도체막이 채널 형성 영역에 사용되는 트랜지스터는 매우 낮은 오프 상태 전류를 갖고, 트랜지스터의 채널 폭에 규격화된 오프 상태 전류는 수 $yA/\mu\text{m} \sim$ 수 $zA/\mu\text{m}$ 까지 저감할 수 있다.

[0164] 다음에, 도전층(309)이 절연층(306), 및 반도체층(308a), 반도체층(308b), 반도체층(308c), 및 반도체층(308d) 위에 형성된다(도 7의 (A)~(C) 참조).

[0165] 도전층(309)은, 도전 재료로서, 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데늄, 은,

탄탈럼, 및 텉스텐 등의 금속 중 어느 것, 또는 이들 금속 중 어느 것을 주성분으로서 포함하는 합금을 단층 구조 또는 적층 구조로 하여 형성될 수 있다. 예를 들어, 알루미늄막 위에 타이타늄막이 적층되는 2층 구조, 텉스텐막 위에 타이타늄막이 적층되는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막이 형성되는 2층 구조, 타이타늄막 또는 질화 타이타늄막, 알루미늄막 또는 구리막, 및 타이타늄막 또는 질화 타이타늄막이 이 차례로 적층되는 3층 구조, 폴리브데넘막 또는 질화 폴리브데넘막, 알루미늄막 또는 구리막, 및 폴리브데넘막 또는 질화 폴리브데넘막이 이 차례로 적층되는 3층 구조 등을 들 수 있다. 또한, 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전 재료가 사용되어도 좋다. 또한, 도전층(309)은 예컨대 스퍼터링법에 의하여 형성될 수 있다.

[0166] 다음에, 도전층(309)을 원하는 형상으로 가공하여, 도전층(310a), 도전층(310b), 도전층(310c), 도전층(310d), 도전층(310e), 도전층(310f), 및 도전층(310g)을 형성한다. 또한, 도전층(310a), 도전층(310b), 도전층(310c), 도전층(310d), 도전층(310e), 도전층(310f), 및 도전층(310g)은, 제 3 패터닝에 의하여 원하는 영역에 마스크를 형성하고, 마스크로 덮이지 않는 영역을 에칭함으로써 형성될 수 있다(도 8의 (A)~(C) 참조).

[0167] 본 실시형태에서, 도전층(310a), 도전층(310b), 도전층(310f), 및 도전층(310g)은 반도체층(308a) 및 반도체층(308c) 위에 형성되지만 절연층(306)과 반도체층(308a) 및 반도체층(308c) 사이에 형성될 수 있다.

[0168] 다음에 절연층(311)은 절연층(306), 반도체층(308a) 및 반도체층(308c), 및 도전층(310a), 도전층(310b), 도전층(310c), 도전층(310d), 도전층(310e), 도전층(310f), 및 도전층(310g)을 덮도록 형성된다(도 9의 (A)~(C) 참조).

[0169] 절연층(311)에는, 반도체층(308a), 반도체층(308b), 반도체층(308c), 및 반도체층(308d)에 사용되는 산화물 반도체와의 계면의 특성을 향상시키기 위하여 산소를 포함하는 무기 절연 재료가 사용될 수 있다. 절연층(311)은 예컨대 PE-CVD법에 의하여 형성될 수 있다.

[0170] 절연층(311)의 예로서, 150nm 이상 400nm 이하의 두께를 갖는 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막 등을 사용할 수 있다. 본 실시형태에서, 두께 300nm의 산화질화 실리콘막이 절연층(311)으로서 사용된다.

[0171] 이 후, 절연층(311)을 원하는 형상으로 가공하여 개구부(372a) 및 개구부(372b)를 형성한다. 또한, 절연층(311)은, 개구부(372a) 및 개구부(372b)가 형성된 절연층(312)으로서 기능한다. 절연층(312), 및 개구부(372a) 및 개구부(372b)는, 제 4 패터닝에 의하여 마스크를 원하는 영역에 형성하고, 마스크로 덮이지 않는 영역이 에칭됨으로써 형성될 수 있다(도 10의 (A)~(C) 참조).

[0172] 개구부(372a)는 절연층(305)을 노출하도록 형성된다. 또한, 개구부(372b)는 반도체층(308d)을 노출하도록 형성된다. 이에 한정되지 않지만, 개구부(372a) 및 개구부(372b)의 형성 방법의 예에는 드라이 에칭법이 포함된다. 또는 웨트 에칭법, 또는 드라이 에칭과 웨트 에칭을 조합한 것이 개구부(372a) 및 개구부(372b)의 형성에 채용될 수 있다. 또한, 원하는 영역에 반도체층(307)을 가공하지 않고 반도체층(307)이 아닌 반도체층(예컨대 ITO)을 가공하여 섬 형상의 반도체층(308d)을 형성하는 경우가 있다. 이 경우, 개구부(372b)를 생략할 수 있다. 또한, 섬 형상의 반도체층(308d)이 절연층(313)에 접촉되지 않는 경우, 개구부(372b)를 생략할 수 있다. 또한, 섬 형상의 반도체층(308d)을 제공할 필요가 없는 경우, 개구부(372b)를 생략할 수 있다.

[0173] 다음에 절연층(313)이 절연층(305) 및 절연층(312), 및 반도체층(308d) 위에 형성된다(도 11의 (A)~(C) 참조).

[0174] 절연층(313)은 수분, 알칼리 금속, 또는 알칼리 토금속 등의 외부 불순물이 산화물 반도체층으로 확산되는 것을 방지할 수 있는 재료를 사용하여 형성되는 막이고, 수소를 더 포함한다. 따라서 절연층(313)에 함유되는 수소가 반도체층(308d)에 확산될 때, 수소는 반도체층(308d) 중의 산소와 결합되어 캐리어로서 기능하는 전자를 생성한다. 결과적으로 반도체층(308d)의 도전성이 증가되어 반도체층(308d)은 투광성을 갖는 도전층이 된다.

[0175] 본 실시형태에서, 반도체층(308d)과 접촉한 절연층(313)으로부터 수소가 공급되는 공정을 설명하지만, 본 발명은 이 공정에 한정되지 않는다. 예를 들어, 트랜지스터의 채널 형성 영역으로서 기능하는 영역에 마스크가 형성되고, 이 마스크에 의하여 덮이지 않는 영역에, 수소가 공급될 수 있다. 예를 들어, 이온 도핑 장치 등이 반도체층(308d)에 수소를 도입하기 위하여 사용될 수 있다. 또한, 반도체층(308d) 위에 미리, 투광성을 갖는 도전막(예컨대, ITO 등)이 형성될 수 있다. 이 경우, 투광성을 갖는 도전막은 개구부(372b)가 제공되지 않는 절연층(312)의 일부 위(즉 절연층(312)과 절연층(313) 사이)에 제공되어도 좋다.

[0176] 절연층(313)은 두께가 150nm 이상 400nm 이하이고, 수소를 함유하는 절연막으로 형성될 수 있고, 예를 들어, 질화 실리콘막, 질화산화 실리콘막 등을 사용할 수 있다. 본 실시형태에서, 150nm의 두께를 갖는 질화 실리콘막이

절연층(313)으로서 사용된다.

[0177] 절화 실리콘막은 블로킹성을 향상시키기 위하여, 고온에서 형성되는 것이 바람직하다; 예컨대 절화 실리콘막은 기판 온도 100°C 이상 기판의 변형점 이하의 온도, 더 바람직하게는 300°C 이상 400°C 이하의 온도로 형성되는 것이 바람직하다. 고온에서 절화 실리콘막이 형성되면, 반도체층(308a), 반도체층(308b), 및 반도체층(308c)에 사용되는 산화물 반도체로부터 산소가 방출되고 캐리어 밀도가 상승되는 현상이 일어나는 경우가 있기 때문에, 온도의 상한은 이 현상이 일어나지 않는 온도다.

[0178] 이 후, 절연층(313)을 원하는 형상으로 가공하여 개구부(374a), 개구부(374b), 개구부(374c), 개구부(374d), 및 개구부(374e)가 형성된다. 또한, 절연층(313)은 개구부(374a), 개구부(374b), 개구부(374c), 개구부(374d), 및 개구부(374e)가 형성되는 절연층(314)으로서 기능한다. 절연층(314) 및 개구부(374a), 개구부(374b), 개구부(374c), 개구부(374d), 및 개구부(374e)는, 제 5 패터닝에 의하여 원하는 영역에 마스크가 형성되고, 마스크로 덮이지 않는 영역이 에칭됨으로써 형성될 수 있다(도 12의 (A)~(C) 참조).

[0179] 개구부(374a) 및 개구부(374c)는 도전층(304b) 및 도전층(304c)을 노출하도록 형성된다. 개구부(374b), 개구부(374d), 및 개구부(374e)는 도전층(310c), 도전층(310d), 및 도전층(310g)을 노출하도록 형성된다. 또한, 개구부(374c)가 형성되는 영역에, 개구부(372a)와 같은 방법으로 절연층(306) 및 절연층(312)의 일부가 제거된 개구부가 형성되어도 좋다.

[0180] 개구부(374a), 개구부(374b), 개구부(374c), 개구부(374d), 및 개구부(374e)의 형성 방법의 일례에는, 이에 한정되지 않지만, 드라이 에칭법이 포함된다. 또는 웨트 에칭법, 또는 드라이 에칭과 웨트 에칭을 조합한 것이 개구부(374a), 개구부(374b), 개구부(374c), 개구부(374d), 및 개구부(374e)의 형성에 채용될 수 있다.

[0181] 이 후, 절연층(314), 및 개구부(374a), 개구부(374b), 개구부(374c), 개구부(374d), 및 개구부(374e)를 덮도록 도전층(315)이 절연층(314) 위에 형성된다(도 13의 (A)~(C)).

[0182] 도전층(315)에, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 함), 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성 도전 재료를 사용할 수 있다. 또한, 도전층(315)은 예컨대 스퍼터링법에 의하여 형성될 수 있다.

[0183] 이 후, 도전층(315)을 원하는 형상으로 가공하여 도전층(316a), 도전층(316b), 및 도전층(316c)을 형성한다. 도전층(316a), 도전층(316b), 및 도전층(316c)은, 제 6 패터닝에 의하여 원하는 영역에 마스크를 형성하고, 마스크로 덮이지 않는 영역을 에칭함으로써 형성될 수 있다(도 14의 (A)~(C) 참조).

[0184] 상술한 공정을 거쳐, 트랜지스터를 포함하는 구동 회로부(104) 및 화소부(102)를 하나의 기판(즉 기판(302)) 위에 형성할 수 있다. 본 실시형태에서 설명하는 제작 공정에서, 구동 회로부, 트랜지스터, 커패시터 등은 제 1~제 6 패터닝(즉 6개의 마스크)에 의하여 동시에 형성될 수 있다.

[0185] 다음에, 기판(302)에 대향하여 제공되는 기판(342) 위에 형성되는 구조를 이하에서 설명한다.

[0186] 먼저, 기판(342)을 준비한다. 기판(342)의 재료에는, 기판(302)에 사용될 수 있는 재료를 참조할 수 있다. 이후, 기판(342) 위에 차광층(344) 및 착색층(346)을 형성한다(도 15의 (A)~(C) 참조).

[0187] 차광층(344)은 특정한 파장 영역의 광을 차단하는 기능을 갖는 것이 바람직하고, 금속막 또는 흑색 안료를 포함하는 유기 절연막일 수 있다.

[0188] 착색층(346)은, 특정한 파장 영역의 광을 투과하는 기능을 갖는 착색층이다. 예를 들어, 적색 파장 대역에서의 광을 투과하기 위한 적색(R) 컬러 필터, 녹색 파장 대역에서의 광을 투과하기 위한 녹색(G) 컬러 필터, 청색 파장 대역에서의 광을 투과하기 위한 청색(B) 컬러 필터 등을 사용할 수 있다. 각 컬러 필터는 다양한 재료 중 어느 것을 사용하여, 인쇄법, 잉크젯법, 포토리소그래피 기술을 사용하는 에칭법 등에 의하여 원하는 위치에 형성된다.

[0189] 이 후, 차광층(344) 및 착색층(346) 위에 절연층(348)을 형성한다(도 16의 (A)~(C) 참조).

[0190] 절연층(348)에, 아크릴 수지 등의 유기 절연막을 사용할 수 있다. 절연층(348)에 의하여, 예컨대 착색층(346)에 함유되는 불순물 등이 액정층(320) 내로 확산되는 것을 억제할 수 있다. 또한, 절연층(348)은 반드시 형성될 필요는 없다.

- [0191] 이 후, 절연층(348) 위에 도전층(350)을 형성한다(도 17의 (A)~(C)). 도전층(350)으로서 도전층(315)에 사용될 수 있는 재료를 사용할 수 있다.
- [0192] 상술한 공정을 거쳐, 기판(342) 위에 형성된 구조를 형성할 수 있다.
- [0193] 다음에 기판(302) 위에 배향막(318)이 형성되고, 기판(342) 위에 배향막(352)이 형성되고, 구체적으로는, 기판(302) 위에 형성된, 절연층(314), 및 도전층(316a), 도전층(316b), 및 도전층(316c) 위 및 기판(342) 위에 형성된 도전층(350) 위에 형성된다. 배향막(318) 및 배향막(352)은 러빙법, 광배향법 등에 의하여 형성될 수 있다. 이 후, 기판(302)과 기판(342) 사이에 액정층(320)을 형성한다. 액정층(320)은, 디스펜서법(적하법), 또는 기판(302)과 기판(342)이 서로 접합된 후 모세관 현상을 사용하여 액정을 주입시키는 주입법에 의하여 형성할 수 있다.
- [0194] 상술한 공정을 거쳐, 도 3의 (A)~(C)에 도시된 표시 장치를 제작할 수 있다.
- [0195] 본 실시형태는 본 명세서에서의 다른 실시형태 중 어느 것과 적절히 조합할 수 있다.
- [0196] (실시형태 3)
- [0197] 본 실시형태에서, 실시형태 1에서의 표시 장치의 변형예를 도 18의 (A)~(C), 도 19, 및 도 20의 (A) 및 (B)를 참조하여 설명한다.
- [0198] 도 18의 (A)~(C)에는 실시형태 1에서의 도 3의 (A)~(C)의 구조의 변형예를 도시하였다. 또한, 상술한 실시형태에서의 것들과 같은 부분, 및 상술한 실시형태에서의 것들과 같은 기능을 갖는 부분은 동일한 부호가 주어지고, 이들의 자세한 기재는 생략한다.
- [0199] 도 18의 (A)는 도 2의 (A)에서의 일점 쇄선 X1-Y1을 따른 절단면에 상당하는 단면도다. 도 18의 (B)는 도 2의 (B)에서의 일점 쇄선 X2-Y2 및 X3-Y3을 따른 절단면에 상당하는 단면도다. 도 18의 (C)는 도 2의 (C)에서의 일점 쇄선 X4-Y4를 따른 절단면에 상당하는 단면도다.
- [0200] 도 18의 (A)에 나타낸 구동 회로부(104)는 기판(302); 기판(302) 위에 형성된 도전층(304a) 및 도전층(304b); 기판(302), 및 도전층(304a) 및 도전층(304b) 위에 형성된 절연층(305); 절연층(305) 위에 형성된 절연층(306); 절연층(306) 위에 형성되고, 도전층(304a)과 중첩되는 반도체층(308a); 반도체층(308a) 위에 형성된 절연층(370); 절연층(370) 및 반도체층(308a) 위에 형성된 도전층(310a) 및 도전층(310b); 절연층(370) 위에 형성된 도전층(310c); 반도체층(308a), 및 도전층(310a), 도전층(310b), 및 도전층(310c)을 덮도록 형성된 절연층(312); 절연층(312) 위에 형성된 절연층(314); 및 절연층(314) 위에 형성된 도전층(316a)을 포함한다.
- [0201] 또한, 도 18의 (A)에 도시된 구동 회로부(104)에서, 도전층(316a)은, 도전층(304b)을 도전층(310c)에 접속하는 배선으로서 기능한다. 도전층(304b)은 절연층(305), 절연층(306), 절연층(312), 절연층(314), 및 절연층(370)에 형성된 개구부에서 도전층(316a)에 접속되고, 도전층(310c)은 절연층(312) 및 절연층(314)에 형성된 개구부에서 도전층(316a)에 접속된다.
- [0202] 또한, 도 18의 (A)에 도시된 구동 회로부(104)에서, 도전층(310a) 및 도전층(310b)은 절연층(370)에 형성된 개구부를 통하여 반도체층(308a)에 접속된다.
- [0203] 도 18의 (B)에 도시된 구동 회로부(104)는, 기판(302); 기판(302) 위에 형성된 도전층(304c) 및 도전층(304d); 기판(302), 및 도전층(304c) 및 도전층(304d) 위에 형성된 절연층(305); 절연층(305) 위에 형성되고, 도전층(304d)과 중첩되는 절연층(306); 절연층(306) 위에 형성되고, 도전층(304d)과 중첩되는 반도체층(308b); 반도체층(308b) 위에 형성되고, 도전층(304d)과 중첩되는 절연층(370); 절연층(306) 위에 형성된 도전층(310d); 절연층(370) 위에 형성된 도전층(310e); 절연층(306), 및 도전층(310d) 및 도전층(310e)을 덮도록 형성된 절연층(312); 및 절연층(312) 위에 형성된 절연층(314)을 포함한다. 또한, 도전층(316b)은 절연층(314) 위에 형성된다.
- [0204] 또한, 도 18의 (B)에 도시된 구동 회로부(104)에서, 도전층(316b)은, 도전층(304c)을 도전층(310d)에 접속하는 배선으로서 기능한다. 도전층(316b)은 절연층(305), 절연층(306), 절연층(312), 절연층(314), 및 절연층(370)에 형성된 개구부 및 절연층(312) 및 절연층(314)에 형성된 개구부에서, 도전층(310d)에 접속된다.
- [0205] 도 18의 (B)에 도시된 구동 회로부(104)에서, 정전 파괴 유발 영역(360)은 도 3의 (A)~(C)에 도시된 구동 회로부(104)와 같은 방법으로 형성된다. 정전 파괴 유발 영역(360)은 실시형태 1에 설명된 것과 같은 효과를

갖는다.

[0206] 또한, 도 18의 (B)에 도시된 구동 회로부(104)에서, 절연층(305), 절연층(306), 반도체층(308b), 및 절연층(370)은 도전층(304d)과 도전층(310e) 사이에 제공된다. 절연층(305) 및 절연층(306)에 더하여, 반도체층(308b) 및 절연층(370)이 형성되기 때문에, 도전층(304d)과 도전층(310e) 사이의 거리가 증가될 수 있다. 그러므로 도전층(304d)과 도전층(310e) 사이에 생길 수 있는 기생 용량이 감소될 수 있다. 또한, 도전층(304d)과 도전층(310e) 사이의 거리가 증가됨으로써 도전층(304d)과 도전층(310e)이 단락될 가능성을 감소할 수 있다.

[0207] 도 18의 (C)에 도시된 화소부(102)는 기판(302); 기판(302) 위에 형성된 도전층(304e); 기판(302) 및 도전층(304e) 위에 형성된 절연층(305); 절연층(305) 위에 형성된 절연층(306); 절연층(306) 위에 형성되고, 도전층(304e)과 중첩되는 반도체층(308c); 절연층(306) 위에 형성된 반도체층(308d); 반도체층(308c) 위에 형성된 절연층(370); 절연층(370) 및 반도체층(308c) 위에 형성된 도전층(310f) 및 도전층(310g); 절연층(370), 및 도전층(310f) 및 도전층(310g)을 덮도록 형성된 절연층(312); 절연층(312) 및 반도체층(308d) 위에 형성된 절연층(314); 및 절연층(314) 위에 형성되고, 도전층(310g)에 접속된 도전층(316c)을 포함한다.

[0208] 도전층(316c)은 절연층(312) 및 절연층(314)에 형성된 개구부에서, 도전층(310g)에 접속된다.

[0209] 상술한 바와 같이, 도 18의 (A)~(C)에 도시된 표시 장치는 절연층(370)이 형성되는 점에서 도 3의 (A)~(C)에 도시된 표시 장치와 상이하다. 절연층(370)은 반도체층(308a), 반도체층(308b), 반도체층(308c), 및 반도체층(308d)이 형성된 후에 절연층이 형성되고 가공되는 방법으로 형성될 수 있다. 절연층(370)은 절연층(312)에 사용될 수 있는 재료 및 방법을 사용하여 형성될 수 있다.

[0210] 절연층(370)은 반도체층(308a) 및 반도체층(308c)을 덮을 수 있다. 또한, 반도체층(308a) 및 반도체층(308c)은 절연층(370)에 제공되는 개구부를 통하여 소스 전극 및 드레인 전극으로서 기능하는 도전층(310a), 도전층(310b), 도전층(310f), 및 도전층(310g)에 접속된다. 반도체층(308a) 및 반도체층(308c)은 도전층을 소스 전극 및 드레인 전극으로서 기능하는 도전층들로 가공할 때에 절연층(370)에 의하여 보호된다. 따라서 절연층(370)은 채널 보호막으로서 기능한다.

[0211] 또한, 도 3의 (A)~(C)에 도시된 표시 장치는 실시형태 2에서 설명한 6개의 마스크를 사용하여 제조될 수 있다. 한편으로 도 18의 (A)~(C)에 도시된 표시 장치는 7개의 마스크(즉 마스크의 개수가 하나 증가됨)를 사용하여 제조될 수 있다.

[0212] 도 18의 (A)~(C)는 트랜지스터(131_3) 및 트랜지스터(131_1) 각각에서 절연층(370)이 반도체층(308a) 및 반도체층(308c)을 덮는 경우를 도시하였지만 본 발명의 일 형태는 이들에 한정되지 않는다. 예를 들어, 도 19에 도시된 바와 같이, 절연층(370)이 트랜지스터의 채널 형성 영역에만 제공되어도 좋다. 하지만, 도 18의 (A)~(C)에 도시된 구조는 이하의 이유로 바람직하다: 도 18의 (A)~(C)에 나타낸 바와 같이, 절연층(370)이 반도체층(308a) 및 반도체층(308c) 각각의 외주부도 덮기 때문에 절연층(370)은 반도체층(308a) 및 반도체층(308c)에 진입할 수 있는 불순물 등으로부터 반도체층(308a) 및 반도체층(308c)을 보호할 수 있다.

[0213] 다음에 도 20의 (A) 및 (B)에 도시된 표시 장치를 이하에서 설명한다.

[0214] 도 20의 (A) 및 (B)는 실시형태 1의 도 3의 (A)에 도시된 구조의 변형예를 나타낸 것이다. 또한, 상술한 실시형태에서의 것들과 같은 부분, 및 상술한 실시형태에서의 것들과 같은 기능을 갖는 부분은 동일한 부호가 주어지고, 이들의 자세한 기재는 생략한다.

[0215] 도 20의 (A)에 도시된 구동 회로부(104)는 도전층(304b)을 도전층(310c)에 접속하는 방법에서 도 3의 (A)에 도시된 구동 회로부(104)와 상이하다. 구체적으로는 도 20의 (A)에 도시된 구동 회로부(104)에서, 도전층(310c)의 일부는 도전층(304b)의 일부와 중첩된다. 또한, 도전층(304b) 및 도전층(310c)은 도전층(316a)을 통하여 서로 접속된다. 이와 같이, 도전층(310c)의 일부가 도전층(304b)의 일부에 중첩되면 구동 회로부의 면적은 감소될 수 있다. 예를 들어, 도 20의 (A)에 도시된 구동 회로부(104)가 도 1의 (A)의 게이트 드라이버(104a)로서 사용되는 경우, 게이트 드라이버(104a)의 면적이 감소될 수 있다.

[0216] 도 20의 (B)에 도시된 구동 회로부(104)는, 절연층(370)을 갖는 점 및 도전층(304b)을 도전층(310c)에 접속하는 방법에서 도 3의 (A)에 도시된 구동 회로부(104)와 상이하다. 도 20의 (B)에서의 절연층(370)은 도 18의 (A)~(C)에 도시된 절연층(370)과 같은 기능 및 효과를 갖는다. 도전층(304b)을 도전층(310c)에 접속하는 방법은 도 20의 (A)에 도시된 접속 방법과 같은 기능 및 효과를 갖는다.

[0217] 상술한 바와 같이, 본 실시형태의 표시 장치에서, 정전 파괴 유발 영역은 구동 회로부에 제공된다. 정전 파괴

유발 영역은 게이트 전극과 같은 공정에서 형성된 배선과, 소스 전극 및 드레인 전극과 같은 공정에서 형성된 배선 사이에 절연막을 갖는다. 절연막의 두께를 작게 함으로써(즉, 배선들 사이의 거리를 얕게 함으로써) 정전 파괴가 다른 배선 패턴들 사이의 절연막에 생기는 것을 억제할 수 있다. 또한, 정전 파괴 유발 영역에서 게이트 전극과 같은 공정에서 형성된 배선은 빗 형상을 가져 ESD에 의하여 생길 수 있는 과전류가 배선에 쉽게 흐른다.

[0218] 따라서 본 발명의 일 형태에 의하여, 구동 회로부에 정전 파괴 유발 영역을 포함하는 표시 장치가 제공되어 신뢰성이 높은 신규 표시 장치를 제공할 수 있다.

[0219] 본 실시형태에서 설명한 구조는, 다른 실시형태 중 어느 것에서 설명한 구조와 적절히 조합하여 사용할 수 있다.

[0220] (실시형태 4)

[0221] 본 실시형태에서, 실시형태 1에서의 정전 파괴 유발 영역(360)의 변형예를 도 21의 (A)~(C)를 참조하여 설명한다.

[0222] 실시형태 1에서, 구동 회로부(104)에 정전 파괴 유발 영역(360)이 형성되는 구조를 설명하였다. 본 실시형태에서, 표시 장치의 외주부에 정전 파괴 유발 영역이 형성되는 구조를 설명한다.

[0223] 도 21의 (A)는 표시 장치 및 표시 장치의 외주부를 개략적으로 나타내는 상면도다. 도 21의 (B)는, 도 21의 (A)에서의 정전 파괴 유발 영역(362a)을 개략적으로 나타내는, 확대된 상면도다. 도 21의 (C)는 도 21의 (B)에서의 선 X5-Y5를 따른 단면도에 상당한다.

[0224] 도 21의 (A)에서, 화소부(102), 게이트 드라이버(104a), 및 소스 드라이버(104b)는 표시 장치(100)에 형성된다. 또한, 복수의 배선을 포함하는 가드 링(362)은 표시 장치(100)의 외주부에 형성된다. 가드 링(362)은 정전 파괴 유발 영역(362a)을 포함한다.

[0225] 도 21의 (A)에 도시된 바와 같이, 가드 링(362)은 표시 장치(100)의 외주부에 형성된다. 따라서 표시 장치(100)의 제조 공정에서 생길 수 있는 ESD 등으로 인한 과전류로부터 표시 장치(100)를 보호할 수 있다. 예를 들어, 과전류가 표시 장치(100)의 제조 공정에서 생기면 가드 링(362)은 안테나로서 기능하고, 과전류는 가드 링(362)에 인가될 수 있다. 따라서, 가드 링(362)에 의하여, 표시 장치(100)를 ESD 등으로 인한 과전류로부터 보호할 수 있다.

[0226] 도 21의 (B)는 가드 링(362)에 형성된 정전 파괴 유발 영역(362a)의 확대된 상면도다. 정전 파괴 유발 영역(362a)을 도 21의 (A)~(C)를 참조하여 이하에서 설명한다.

[0227] 정전 파괴 유발 영역(362a)은, 기판(402); 기판(402) 위에 형성된 도전층(404); 기판(402) 및 도전층(404) 위에 형성된 절연층(405); 절연층(405) 위에 형성된 절연층(406); 절연층(406) 위에 형성된 도전층(410); 절연층(406) 및 도전층(410) 위에 형성된 절연층(412); 절연층(412) 위에 형성된 절연층(414); 및 절연층(414) 위에 형성된 도전층(416)을 포함한다.

[0228] 상술한 실시형태 중 어느 것에 설명된 기판(302)에 사용될 수 있는 재료는 기판(402)에 사용될 수 있다. 상술한 실시형태 중 어느 것에 설명된 도전층(304a)에 사용될 수 있는 재료는 기판(404)에 사용될 수 있다. 상술한 실시형태 중 어느 것에 설명된 절연층(305)에 사용될 수 있는 재료는 기판(405)에 사용될 수 있다. 상술한 실시형태 중 어느 것에 설명된 절연층(306)에 사용될 수 있는 재료는 절연층(406)에 사용될 수 있다. 상술한 실시형태 중 어느 것에 설명된 도전층(310a)에 사용될 수 있는 재료는 도전층(410)에 사용될 수 있다. 상술한 실시형태 중 어느 것에 설명된 절연층(312)에 사용될 수 있는 재료는 절연층(412)에 사용될 수 있다. 상술한 실시형태 중 어느 것에 설명된 절연층(314)에 사용될 수 있는 재료는 절연층(414)에 사용될 수 있다. 상술한 실시형태 중 어느 것에 설명된 도전층(316a)에 사용될 수 있는 재료는 도전층(416)에 사용될 수 있다.

[0229] 정전 파괴 유발 영역(362a)은 개구부(474a) 및 개구부(474b)를 포함한다. 개구부(474a)에서, 절연층(405), 절연층(406), 절연층(412), 및 절연층(414)의 일부는 제거되어 도전층(404)이 노출된다. 개구부(474b)에서, 도전층(410)은 절연층(412) 및 절연층(414)의 일부를 제거함으로써 노출된다. 또한, 도전층(404)과 도전층(410)은 개구부(474a) 및 개구부(474b), 및 절연층(414) 위에 형성된 도전층(416)을 통하여 서로 접속된다.

[0230] 또한, 본 실시형태에서, 도전층(416)은 정전 파괴 유발 영역(362a)의 상부를 모두 덮는다. 하지만 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 도전층(416)은 개구부(474a) 및 개구부(474b)의 일부 위에만 형성되어도 좋고 또는 도전층(416)을 제공하지 않는 것도 가능하다. 가드 링(362), 및 가드 링(362)에 포함된 정전 파

과 유발 영역(362a)은 표시 장치(100)의 외주부에 형성되어, 표시 장치(100)에 직접적인 영향은 없다. 그러므로 실행자가 도전층(404)을 도전층(410)에 접속하는 방법, 도전층(404) 및 도전층(410)의 상면 형상 등의 최적의 구조를 적절히 선택할 수 있다.

[0231] 또한, 정전 과과 유발 영역(362a)은 실시형태 1에 설명된 정전 과과 유발 영역(360)과 같은 바람직한 효과를 갖는다.

[0232] 상술한 바와 같이, 본 실시형태에서, 정전 과과 유발 영역은 표시 장치의 외주부에 형성된다. 따라서 높은 신뢰성을 가질 수 있는 신규 표시 장치를 제공할 수 있다.

[0233] 본 실시형태에서 설명한 구조는, 다른 실시형태 중 어느 것에서 설명한 구조와 적절히 조합하여 사용할 수 있다.

[0234] (실시형태 5)

[0235] 본 실시형태에서, 도 1의 (A)에 도시된 화소 회로부(108)에 사용될 수 있는 회로 구성은 도 22의 (A) 및 (B)를 참조하여 설명한다. 또한, 상술한 실시형태와 같은 기능을 갖는 부분은 동일한 부호가 주어지고, 이들의 자세한 기재는 생략한다.

[0236] 도 22의 (A)에 도시된 화소 회로부(108)는 액정 소자(322), 트랜지스터(131_1), 및 커패시터(133_1)를 포함한다.

[0237] 액정 소자(322)의 한 쌍의 전극 중 한쪽의 전위는 화소 회로부(108)의 사양에 따라 적절히 설정된다. 액정 소자(322)의 배향 상태는 기록되는 데이터에 따른다. 공통 전위는 복수의 화소 회로부(108) 각각에 포함되는 액정 소자(322)의 한 쌍의 전극 중 한쪽에 공급되어도 좋다. 또한, 하나의 행에서의 화소 회로부(108)에서의 액정 소자(322)의 한 쌍의 전극 중 한쪽에 공급되는 전위는, 다른 행에서의 화소 회로부(108)에서의 액정 소자(322)의 한 쌍의 전극 중 한쪽에 공급되는 전위와 상이하여도 좋다.

[0238] 액정 소자(322)를 포함하는 표시 장치의 구동 방법의 예로서, 이하의 모드 중 어느 것을 들 수 있다: TN모드, STN모드, VA모드, ASM(Axially Symmetric aligned Micro-cell)모드, OCB(Optically Compensated Birefringence)모드, FLC(Ferroelectric Liquid Crystal)모드, AFLC(AntiFerroelectric Liquid Crystal)모드, MVA(Multi-domain Vertical Alignment)모드, PVA(Patterned Vertical Alignment)모드, IPS모드, FFS모드, TBA(Transverse Bend Alignment)모드 등이다. 표시 장치의 구동 방법의 다른 예에는, ECB(Electrically Controlled Birefringence)모드, PDLC(Polymer Dispersed Liquid Crystal)모드, PNLC(Polymer Network Liquid Crystal)모드, 및 게스트 호스트 모드가 포함된다. 또한, 본 발명은 이들 예에 한정되지 않고, 다양한 액정 소자 및 구동 방법이 이들의 액정 소자 및 구동 방법에 적용될 수 있다.

[0239] 액정 소자는, 블루상(Blue Phase)을 나타내는 액정과 키랄체를 포함하는 액정 조성물을 사용하여 형성되어도 좋다. 블루상을 나타내는 액정은 1msec 이하의 짧은 응답 시간을 갖고 광학적 등방성이기 때문에 배향 처리가 불필요하고 시야각 의존성이 작다.

[0240] 제 m행 및 제 n열에서의 화소 회로부(108)에서, 트랜지스터(131_1)의 소스 및 드레인 중 한쪽은 데이터선(DL_n)에 전기적으로 접속되고, 다른 쪽은 액정 소자(322)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 트랜지스터(131_1)의 게이트는, 주사선(GL_m)에 전기적으로 접속된다. 트랜지스터(131_1)는 온 또는 오프됨으로써, 데이터 신호를 기록하는지 여부를 제어하는 기능을 갖는다.

[0241] 커패시터(133_1)의 한 쌍의 전극 중 한쪽은 전위가 공급되는 배선(이하 전위 공급선(VL)이라고 함)에 전기적으로 접속되고, 다른 쪽은 액정 소자(322)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 전위 공급선(VL)의 전위는 화소 회로(111)의 사양에 따라 적절히 설정된다. 커패시터(133_1)는 기록된 데이터를 저장하기 위하여 저장 커패시터로서 기능한다.

[0242] 예를 들어, 도 22의 (A)에서의 화소 회로부(108)를 포함하는 표시 장치에서, 화소 회로부(108)는 게이트 드라이버(104a)에 의하여 행마다 순차적으로 선택되어, 트랜지스터(131_1)는 온되고 데이터 신호가 기록된다.

[0243] 트랜지스터(131_1)가 오프되면, 데이터가 기록되어 있는 화소 회로부(108)는 유지 상태가 된다. 이 동작이 행마다 순차적으로 수행됨으로써 화상이 표시된다.

[0244] 도 22의 (B)에 도시된 화소 회로부(108)는 트랜지스터(131_2), 커패시터(133_2), 트랜지스터(134), 및 발광 소자(135)를 포함한다.

- [0245] 트랜지스터(131_2)의 소스 및 드레인 중 한쪽은, 데이터 신호가 공급되는 배선(이하, 데이터선(DL_n)이라고 함)에 전기적으로 접속된다. 트랜지스터(131_2)의 게이트는, 게이트 신호가 공급되는 배선(이하, 주사선(GL_m)이라고 함)에 전기적으로 접속된다.
- [0246] 트랜지스터(131_2)는 온 또는 오프됨으로써, 데이터 신호를 기록하는지 여부를 제어하는 기능을 갖는다.
- [0247] 커패시터(133_2)의 한 쌍의 전극 중 한쪽은 전원이 공급되는 배선(전원선(VL_a))에 전기적으로 접속되고, 다른 쪽은 트랜지스터(131_2)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다.
- [0248] 커패시터(133_2)는 기록된 데이터를 저장하기 위하여 저장 커패시터로서 기능한다.
- [0249] 트랜지스터(134)의 소스 및 드레인 중 한쪽은, 전원선(VL_a)에 전기적으로 접속된다. 또한, 트랜지스터(134)의 게이트는, 트랜지스터(131_2)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다.
- [0250] 발광 소자(135)의 애노드 및 캐소드 중 한쪽은, 전원선(VL_b)에 전기적으로 접속되고, 다른 쪽은 트랜지스터(134)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다.
- [0251] 발광 소자(135)로서, 예컨대 유기 일렉트로루미네선스 소자(유기 EL 소자라고도 함) 등이 사용될 수 있다. 또한, 발광 소자(135)는, 유기 EL 소자에 한정되지 않고, 무기 재료를 포함하는 무기 EL 소자가 사용될 수 있다.
- [0252] 고전원 전위(VDD)는 전원선(VL_a) 및 전원선(VL_b) 중 한쪽에 공급되고, 저전원 전위(VSS)는 다른 쪽에 공급된다.
- [0253] 도 22의 (B)에서의 화소 회로부(108)를 포함하는 표시 장치에서, 화소 회로부(108)는 게이트 드라이버(104a)에 의하여 행마다 순차적으로 선택되어, 트랜지스터(131_2)는 온되고 데이터 신호가 기록된다.
- [0254] 트랜지스터(131_2)가 오프되면, 데이터가 기록되어 있는 화소 회로부(108)는 유지 상태가 된다. 또한, 기록된 데이터 신호의 전위에 따라 트랜지스터(134)의 소스와 드레인 사이에 흐르는 전류량이 제어된다. 발광 소자(135)는 흐르는 전류의 양에 대응하는 휘도로 발광한다. 이 동작이 행마다 순차적으로 수행됨으로써 화상이 표시된다.
- [0255] 또한, 본 명세서 등에서, 표시 소자, 표시 소자를 포함하는 장치인 표시 장치, 발광 소자, 및 발광 소자를 포함하는 장치인 발광 장치는, 다양한 모드를 적용할 수 있거나 또는 다양한 소자를 포함할 수 있다. 표시 소자, 표시 장치, 발광 소자, 또는 발광 장치의 예에는, 전기 자기적 작용에 의하여, 콘트라스트, 휘도, 반사율, 투과율 등이 변화하는 표시 매체인, EL(electroluminescent) 소자(예컨대 유기 및 무기 재료를 포함하는 EL 소자, 유기 EL 소자, 또는 무기 EL 소자), LED(예컨대 백색 LED, 적색 LED, 녹색 LED, 또는 청색 LED), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출체, 액정 소자, 전자 잉크, 전기 영동 소자, 전기 습윤 소자, GLV(Grating Light Valve), PDP(Plasma Display Panel), MEMS(Micro Electro Mechanical System), DMD(Digital Micromirror Device), DMS(Digital Micro Shutter), MIRASOL(등록상표), IMOD(interferometric modulator display), 압전 세라믹 디스플레이, 또는 카본 나노 튜브가 포함된다. EL 소자를 갖는 표시 장치의 예에는 EL 디스플레이 등이 포함된다. 전자 방출체를 갖는 표시 장치의 예에는, 필드 에미션 디스플레이(FED), SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 포함된다. 액정 소자를 갖는 표시 장치의 예에는 액정 디스플레이(예컨대 투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 또는 투사형 액정 디스플레이) 등이 포함된다. 전자 잉크 또는 전기 영동 소자를 갖는 표시 장치의 예에는 전자 페이퍼가 포함된다.
- [0256] EL 소자의 예에는 애노드, 캐소드, 및 애노드와 캐소드 사이에 끼워진 EL층을 포함하는 소자 등이 있다. 이에 한정되지 않지만 EL층의 예에는, 일중항 여기자로부터의 발광(형광)을 이용하는 층, 삼중항 여기자로부터의 발광(인광)을 이용하는 층, 일중항 여기자로부터의 발광(형광)과 삼중항 여기자로부터의 발광(인광)을 이용하는 층, 유기 재료를 포함하는 층, 무기 재료를 포함하는 층, 유기 재료 및 무기 재료를 포함하는 층, 고분자 재료를 포함하는 층, 저분자 재료를 포함하는 층, 고분자 재료와 저분자 재료를 포함하는 층 등이 포함된다. 또한, 이를 예에 더하여 EL 소자의 다양한 형태를 사용할 수 있다.
- [0257] 액정 소자의 예에는, 액정의 광 변조 작용에 의하여 광의 투과 또는 비투과가 제어되는 소자가 있다. 이 소자는 한 쌍의 전극과 액정층을 포함하여 구성될 수 있다. 액정의 광 변조 작용은, 액정에 인가되는 전계(수평 전계, 수직 전계, 또는 경사 전계를 포함함)에 의하여 제어된다. 또한, 구체적으로는, 네마틱 액정, 콜레스테릭 액정, 스멕틱 액정, 디스코틱 액정, 서모트로픽 액정, 리오프트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액

정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 바나나형 액정 등이 액정 소자에 사용될 수 있다.

[0258] 예를 들어, 전자 페이퍼의 표시는, 분자(광학 이방성, 염료 분자 배향 등을 이용하는 방법), 입자(전기 영동, 입자 이동, 입자 회전, 상 변화 등을 이용하는 방법), 필름의 일단부의 이동, 분자의 착색성 또는 상 변화, 분자에 의한 광흡수, 또는 전자와 홀(hole)의 결합에 의한 자발광을 사용하여 수행될 수 있다. 구체적으로는 전자 페이퍼의 표시 방법의 예는 마이크로캡슐형 전기 영동, 수평 전기 영동, 수직 전기 영동, 구형(球形) 트위스트 볼, 자기 트위스트 볼, 원주 트위스트 볼, 대전된 토너, 전자 분립체, 자기 전기 영동, 자기 감열식, 일렉트로 웨팅, 광산란(투명-불투명 변화), 콜레스테릭 액정 및 광 도전층, 콜레스테릭 액정, 쌍안정성 네마틱 액정, 강유전성 액정, 이색성 색소·액정 분산형, 가동 필름, 로이코 염료의 착색 및 탈색성, 포토크로미, 일렉트로크로미, 일렉트로디포지션, 플렉시블 유기 EL 등이 있다. 또한, 본 발명은 이들 예에 한정되지 않고, 다양한 전자 페이퍼 및 표시 방법이 전자 페이퍼 및 그 표시 방법으로서 사용될 수 있다. 여기서, 마이크로캡슐형 전기 영동에 의하여, 영동 입자의 응집 및 침전을 방지할 수 있다. 전자 분류체(電子粉流體, electro liquid powder)는 고속 응답성, 고반사율, 광시야각, 저소비 전력, 및 메모리성 등의 이점을 갖는다.

[0259] 본 실시형태에서 설명한 구조는, 다른 실시형태 중 어느 것에서 설명한 구조와 적절히 조합하여 사용할 수 있다.

[0260] (실시형태 6)

[0261] 본 실시형태에서, 실시형태 1의 도 1의 (A)에 도시된 표시 장치의 화소 회로부(102) 및 구동 회로부(104)에 사용될 수 있는 트랜지스터의 구조를 도 23의 (A)~(D)를 참조하여 이하에서 설명한다.

[0262] 도 23의 (A)에 도시된 트랜지스터는 기판(302) 위의 도전층(304a), 기판(302) 및 도전층(304a) 위의 절연층(305) 및 절연층(306), 절연층(306) 위의 산화물 적층(390), 및 절연층(306) 및 산화물 적층(390) 위의 도전층(310a) 및 도전층(310b)을 포함한다. 도 23의 (A)에 도시된 트랜지스터는, 트랜지스터 위(구체적으로는 산화물 적층(390), 및 도전층(310a) 및 도전층(310b) 위)의 절연층(312) 및 절연층(314)이 더 제공되어도 좋다.

[0263] 또한, 도전층(310a) 및 도전층(310b)에 사용되는 도전막의 종류에 따라, 산소는 산화물 적층(390)의 일부로부터 제거되거나 또는 혼합층이 형성되어 n형 영역(392)이 산화물 적층(390)에 형성되는 경우가 있다. 도 23의 (A)에서, n형 영역(392)은 도전층(310a)과 도전층(310b)의 계면 근방에 있는 산화물 적층(390)의 영역에 형성될 수 있다. n형 영역(392)은, 소스 영역 및 드레인 영역으로서 기능할 수 있다.

[0264] 도 23의 (A)에 도시된 트랜지스터에서, 도전층(304a)은 게이트 전극으로서 기능하고, 도전층(310a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전층(310b)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다.

[0265] 도 23의 (A)에 도시된 트랜지스터에서, 도전층(304a)과 중첩되는 산화물 적층(390)의 영역에서의, 도전층(310a)과 도전층(310b) 사이의 거리를 채널 길이라고 말한다. 채널 형성 영역은, 도전층(304a)과 중첩되고, 도전층(310a)과 도전층(310b) 사이에 끼워지는 산화물 적층(390)의 영역을 말한다. 또한 채널은 채널 형성 영역에서 전류가 주로 흐르는 영역을 말한다.

[0266] 여기서 도 23의 (B)를 참조하여 산화물 적층(390)을 자세히 설명한다.

[0267] 도 23의 (B)는 도 23의 (A)에서의 파선으로 둘러싸인 산화물 적층(390)의 영역의 확대도다. 산화물 적층(390)은 산화물 반도체층(390a) 및 산화물층(390b)을 포함한다.

[0268] 산화물 반도체층(390a)은 바람직하게는 적어도 인듐(In), 아연(Zn) 및 M(M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 원소임)을 함유하는 In-M-Zn 산화물로 나타내어지는 층을 포함한다. 반도체층(390a)의 산화물 반도체 재료, 형성 방법 등은 상술한 실시형태에서 설명한 반도체층(308a)의 이들을 참조할 수 있다.

[0269] 산화물층(390b)은 산화물 반도체층(390a)에 함유되는 원소의 일종 이상을 함유한다. 산화물층(390b)의 전도대 하단의 에너지가 산화물 반도체층(390a)보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상이고, 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하만큼 진공 준위에 가까운 위치에 있다. 이 경우, 게이트 전극으로서 기능하는 도전층(304a)에 전계가 인가되면, 전도대 하단의 에너지가 가장 낮은, 산화물 적층(390)에서의 산화물 반도체층(390a)에 채널이 형성된다. 즉, 산화물층(390b)이 산화물 반도체층(390a)과 절연층(312) 사이에 위치되기 때문에 트랜지스터의 채널이 절연층(312)과 접촉되지 않는 산화물 반도체층(390a)에 형성될 수 있다. 산화물층(390b)은 산화물 반도체층(390a)에 함유되는 원소 중 1종 이상을 함유하기 때문에, 산화물 반도체층

(390a)과 산화물층(390b) 사이의 계면에서 계면 산란이 일어나기 어렵다. 따라서, 산화물 반도체층(390a)과 산화물층(390b) 사이에서, 캐리어의 이동이 저해되지 않아, 결과적으로 트랜지스터의 전계 효과 이동도가 증가된다. 또한, 산화물 반도체층(390a)과 산화물층(390b) 사이에 계면 상태가 형성되기 어렵다. 산화물 반도체층(390a)과 산화물층(390b) 사이에 계면 상태가 형성되면, 트랜지스터와 상이한 문턱 전압을 갖는, 산화물 반도체층(390a)과 산화물층(390b) 사이의 계면이 채널로서 기능하는 제 2 트랜지스터가 형성되고 트랜지스터의 외관상 문턱 전압이 변동되는 경우가 있다. 따라서 산화물층(390b)에 의하여, 문턱 전압 등의 트랜지스터의 전기 특성의 편차가 저감될 수 있다.

[0270] 산화물층(390b)으로서, In-M-Zn 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 원소임)로 나타내어지고, 산화물 반도체층(390a)보다 M의 원자수비가 큰 산화물층이 사용된다. 구체적으로는, 산화물층(390b)에서의 상술한 원소 중 어느 것의 원자수비가 산화물 반도체층(390a)보다 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상 높다. 상술한 원소 중 어느 것은 인듐보다 산소와 강하게 결합되기 때문에, 산화물층에 산소 빈자리가 생기는 것을 억제하는 기능을 갖는다. 바꿔 말하면, 산화물층(390b)은 산화물 반도체층(390a)보다 산소 빈자리가 생기기 어려운 산화물층이다.

[0271] 즉, 산화물 반도체층(390a) 및 산화물층(390b) 각각이, 적어도 인듐, 아연 및 M을 함유하는 In-M-Zn 산화물일 때, 산화물 반도체층(390b)은 M 및 Zn에 대한 In의 원자수비가 $x_1:y_1:z_1$ 이고, 산화물층(390a)은 M 및 Zn에 대한 In의 원자수비가 $x_2:y_2:z_2$ 이고, y_1/x_1 이 y_2/x_2 보다 큰 것이 바람직하다. y_1/x_1 은 y_2/x_2 보다 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상 크다. 이 때, 산화물 반도체층(390a)에서 y_2 가 x_2 보다 크면 트랜지스터는 안정된 전기적 특성을 가질 수 있다. 하지만 y_2 가 x_2 의 3배 이상 크면, 트랜지스터의 전계 효과 이동도가 저하되기 때문에, y_2 는 x_2 의 3배 미만이 바람직하다.

[0272] 산화물 반도체층(390a)이 In-M-Zn 산화물이라면, In과 M의 합을 100atomic%로 하였을 때 M에 대한 In의 원자수비는, 바람직하게는 이하와 같다: In의 비율이 25atomic% 이상, M의 비율이 75atomic% 미만, 더 바람직하게는 In의 비율이 34atomic% 이상, M의 비율이 66atomic% 미만이다. In-M-Zn 산화물이 산화물층(390b)으로서 사용되면, In과 M의 합을 100atomic%로 하였을 때 M에 대한 In의 원자수비는, 바람직하게는 이하와 같다: In의 비율이 50atomic% 미만, M의 비율이 50atomic% 이상, 더 바람직하게는 In의 비율이 25atomic% 미만, M의 비율이 75atomic% 이상이다.

[0273] 산화물 반도체층(390a) 및 산화물층(390b)에, 인듐, 아연, 및 갈륨을 함유하는 산화물 반도체를 사용할 수 있다. 구체적으로는, 산화물 반도체층(390a)은 Ga 및 Zn에 대한 In의 원자수비가 1:1:1인 In-Ga-Zn 산화물, Ga 및 Zn에 대한 In의 원자수비가 3:1:2인 In-Ga-Zn 산화물, 또는 상술한 원자수비의 균방의 조성을 갖는 산화물을 사용하여 형성될 수 있다. 산화물층(390b)은 Ga 및 Zn에 대한 In의 원자수비가 1:3:2인 In-Ga-Zn 산화물, Ga 및 Zn에 대한 In의 원자수비가 1:6:4인 In-Ga-Zn 산화물, Ga 및 Zn에 대한 In의 원자수비가 1:9:6인 In-Ga-Zn 산화물, 또는 상술한 원자수비 중 어느 것의 균방의 조성을 갖는 산화물을 사용하여 형성될 수 있다.

[0274] 산화물 반도체층(390a)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하다. 산화물층(390b)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하다.

[0275] 다음에 산화물 적층(390)의 밴드 구조를 도 23의 (C) 및 (D)를 참조하여 설명한다.

[0276] 예를 들어, 산화물 반도체층(390a)은 3.15eV의 에너지 캡을 갖는 In-Ga-Zn 산화물을 사용하여 형성되었고, 산화물층(390b)은 3.5eV의 에너지 캡을 갖는 In-Ga-Zn 산화물을 사용하여 형성되었다. 에너지 캡은 분광 엘립스미터 (UT-300, HORIBA JOBIN YVON S.A.S. 제)를 사용하여 측정되었다.

[0277] 산화물 반도체층(390a)의 진공 준위와 가전자대 상단 사이의 에너지 캡(이온화 전위라고도 함)은 8eV이었고, 산화물층(390b)의 진공 준위와 가전자대 상단 사이의 에너지 캡은 8.2eV이었다. 또한, 진공 준위와 가전자대 상단 사이의 에너지 캡은, 자외광 전자 분광법(UPS: Ultraviolet Photoelectron Spectroscopy)(VersaProbe(등록상표), ULVAC PHI, Inc. 제)에 의하여 측정되었다.

[0278] 따라서, 산화물 반도체층(390a)의 진공 준위와 전도대 하단 사이의 에너지 캡(전자 친화력이라고도 함)은 4.85eV이었고, 산화물층(390b)의 진공 준위와 전도대 하단 사이의 에너지 캡은 4.7eV이었다.

[0279] 도 23의 (C)는 산화물 적층(390)의 밴드 구조의 일부를 개략적으로 도시한 것이다. 여기서, 산화물 적층(390)에 접촉하여 산화 실리콘막이 제공되는 경우를 설명한다. 도 23의 (C)에서, EcI1은 산화 실리콘막에서의 전도대 하

단의 에너지를 가리키고, EcS1은 산화물 반도체층(390a)에서의 전도대 하단의 에너지를 가리키고, EcS2는 산화물층(390b)에서의 전도대 하단의 에너지를 가리키고, EcI2는 산화 실리콘막에서의 전도대 하단의 에너지를 가리킨다. 또한, EcI1은 도 23의 (A)에서의 절연층(306)에 상당하고, EcI2는 도 23의 (B)에서의 절연층(312)에 상당한다.

[0280] 도 23의 (C)에 나타낸 바와 같이, 산화물 반도체층(390a)과 산화물층(390b) 사이에 에너지 장벽이 없고, 전도대 하단의 에너지 준위가 완만 또는 연속적으로 변화된다. 이것은 산화물 적층(390)이, 산화물 반도체층(390a)에 함유되는 원소를 포함하고, 산화물 반도체층(390a)과 산화물층(390b) 사이에서 산소가 이동하여 혼합층이 형성되기 때문이다.

[0281] 도 23의 (C)에 나타낸 바와 같이, 산화물 적층(390)에서의 산화물 반도체층(390a)은 웨로서 기능하고, 산화물 적층(390)을 포함하는 트랜지스터의 채널 영역은 산화물 반도체층(390a)에 형성된다. 또한, 산화물 적층(390)의 전도대 하단의 에너지는 연속적으로 변화되기 때문에 산화물 반도체층(390a)과 산화물층(390b)은 연속된다고 할 수 있다.

[0282] 도 23의 (C)에 나타낸 바와 같이, 산화물층(390b)과 절연층(312) 사이의 계면의 근방에 불순물 또는 결함으로 인한 트랩 준위가 형성될 수 있지만, 산화물층(390b)의 존재에 의하여, 산화물 반도체층(390a)을 트랩 준위로부터 멀리할 수 있다. 하지만 EcS1과 EcS2 사이의 에너지 갭이 작으면, 산화물 반도체층(390a)에서의 전자가 상기 에너지 갭을 넘어 트랩 준위에 도달될 수 있다. 트랩 준위에 의하여 전자가 포획되면 음의 고정 전하가 되어, 트랜지스터의 문턱 전압은 양 방향으로 시프트된다. 따라서, 트랜지스터의 문턱 전압의 변동이 억제되고 안정된 전기 특성이 얻어지기 때문에 EcS1과 EcS2 사이의 에너지 차이는 0.1eV 이상이 바람직하고, 0.15eV 이상이 더 바람직하다.

[0283] 도 23의 (D)는, 도 23의 (C)에 나타낸 밴드 구조의 변형예인, 산화물 적층(390)의 밴드 구조의 일부를 개략적으로 도시한 것이다. 여기서, 산화물 적층(390)에 접촉하여 산화 실리콘막이 제공되는 경우를 설명한다. 도 23의 (D)에서, EcI1은 산화 실리콘막에서의 전도대 하단의 에너지를 가리키고, EcS1은 산화물 반도체층(390a)에서의 전도대 하단의 에너지를 가리키고, EcI2는 산화 실리콘막에서의 전도대 하단의 에너지를 가리킨다. 또한, EcI1은 도 23의 (A)에서의 절연층(306)에 상당하고, EcI2는 도 23의 (A)에서의 절연층(312)에 상당한다.

[0284] 도 23의 (A)에 도시된 트랜지스터에서, 산화물 적층(390)의 상부(즉, 산화물층(390b))는 도전층(310a) 및 도전층(310b)의 형성에서 예치되는 경우가 있다. 하지만, 산화물 반도체층(390a) 및 산화물층(390b)의 혼합층이, 산화물층(390b)의 형성에서 산화물 반도체층(390a)의 상면에 형성되는 경우가 있다.

[0285] 예를 들어, 산화물 반도체층(390a)이 Ga 및 Zn에 대한 In의 원자수비가 1:1:1인 In-Ga-Zn 산화물 또는 Ga 및 Zn에 대한 In의 원자수비가 3:1:2인 In-Ga-Zn 산화물이고, 산화물 반도체층(390b)이 Ga 및 Zn에 대한 In의 원자수비가 1:3:2인 In-Ga-Zn 산화물 또는 Ga 및 Zn에 대한 In의 원자수비가 1:6:4인 In-Ga-Zn 산화물일 때, 산화물 반도체층(390a)보다 산화물층(390b)에서의 Ga의 함유량이 많다. 산화물 반도체층(390a)의 상면에는 GaO_x층 또는 산화물 반도체층(390a)보다 Ga의 함유량이 많은 혼합층이 형성될 수 있다.

[0286] 이 때문에, 산화물층(390b)이 예치되는 경우에서 조차, EcI2측의 EcS1의 전도대 하단의 에너지가 증가되어, 도 23의 (D)에 나타낸 밴드 구조가 나타내어지는 경우가 있다.

[0287] 본 실시형태는 본 명세서에서의 다른 실시형태 중 어느 것과 적절히 조합할 수 있다.

[0288] (실시형태 7)

[0289] 본 실시형태에서, 본 발명의 일 형태의 표시 장치와 조합할 수 있는 터치 센서, 및 표시 모듈을 도 24의 (A) 및 (B), 도 25, 및 도 26을 참조하여 설명한다.

[0290] 도 24의 (A)는 터치 센서(4500)의 구조예의 분해 투시도이고, 도 24의 (B)는 터치 센서(4500)의 전극의 구조예의 평면도이다. 도 25는 터치 센서(4500)의 구조예의 단면도다.

[0291] 도 24의 (A) 및 (B)에 도시된 터치 센서(4500)는, 기판(4910) 위에 X축 방향으로 배열된 복수의 도전층(4510)과, X축 방향과 교차하는 Y축 방향으로 배열된 복수의 도전층(4520)을 포함한다. 도 24의 (A) 및 (B)에서, 터치 센서(4500)의 복수의 도전층(4510)의 평면도와, 터치 센서(4500)의 복수의 도전층(4520)의 평면도가 따로따로 도시되었다.

[0292] 도 25는, 도 24의 (A) 및 (B)에 도시된 터치 센서(4500)의 도전층(4510)과 도전층(4520)의 교차부의 등가 회로

도다. 도 25에 도시된 바와 같이, 도전층(4510)과 도전층(4520)의 교차부에 커패시터(4540)가 형성된다.

[0293] 복수의 도전층(4510) 및 복수의 도전층(4520)은 복수의 사각형 도전막이 서로 접속된 구조를 각각 갖는다. 복수의 도전층(4510) 및 복수의 도전층(4520)은, 복수의 도전층(4510)의 사각형 도전막이 복수의 도전층(4520)의 사각형 도전막과 중첩되지 않도록 제공된다. 도전층(4510)과 도전층(4520)의 교차부에서, 도전층(4510)과 도전층(4520)이 서로 접촉되지 않도록 절연막이 도전층(4510)과 도전층(4520) 사이에 제공된다.

[0294] 도 26은 도 24의 (A) 및 (B)에서의 터치 센서(4500)의 도전층(4510) 및 도전층(4520)의 접속 구조의 예를 도시한 단면도다. 예로서 도 26은 도전층(4510)(도전층(4510a, 4510b, 및 4510c))과 도전층(4520)이 교차되는 부분의 단면도를 도시한 것이다.

[0295] 도 26에 도시된 바와 같이, 도전층(4510)은 제 1 층에서의 도전층(4510a) 및 도전층(4510b), 및 절연층(4810) 위의 제 2 층에서의 도전층(4510c)을 포함한다. 도전층(4510a)과 도전층(4510b)은 도전층(4510c)에 의하여 접속된다. 도전층(4520)은 제 1 층에서의 도전막을 사용하여 형성된다. 도전층(4510) 및 도전층(4520), 및 전극(4710)을 덮도록 절연층(4820)이 형성된다. 절연층(4810) 및 절연층(4820)으로서 예컨대 산화질화 실리콘막이 형성되어도 좋다. 기판(4910)과 도전층(4510) 및 전극(4710) 사이에 절연막을 사용하여 형성되는 바탕막이 제공되어도 좋다. 바탕막으로서, 예컨대 산화질화 실리콘막이 형성될 수 있다.

[0296] 도전층(4510)과 도전층(4520)은, 산화 실리콘을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 산화 아연, 인듐 아연 산화물, 또는 갈륨이 첨가된 산화 아연 등의 가시광을 투과시키는 도전 재료를 사용하여 형성된다.

[0297] 도전층(4510a)은 전극(4710)에 접속된다. FPC에 접속하기 위한 단자는 전극(4710)을 사용하여 형성된다. 도전층(4510)과 같이, 도전층(4520)은 전극(4710)에 접속된다. 전극(4710)은, 예컨대 텅스텐막으로 형성될 수 있다.

[0298] 절연층(4820)은 도전층(4510), 도전층(4520), 및 전극(4710)을 덮어 형성된다. 전극(4710)과 FPC를 전기적으로 접속시키기 위하여 전극(4710) 위의 절연층(4810) 및 절연층(4820)에 개구부가 형성된다. 접착제, 접착 필름 등을 사용하여 기판(4920)이 절연층(4820)에 접착된다. 기판(4910) 측은 접착제 또는 접착 필름에 의하여 표시 패널의 컬러 필터 기판에 접착되어 터치 패널이 형성된다.

[0299] 다음에 본 발명의 일 형태의 표시 장치를 사용하여 형성될 수 있는 표시 모듈을 도 27을 참조하여 설명한다.

[0300] 도 27에서의 표시 모듈(8000)에서, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백 라이트 유닛(8007), 프레임(8009), 프린트 기판(8010), 및 배터리(8011)가 상부 커버(8001)와 하부 커버(8002) 사이에 제공된다.

[0301] 상부 커버(8001) 및 하부 커버(8002)의 형상 및 사이즈는, 터치 패널(8004) 및 표시 패널(8006)의 사이즈에 따라 자유롭게 바꿀 수 있다.

[0302] 터치 패널(8004)은, 저항 터치 패널 또는 정전 용량 터치 패널이고, 표시 패널(8006)에 중첩하여 형성될 수 있다. 표시 패널(8006)의 대향 기판(밀봉 기판)은, 터치 패널 기능을 가질 수 있다. 광학식 터치 패널을 만들기 위하여 광 센서를 표시 패널(8006)의 각 화소에 제공하여도 좋다.

[0303] 백라이트 유닛(8007)은 광원(8008)을 포함한다. 광원(8008)은 백라이트 유닛(8007)의 단부에 제공되어도 좋고, 광 확산판이 사용되어도 좋다.

[0304] 프레임(8009)은 표시 패널(8006)을 보호하고, 프린트 기판(8010)의 동작에 의하여 생기는 전자기파를 차단하기 위한 전자기 실드로서도 기능한다. 프레임(8009)은 방열판으로서 기능하여도 좋다.

[0305] 프린트 기판(8010)에는 전원 회로, 및 비디오 신호 및 클록 신호를 출력하기 위한 신호 처리 회로가 제공된다. 전원 회로에 전력을 공급하기 위한 전원으로서, 외부 상용 전원, 또는 별도 제공된 배터리(8011)를 사용하는 전원이 사용되어도 좋다. 배터리(8011)는 상용 전원을 사용하는 경우 생략되어도 좋다.

[0306] 표시 모듈(8000)은, 편광판, 위상차판, 또는 프리즘 시트 등의 부재가 추가로 제공될 수 있다.

[0307] 본 실시형태에서의 구조 등은, 다른 실시형태에서의 어느 구조와 적절히 조합할 수 있다.

[0308] (실시형태 8)

[0309] 본 실시형태에서, 전자 기기의 예를 설명한다.

[0310] 도 28의 (A)~(H), 및 도 29의 (A)~(D)는 각각 전자 기기를 도시한 것이다. 이들 전자 기기는 하우징(5000), 표

시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 갖는 센서), 마이크로폰(5008) 등을 포함할 수 있다.

[0311] 도 28의 (A)는, 상술한 구성 요소에 더하여 스위치(5009), 적외선 포트(5010) 등을 포함할 수 있는 모바일 컴퓨터를 도시한 것이다. 도 28의 (B)는 기억 매체가 제공된 휴대용 화상 재생 장치(예컨대 DVD 플레이어)를 도시한 것이고, 상기 화상 재생 장치는 상술한 구성 요소에 더하여 제 2 표시부(5002), 기억 매체 판독부(5011) 등을 포함할 수 있다. 도 28의 (C)는 상술한 구성 요소에 더하여 제 2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 포함할 수 있는 고글형 디스플레이를 도시한 것이다. 도 28의 (D)는 상술한 것들에 더하여 기억 매체 판독부(5011) 등을 포함할 수 있는 휴대용 게임기를 도시한 것이다. 도 28의 (E)는 상술한 것들에 더하여 안테나(5014), 셔터 버튼(5015), 수상부(5016) 등을 포함할 수 있는 텔레비전 수상 기능을 갖는 디지털 카메라를 도시한 것이다. 도 28의 (F)는 상술한 것들에 더하여 제 2 표시부(5002), 기억 매체 판독부(5011) 등을 포함할 수 있는 휴대용 게임기를 도시한 것이다. 도 28의 (G)는 상술한 것들에 더하여 튜너, 화상 처리부 등을 포함할 수 있는 텔레비전 수상기를 도시한 것이다. 도 28의 (H)는 상술한 것들에 더하여 신호를 송신 및 수신 가능한 충전기(5017) 등을 포함할 수 있는 휴대용 텔레비전 수신기를 도시한 것이다. 도 29의 (A)는 상술한 것들에 더하여 지지대(5018) 등을 포함할 수 있는 디스플레이를 도시한 것이다. 도 29의 (B)는 상술한 구성 요소에 더하여 외부 접속 포트(5019), 셔터 버튼(5015), 수상부(5016) 등을 포함할 수 있는 카메라를 도시한 것이다. 도 29의 (C)는 상술한 것들에 더하여 포인팅 디바이스(5020), 외부 접속 포트(5019), 리더/라이터(5021) 등을 포함할 수 있는 컴퓨터를 도시한 것이다. 도 29의 (D)는 상술한 구성 요소에 더하여 송신기, 수신기, 모바일폰 및 모바일 단말기용 1 세그먼트(one segment) 부분 수신 서비스의 튜너 등을 포함할 수 있는 모바일폰을 도시한 것이다.

[0312] 도 28의 (A)~(H), 및 도 29의 (A)~(D)에 도시된 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 시간 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선통신 기능, 무선통신 기능에 의하여 다양한 컴퓨터 네트워크에 접속하는 기능, 무선통신 기능에 의하여 다양한 데이터를 송신 및 수신하는 기능, 기억 매체에 저장된 프로그램 또는 데이터를 판독하고 표시부에 프로그램 또는 데이터를 표시하는 기능 등을 들 수 있다. 또한, 복수의 표시부를 포함하는 전자 기기는, 다른 표시부에 텍스트 정보를 표시하는 동안 하나의 표시부를 주로 하여 화상 정보를 표시하는 기능, 복수의 표시부에 시차(視差)를 고려하여 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 포함하는 전자 기기는, 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기억 매체(외부 기억 매체 또는 카메라에 내장된 기억 매체)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 28의 (A)~(H), 및 도 29의 (A)~(D)에 도시된 전자 기기에 제공될 수 있는 기능은 상술한 기능에 한정되지 않고 전자 기기는 다양한 기능을 가질 수 있다.

[0313] 본 실시형태에서 설명한 전자 기기는 어떤 정보를 표시하는 표시부를 각각 포함한다.

[0314] 다음에 표시 장치의 응용에 대하여 설명한다.

[0315] 도 29의 (E)는 건축 구조물과 일체화되도록 표시 장치가 장착되는 예를 도시한 것이다. 도 29의 (E)는 하우징(5022), 표시부(5023), 조작부로서의 리모트 컨트롤러(5024), 스피커(5025) 등을 도시한 것이다. 표시 장치는 벽걸이형으로서 건물에 조합되어, 표시 장치는, 넓은 공간이 필요 없이 제공될 수 있다.

[0316] 도 29의 (F)는 건축 구조물과 일체화되도록 표시 장치가 장착되는 다른 예를 도시한 것이다. 표시 모듈(5026)이 조립식의 배스 유닛(5027)에 조합되어 입욕자(入浴者)는 표시 모듈(5026)을 시청할 수 있다.

[0317] 또한, 본 실시형태에서는 건축 구조물의 예로서 벽 및 조립식의 배스 유닛을 들었지만, 본 실시형태의 예에 한정되지 않고 표시 장치는 다양한 건축 구조물에 제공될 수 있다.

[0318] 다음에 표시 장치가 이동 물체와 일체화되도록 장착되는 예를 설명한다.

[0319] 도 29의 (G)는 표시 장치가 자동차에 조합된 예를 도시한 것이다. 표시 모듈(5028)은, 자동차의 차체(5029)에 장착되고, 자동차의 동작 정보 또는 자동차의内外로부터 입력되는 정보를 온디맨드로 표시할 수 있다. 또한, 내비게이션 기능이 제공되어도 좋다.

[0320] 도 29의 (H)는 여객기와 일체화되도록 표시 장치가 장착된 예를 도시한 것이다. 도 29의 (H)는 표시 모듈(5031)이 여객기의 좌석 상부의 천장(5030)에 제공되는 경우의 사용 패턴을 도시한 것이다. 표시 모듈(5031)은, 헌

지부(5032)에 의하여 천장(5030)과 일체화되고, 헌지부(5032)의 신축에 의하여 승객은 표시 모듈(5031)을 시청 할 수 있다. 표시 모듈(5031)은 승객의 조작에 의하여 정보를 표시하는 기능을 갖는다.

[0321] 또한, 본 실시형태는 이동체의 예로서 자동차의 차체 및 여객기의 기체를 들었지만 이것에 한정되지 않고, 표시 장치는 이륜 자동차, 사륜차(자동차, 버스 등을 포함함), 전철(모노레일, 철도 등을 포함함), 및 선박 등, 다양한 이동체에 제공될 수 있다.

[0322] 또한, 본 명세서 등에서, 하나의 실시형태에 설명된 도면 또는 문장에서, 도면 또는 문장의 일부를 추출하고 발명의 일 형태를 구성할 수 있다. 따라서 어떤 부분에 관련된 도면 또는 문장이 설명되는 경우, 도면 또는 문장의 일부로부터 추출된 문맥도 발명의 일 형태로서 개시(開示)되고, 발명의 일 형태를 구성할 수 있다. 따라서 예컨대 능동 소자(예컨대 트랜지스터 또는 다이오드), 배선, 수동 소자(예컨대 커패시터 또는 저항 소자), 도전 층, 절연층, 반도체층, 유기 재료, 무기 재료, 부품, 장치, 동작 방법, 제조 방법 등 중 하나 이상을 포함하는 도면 또는 문장에서, 도면 또는 문장의 일부를 추출할 수 있고 발명의 일 형태를 구성할 수 있다. 예를 들어, N 개의 회로 소자(예컨대 트랜지스터 또는 커패시터, N 은 정수)가 제공되는 회로도로부터 M 개의 회로 소자(예컨대 트랜지스터 또는 커패시터, M 은 정수이고, $M < N$)를 추출하여 발명의 일 형태를 구성하는 것이 가능하다. 다른 예로서, N 개(N 은 정수)의 층이 제공되는 단면도로부터 M 개(M 은 정수이고, $M < N$)의 층을 추출하여 발명의 일 형태를 구성하는 것이 가능하다. 또 다른 예로서, N 개(N 은 정수)의 요소가 제공된 흐름도로부터 M 개(M 은 정수이고, $M < N$)의 요소를 추출하여 발명의 일 형태를 구성하는 것이 가능하다.

[0323] 또한, 본 명세서 등에서의 하나의 실시형태에 설명된 도면 또는 문장에 구체적인 예가 적어도 하나 설명되는 경우, 그 구체적인 예의 대승적인 개념을 도출할 수 있다는 것은 당업자이면 쉽게 이해된다. 따라서 하나의 실시 형태에 설명된 도면 또는 문장에서, 구체적인 예가 적어도 하나 설명되는 경우, 구체적인 예의 대승적인 개념이 발명의 일 형태로서 설명되고, 발명의 일 형태가 구성될 수 있다.

[0324] 또한, 본 명세서 등에서, 적어도 도면(도면의 일부라도 좋음)에 설명된 내용이 발명의 일 형태로서 개시되고, 발명의 일 형태가 구성될 수 있다. 따라서 어떤 내용이 도면에 설명될 때, 이 내용이 문장으로 설명되지 않더라도 이 내용은 발명의 일 형태로서 개시되고, 발명의 일 형태가 구성될 수 있다. 마찬가지로, 도면으로부터 추출된 도면의 일부가 발명의 일 형태로서 개시되고 발명의 일 형태가 구성될 수 있다.

[0325] 본 실시형태 등의 구조는, 다른 실시형태에서의 어느 구조와 적절히 조합할 수 있다.

[0326] (실시형태 9)

[0327] 본 실시형태는, 상술한 실시형태 중 어느 것에 설명된 트랜지스터를 포함하는 반도체 장치의 예로서 의료용 방사선 화상을 얻을 수 있는 방사선 화상 검출 장치를 설명한다. 방사선을 직접 디지털 데이터로 변환할 수 있는 평면형 방사선 화상 검출 장치는 플랫 패널 디텍터(FPD)라고 불린다.

[0328] 도 31의 (A)에 나타낸 바와 같이, 방사선 화상 검출 장치(3601)는 방사선 화상에 사용되는 테이블(3603)에 제공된다. 방사선원(3605)으로부터 사출된 방사선(3607)은 피사체(3609)를 통과하고 나서 방사선 화상 검출 장치(3601)에 도달한다. 방사선 화상 검출 장치(3601)에서, 피사체(3609)를 통하여 투과시킨 방사선(3607)은 방사선 검출 소자에 의하여 검출될 수 있어, 화상 데이터를 얻을 수 있다. 방사선 화상 검출 장치(3601)에서 검출될 수 있는 방사선(3607)의 예에는 X선 및 감마선이 포함된다.

[0329] 도 31의 (B)는 방사선 화상 검출 장치(3601)의 블록도다. 방사선 화상 검출 장치(3601)는 화소(3611)가 매트릭스로 배열된 센서 어레이(3613), 게이트선 구동 회로(3615), 신호 검출 회로(3617), 및 A/D 변환 회로(3619)를 포함한다. 또한, 방사선 화상 검출 장치(3601)는 나타내지 않는, CPU(Central Processing Unit), ROM(Read Only Memory), RAM(Random Access Memory) 등에 의하여 제어된다. 또한, 방사선 화상 검출 장치(3601)는 A/D 변환 회로(3619)로부터 출력되는 데이터를 보정하기 위한 보정 회로, A/D 변환 회로(3619)로부터 출력되는 데이터를 저장하기 위한 기억 장치 등을 포함하여도 좋다.

[0330] 각 화소(3611)는 방사선 검출 소자(3621), 커패시터(3623), 및 트랜지스터(3625)를 포함한다. 방사선의 에너지는 방사선 검출 소자(3621)에서 직접 또는 간접적으로 전하로 변환되고, 또한, 이 전하는 커패시터(3623)에 저장된다. 트랜지스터(3625)의 스위칭에 의하여, 커패시터(3623)에 저장된 전하는 각 화소(3611)에 전기 신호로서 판독된다. 따라서 방사선 화상이 출력 장치(3631)에 얻어질 수 있다.

[0331] 방사선 검출 소자(3621)는 한 쌍의 전극 및 한 쌍의 전극 사이에 제공된 변환층을 포함한다. 한 쌍의 전극 중 한쪽은 전원 장치(3633)에 접속된다. 한 쌍의 전극 중 다른 쪽은 커패시터(3623)의 제 1 전극 및 트랜지스터

(3625)의 소스 전극 및 드레인 전극 중 한쪽에 접속된다. 커패시터(3623)의 제 2 전극은 접지 전위로 공통 전극에 접속된다. 트랜지스터(3625)의 소스 전극 및 드레인 전극 중 다른 쪽은 신호선(DL)을 통하여 신호 검출 회로(3617)에 접속된다. 트랜지스터(3625)의 게이트는 주사선(GL)을 통하여 게이트선 구동 회로(3615)에 접속된다.

[0332] 다음에 방사선을 검출하는 방법을 설명한다. 전원 장치(3633)로부터 방사선 검출 소자(3621)의 제 1 전극에 전압이 인가된 방사선 검출 소자(3621)에 방사선이 입사되면, 방사선의 에너지는 방사선 검출 소자(3621)에서 전하로 변환된다. 입사된 방사선의 양에 상당하는 전하가 커패시터(3623)에 저장된다. 다음에 신호가 게이트선 구동 회로(3615)로부터 주사선(GL)에 입력되어 순차적으로 트랜지스터(3625)가 온된다. 따라서 커패시터(3623)에 저장된 전하는 신호선(DL)을 통하여 신호 검출 회로(3617)에 아날로그 신호로서 출력된다. 신호 검출 회로(3617)에서 아날로그 신호가 증폭된 후, 아날로그 신호는 A/D 변환 회로(3619)에서 디지털 신호로 변환된다. 이와 같이 생긴 디지털 신호는 표시 장치 등의 출력 장치(3631)에 출력되어 방사선 화상이 출력 장치(3631)에 표시된다.

[0333] 방사선 화상 검출 장치(3601)와 출력 장치(3631)는 케이블로 접속된다. 또는 방사선 화상 검출 장치(3601)와 출력 장치(3631) 각각에 송신/수신 회로가 제공되어도 좋아서, 방사선 화상 검출 장치(3601)에서의 검출에 의하여 얻어진 화상이 무선으로 출력 장치(3631)에 출력될 수 있다.

[0334] 방사선 화상 검출 장치는 직접 및 간접 변환 방식을 갖는다. 직접 변환 방식을 사용한 방사선 화상 검출 장치의 방사선 검출 소자(3621)에서, 방사선의 에너지는 광도전 물질의 사용에 의하여 전하로 직접 변환된다. 간접 변환 방식을 사용한 방사선 화상 검출 장치의 방사선 검출 소자(3621)에서, 방사선의 에너지는 형광 부재 등의 사용에 의하여 광으로 변환되고, 상기 광은 포토다이오드 등의 광전변환 소자에서 전하로 변환된다.

[0335] 다음에 각 방사선 검출 소자의 구조를 도 32의 (A) 및 (B)를 참조하여 설명한다.

[0336] 도 32의 (A)는 직접 변환 방식을 사용한 방사선 화상 검출 장치의 화소의 단면도다. 여기서, 방사선으로서 X선이 사용된다.

[0337] 상술한 실시형태 중 어느 것에 설명된 구조의 트랜지스터(3625) 및 커패시터(3623), 및 방사선 검출 소자(3621)가 기판(3641) 위에 제공된다. 방사선 검출 소자(3621)는 도전막(3643), 변환층(3645), 및 도전막(3647)을 포함한다. 도전막(3643)은 트랜지스터(3625)의 소스 전극 및 드레인 전극 중 한쪽에 접속되고 방사선 검출 소자(3621)의 전극 및 커패시터(3623)의 전극으로서 기능한다.

[0338] 도전막(3643)은 상술한 실시형태 중 어느 것에 설명된 화소 전극으로서 기능하는 투광성 도전막과 같은 재료를 사용하여 적절히 형성될 수 있다.

[0339] 변환층(3645)은 방사선을 흡수함으로써 전하가 생기는 재료를 사용하여 형성된다. 방사선을 흡수함으로써 전하를 생길 수 있는 재료의 예에는 비정질 셀레늄, 아이오딘화 납, 아이오딘화 수은, 갈륨 비소, CdTe, 및 CdZnO가 포함된다.

[0340] 도전막(3647)은 트랜지스터(3625)의 게이트 전극, 소스 전극, 및 드레인 전극, 및 도전막(3643)과 같은 재료를 사용하여 적절히 형성될 수 있다.

[0341] 도전막(3647)에 전압이 인가된 상태로 방사선이 방사선 검출 소자(3621)에 입사될 때, 전하(전자 및 홀)는 변환층(3645)에서 여기된다. 상기 전하는 도전막(3647)에 인가된 전압의 극성에 따라 도전막(3643)으로 이동되고 커패시터(3623)에 저장된다.

[0342] 직접 변환 방식을 사용한 방사선 화상 검출 장치의 방사선 검출 소자(3621)에서, 도전막(3647)에 높은 전압이 인가되기 때문에, 변환층(3645)에서 생긴 전하는 커패시터의 도전막(3643)에 더 쉽게 진행할 수 있고, 이에 의하여 인접된 화소에서의 방사선 검출 소자에 대한 전하의 이동을 감소시킬 수 있다. 결과적으로 방사선 화상 검출 장치는 높은 해상도를 가질 수 있다.

[0343] 도 32의 (B)는 간접 변환 방식을 사용한 방사선 화상 검출 장치의 화소의 단면도다.

[0344] 상술한 실시형태 중 어느 것에 설명된 구조의 트랜지스터(3625) 및 커패시터(3623), 및 방사선 검출 소자(3621)는 기판(3641) 위에 제공된다. 또한, 신틸레이터 등으로 대표되는 형광체층(3657)이 방사선 검출 소자(3621) 위에 제공된다.

[0345] 도전막(3651), 변환층(3653), 및 도전막(3655)을 포함하는 포토다이오드는 방사선 검출 소자(3621)로서 사용될 수 있다. 도전막(3651)은 트랜지스터(3625)의 소스 전극 및 드레인 전극 중 한쪽에 접속되고 방사선 검출 소자

(3621)의 전극 및 커패시터(3623)의 전극으로서 기능한다.

- [0346] 도전막(3651)은 상술한 실시형태 중 어느 것에 설명된 화소 전극으로서 기능하는 투광성 도전막과 같은 재료를 사용하여 적절히 형성될 수 있다.
- [0347] 변환층(3653)은 광을 흡수함으로써 전하가 생기는 재료를 사용하여 형성된다. 광을 흡수함으로써 전하가 생길 수 있는 재료의 예에는 실리콘 등의 무기 반도체 재료 및 퀴나크리돈 또는 프탈로사이아닌 등의 유기 화합물이 포함된다. 또한, 변환층(3653)에서, p-n접합 또는 p-i-n접합이 형성되는 것이 바람직하다. 또한, 변환층(3653)은 비정질 실리콘을 사용하여 형성되면 형광체층(3657)으로부터 사출되는 가시광이 고감도로 검출될 수 있어 바람직하다.
- [0348] 도전막(3655)은 도전막(3643)과 같은 재료를 사용하여 형성될 수 있다.
- [0349] 형광체층(3657)은 입사된 방사선의 에너지를 흡수함으로써 가시광을 사출하는 재료를 사용하여 형성된다. 방사선 에너지를 흡수함으로써 가시광을 사출할 수 있는 재료의 예에는 아이오딘화 세슘, 탈륨이 첨가된 아이오딘화 세슘, GOS($\text{Gd}_2\text{O}_3\text{S:Tb}$), 및 탈륨이 첨가된 아이오딘화 나트륨이 포함된다. 또한, 형광체층(3657)이 방사선 입사면을 발광면에 접속시키는 방향으로 성장된 기둥 형상 결정을 포함할 때, 형광체층(3657)에 생긴 광이 수평 방향으로 확산되는 것을 억제할 수 있다. 결과적으로 방사선 화상 검출 장치의 해상도를 향상시킬 수 있다.
- [0350] 또한, 절연막(3652)은 도전막(3651) 및 변환층(3653) 위에 제공되어 도전막(3651)과 도전막(3655) 사이의 전기적인 접속을 방지한다. 또한, 절연막(3654)이 도전막(3655) 및 절연막(3652) 위에 제공되어, 외부로부터의 불순물이 변환층(3653)으로 확산되는 것을 방지할 수 있다.
- [0351] 형광체층(3657)은 입사된 방사선을 흡수함으로써 가시광을 사출한다. 도전막(3655)에 전압(역 바이어스)이 인가된 상태로 가시광이 변환층(3653)에 입사되면, 전하(전자 및 홀)는 변환층(3653)에서 여기된다. 상기 전하는 도전막(3651)으로 이동되고 커패시터(3623)에 저장된다.
- [0352] 간접 변환 방식을 사용하는 방사선 화상 검출 장치에서, 방사선 검출 소자(3621)는 형광체층(3657)에서 변환된 가시광을 검출한다. 그러므로 방사선 검출 소자(3621)의 도전막(3655)에 인가되는 전압이 감소될 수 있다.
- [0353] 또한, 본 실시형태의 기재는 테이블(3603)에 제공된 방사선 화상 검출 장치(3601)를 사용하여 만들었지만 카세트(cassette)라고 불리는 떼어낼 수 있는 방사선 화상 검출 장치가 적절히 사용될 수 있다.
- [0354] 본 실시형태에서 설명한 구조 등은, 다른 실시형태에서의 구조 등 중 어느 것과 적절히 조합하여 사용될 수 있다.
- [0355] (실시예)
- [0356] 본 실시예에서, 케이트 전극과 같은 공정에서 형성된 도전층(이 도전층을 이하 제 1 도전층이라고 함)과 소스 전극 및 드레인 전극과 같은 공정에서 형성된 도전층(이 도전층을 이하 제 2 도전층이라고 함) 사이에 각각 제공되는, 상이한 구조로 만들어지는 충간막의 파괴 전압에 대한 평가를 수행하였다.
- [0357] 먼저, 본 실시예에서 사용된, 평가용 TEG(Test Element Group) 패턴을 도 33의 (A) 및 (B)를 참조하여 설명한다.
- [0358] 도 33의 (A)는 평가용 TEG의 상면도다. 도 33의 (B)는 도 33의 (A)에서의 일점 쇄선 X6-Y6 및 X7-Y7을 따른 절단면에 상당한다.
- [0359] 본 실시예의 평가용 TEG는 기판(502) 위에 형성된 제 1 도전층(504a), 제 1 도전층(504a) 위에 형성된 충간막(506), 충간막(506) 위에 형성된 제 2 도전층(510a), 제 2 도전층(510a) 위에 형성된 절연층(512), 및 절연층(512) 위에 형성된 절연층(514)을 포함한다.
- [0360] 평가용 TEG는 제 1 도전층(504a)에 접속된 제 1 측정 패드(504b), 및 제 2 도전층(510a)에 접속된 제 2 측정 패드(510b)를 더 포함한다. 제 1 측정 패드(504b)는 제 1 측정 패드(504b) 위의 충간막(506), 및 절연층(512) 및 절연층(514)의 일부가 제거된 개구부(520)를 포함한다. 제 2 측정 패드(510b)는 제 2 측정 패드(510b) 위의 절연층(512) 및 절연층(514)의 일부가 제거된 개구부(522)를 포함한다. 전압이 제 1 측정 패드(504b) 및 제 2 측정 패드(510b)에 인가됨으로써 도전층(504a)과 도전층(510a) 사이의 충간막(506)의 파괴 전압을 측정할 수 있다.
- [0361] 또한, 제 1 도전층(504a)과 제 2 도전층(510a)이 교차되는 영역은 $10 \mu\text{m} \times 10 \mu\text{m}$ 의 사이즈를 갖는다. Keithley

Instruments, Inc. 제의 피코암미터(Model 6487)가 측정 장치에 사용되었다. 측정 조건으로서, 전압이 10V의 증분으로 0V로부터 +500V까지 증가되었다.

[0362] 여기서 본 실시예에서, 층간막(506)의 재료가 상이한 시료 1 및 시료 2가 제작된다.

[0363] (시료 1)

[0364] 시료 1의 층간막(506)은 질화 실리콘막 및 산화질화 실리콘막을 포함하는 2층의 적층 구조를 갖는다.

[0365] (시료 2)

[0366] 시료 2의 층간막(506)은 질화 실리콘막, 산화질화 실리콘막, 산화물 반도체막, 및 산화물막을 포함하는 4층의 적층 구조를 갖는다.

[0367] 즉, 시료 2는, 시료 1에 산화물 반도체막 및 산화물막이 더 적층되는 방법으로 형성되었다. 시료 1 및 시료 2에 서의 막의 형성 조건을 이하에서 설명한다.

[0368] (질화 실리콘막)

[0369] 질화 실리콘막으로서, 상이한 조건하로 3층의 질화 실리콘막이 적층된다. 제 1 질화 실리콘막의 형성 조건은 이하와 같다: 전력(RF)=2000W; 압력=100Pa; SiH₄/N₂/NH₃=200/2000/100sccm; 및 막 두께=50nm. 제 2 질화 실리콘막의 형성 조건은 이하와 같다: 전력(RF)=2000W; 압력=100Pa; SiH₄/N₂/NH₃=200/2000/2000sccm; 및 막 두께=300nm. 제 3 질화 실리콘막의 형성 조건은 이하와 같다: 전력(RF)=2000W; 압력=100Pa; SiH₄/N₂=200/5000sccm, 및 막 두께=50nm. 또한 제 1~제 3 질화 실리콘막은 모두 PE-CVD장치를 사용하여 350°C의 기판 온도로 형성되었다.

[0370] (산화질화 실리콘막)

[0371] 산화질화 실리콘막의 형성 조건은 이하와 같다: 전력(RF)=100W; 압력=100Pa; SiH₄/N₂O=20/3000sccm; 및 막 두께=50nm. 또한, 산화질화 실리콘막은 PE-CVD장치를 사용하여 350°C의 기판 온도로 형성되었다.

[0372] (산화물 반도체막)

[0373] 산화물 반도체막은 In:Ga:Zn=1:1:1인 구성 요소의 타깃을 사용하여 스퍼터링법에 의하여 형성되었다. 산화물 반도체막의 형성 조건은 이하와 같다: 전력(AC)=5kW; 압력=0.6Pa; Ar/O₂=100/100sccm(O₂=50%); 기판 온도=170°C; 및 막 두께=35nm.

[0374] (산화물막)

[0375] 산화물막은 In:Ga:Zn=1:3:2인 구성 요소의 타깃을 사용하여 스퍼터링법에 의하여 형성되었다. 산화물막의 형성 조건은 이하와 같다: 전력(AC)=5kW; 압력=0.6Pa; Ar/O₂=270/30sccm(O₂=10%); 기판 온도=170°C; 및 막 두께=20nm.

[0376] 또한, 절연층(512)이 형성되기 전에 시료 1 및 시료 2 각각은, 질소 분위기하에서 1시간 450°C의 온도로 가열되고 나서 질소와 산소의 혼합 분위기하에서 450°C의 온도로 1시간 가열되었다.

[0377] 도 34는 시료 1 및 시료 2의 층간막(506)의 파괴 전압을 나타낸 그래프다. 또한, 도 34에서 가로축은 전압을 가리키고, 세로축은 전류를 가리킨다. 도 34에서, 실선(551)이 시료 1의 측정 결과를 나타내고 파선(552)이 시료 2의 측정 결과를 나타낸다.

[0378] 예를 들어, 시료 1 및 시료 2 각각에서의 층간막(506)은 1.0×10^{-6} A 이상의 전류가 흐를 때 파괴된다고 추측된다. 이 경우, 시료 1에서의 층간막(506)은 330V 정도로 파괴된다. 또한, 시료 2에서의 층간막(506)은 420V 정도로 파괴된다.

[0379] 본 실시예에서 설명한 바와 같이, 파괴 전압은 제 1 도전층(504a)과 제 2 도전층(510a) 사이의 층간막의 구조 또는 제 1 도전층(504a)과 제 2 도전층(510a) 사이의 거리를 변화함으로써 변동되는 것이 확인되었다.

부호의 설명

[0380] 100: 표시 장치, 102: 화소부, 104: 구동 회로부, 104a: 게이트 드라이버, 104b: 소스 드라이버, 106: 보호 회로, 107: 단자부, 108: 화소 회로부, 110: 배선, 111: 화소 회로, 112: 트랜지스터, 114: 트랜지스터, 116: 배

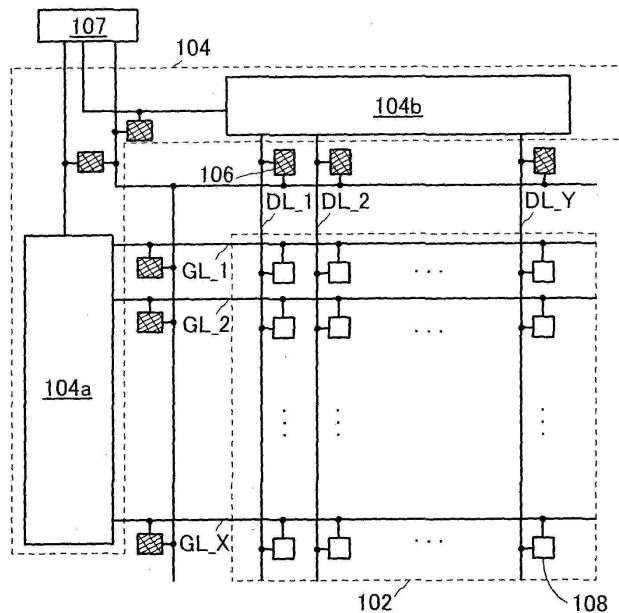
선, 118: 배선, 120: 배선, 122: 배선, 124: 배선, 126: 트랜지스터, 130: 트랜지스터, 131_1: 트랜지스터, 131_2: 트랜지스터, 131_3: 트랜지스터, 132: 트랜지스터, 133_1: 커패시터, 133_2: 커패시터, 134: 트랜지스터, 135: 발광 소자, 206: 보호 회로, 208: 배선, 212: 트랜지스터, 214: 트랜지스터, 216: 트랜지스터, 218: 트랜지스터, 220: 트랜지스터군, 222: 트랜지스터군, 224: 배선, 226: 배선, 302: 기판, 304a: 도전층, 304b: 도전층, 304c: 도전층, 304d: 도전층, 304e: 도전층, 305: 절연층, 306: 절연층, 307: 반도체층, 308a: 반도체층, 308b: 반도체층, 308c: 반도체층, 308d: 반도체층, 309: 도전층, 310a: 도전층, 310b: 도전층, 310c: 도전층, 310d: 도전층, 310e: 도전층, 310f: 도전층, 310g: 도전층, 311: 절연층, 312: 절연층, 313: 절연층, 314: 절연층, 315: 도전층, 316a: 도전층, 316b: 도전층, 316c: 도전층, 318: 배향막, 320: 액정층, 322: 액정 소자, 342: 기판, 344: 차광층, 346: 착색층, 348: 절연층, 350: 도전층, 352: 배향막, 360: 정전 파괴 유발 영역, 362: 가드 링, 362a: 정전 파괴 유발 영역, 370: 절연층, 372a: 개구부, 372b: 개구부, 374a: 개구부, 374b: 개구부, 374c: 개구부, 374d: 개구부, 374e: 개구부, 380: 영역, 382: 영역, 390: 산화물 적층, 390a: 산화물 반도체층, 390b: 산화물층, 392: n형 영역, 402: 기판, 404: 도전층, 405: 절연층, 406: 절연층, 410: 도전층, 412: 절연층, 414: 절연층, 416: 도전층, 474a: 개구부, 474b: 개구부, 502: 기판, 504a: 도전층, 504b: 측정 패드, 506: 충간막, 510a: 도전층, 510b: 측정 패드, 512: 절연층, 514: 절연층, 520: 개구부, 522: 개구부, 551: 실선, 552: 파선, 3601: 방사선 화상 검출 장치, 3603: 테이블, 3605: 방사선원, 3607: 방사선, 3609: 피사체, 3611: 화소, 3613: 센서 어레이, 3615: 게이트선 구동 회로, 3617: 신호 검출 회로, 3619: A/D 변환 회로, 3621: 방사선 검출 소자, 3623: 커패시터, 3625: 트랜지스터, 3631: 출력 장치, 3633: 전원 장치, 3641: 기판, 3643: 도전막, 3645: 변환층, 3647: 도전막, 3651: 도전막, 3652: 절연막, 3653: 변환층, 3654: 절연막, 3655: 도전막, 3657: 형광체층, 4500: 터치 센서, 4510: 도전층, 4510a: 도전층, 4510b: 도전층, 4510c: 도전층, 4520: 도전층, 4540: 커패시터, 4710: 전극, 4810: 절연층, 4820: 절연층, 4910: 기판, 4920: 기판, 5000: 하우징, 5001: 표시부, 5002: 표시부, 5003: 스피커, 5004: LED 램프, 5005: 조작 키, 5006: 접속 단자, 5007: 센서, 5008: 마이크로폰, 5009: 스위치, 5010: 적외선 포트, 5011: 기억 매체 판독부, 5012: 지지부, 5013: 이어폰, 5014: 안테나, 5015: 셀터 버튼, 5016: 수상부, 5017: 충전기, 5018: 지지대, 5019: 외부 접속 포트, 5020: 포인팅 디바이스, 5021: 리더/라이터, 5022: 하우징, 5023: 표시부, 5024: 리모트 컨트롤러, 5025: 스피커, 5026: 표시 모듈, 5027: 조립식의 배스, 5028: 표시 모듈, 5029: 차체, 5030: 천장, 5031: 표시 모듈, 5032: 헌지부, 8000: 표시 모듈, 8001: 상부 커버, 8002: 하부 커버, 8003: FPC, 8004: 터치 패널, 8005: FPC, 8006: 표시 패널, 8007: 백 라이트 유닛, 8008: 광원, 8009: 프레임, 8010: 프린트 기판, 8011: 배터리.

본 출원은 2013년 2월 25일에 일본 특허청에 출원된 일련 번호 2013-034877의 일본 특허 출원 및 2013년 7월 25일에 일본 특허청에 출원된 일련 번호 2013-154400의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

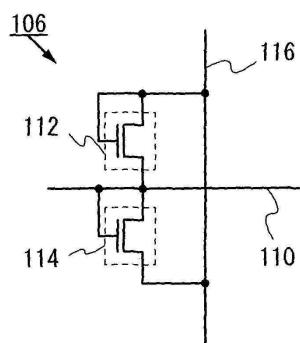
도면

도면1

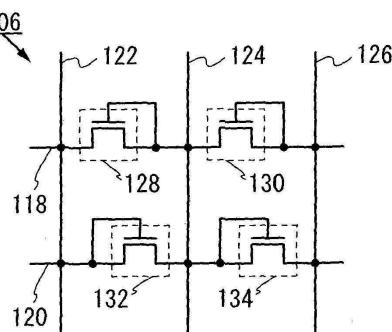
(A)



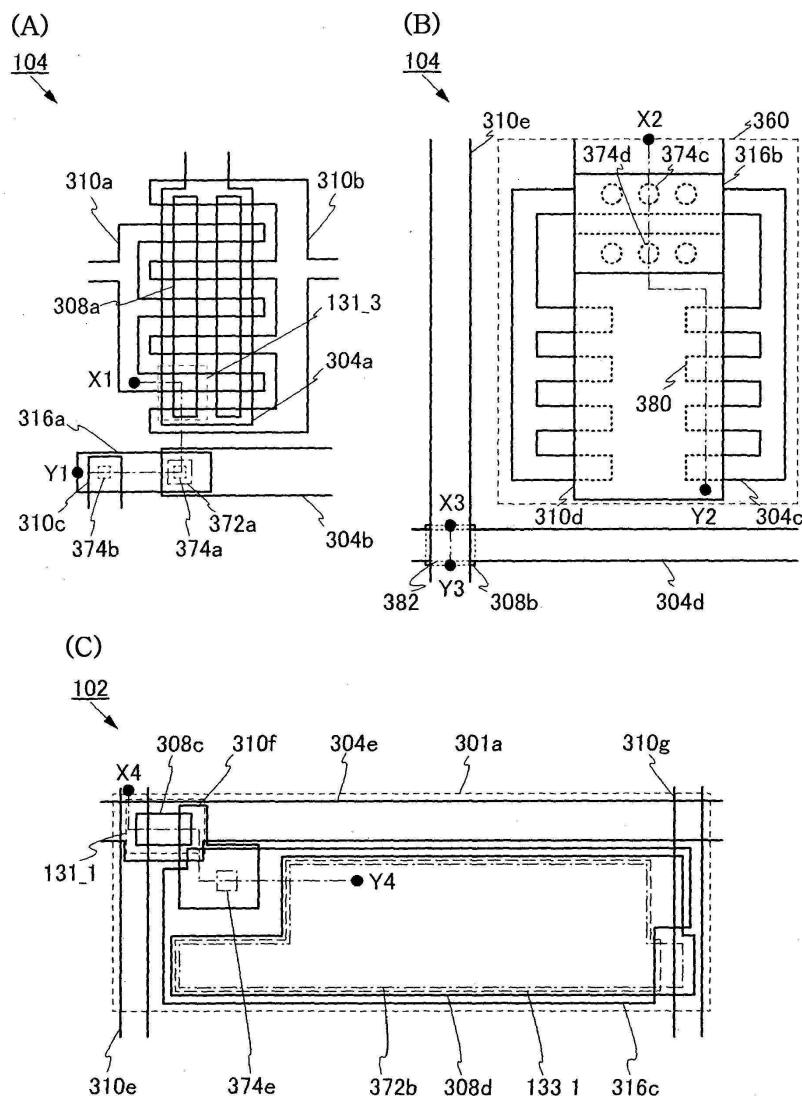
(B)



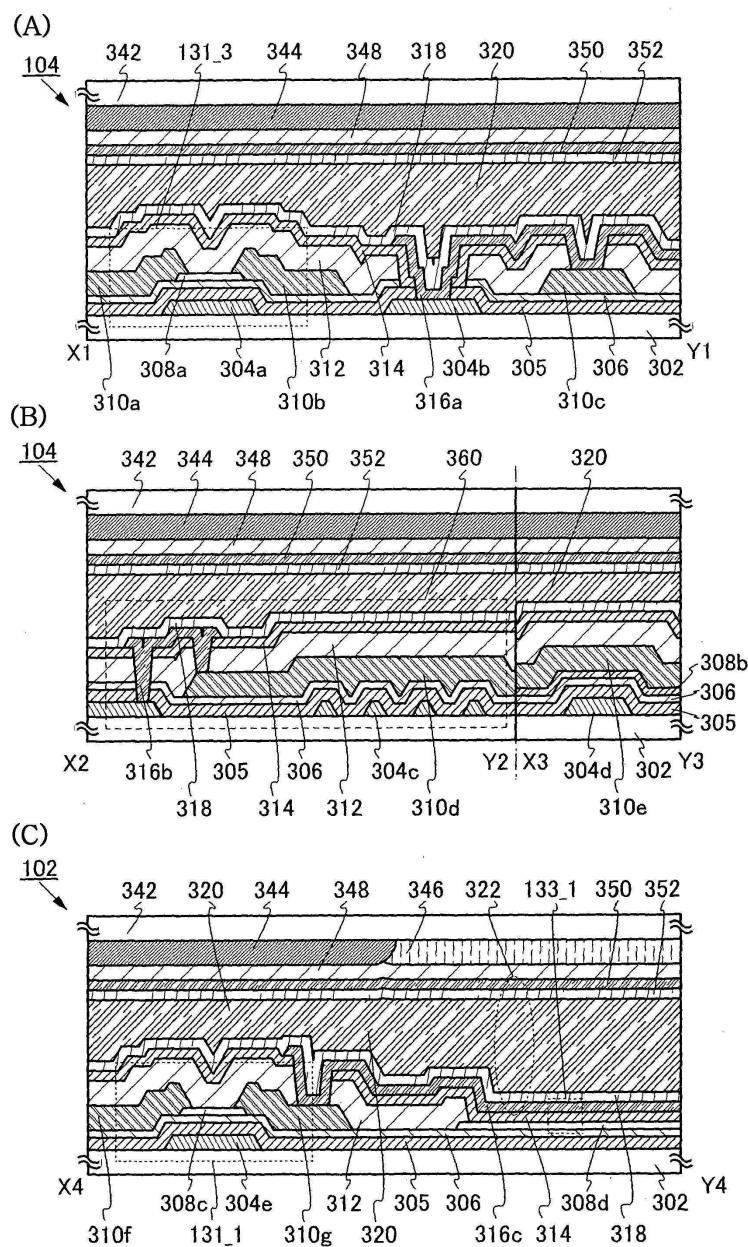
(C)



도면2

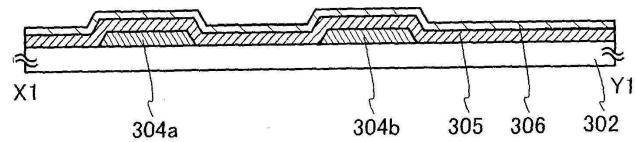


도면3

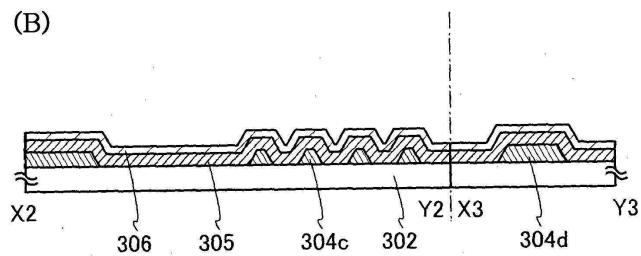


도면4

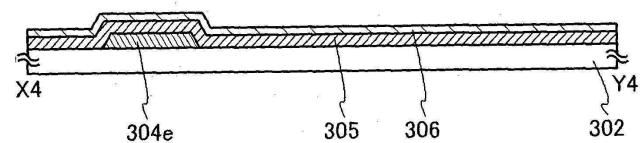
(A)



(B)

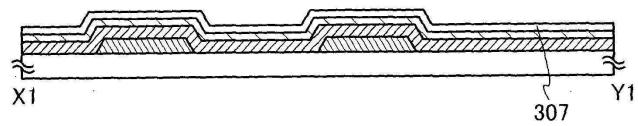


(C)

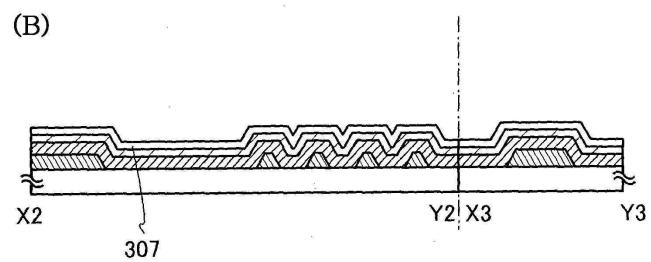


도면5

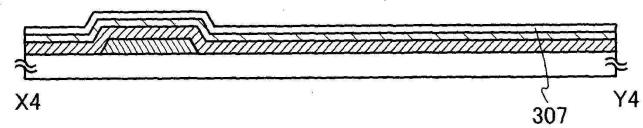
(A)



(B)

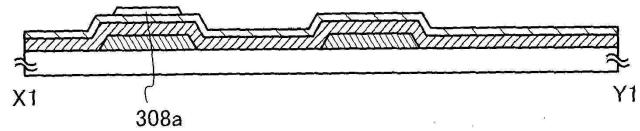


(C)

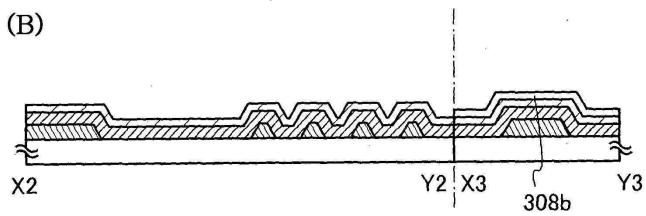


도면6

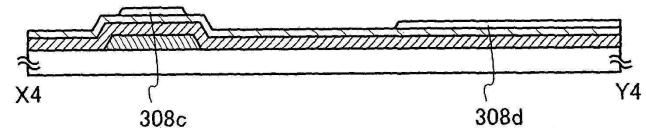
(A)



(B)

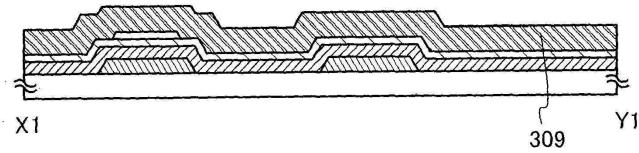


(C)

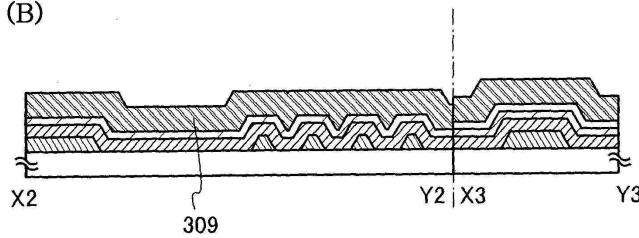


도면7

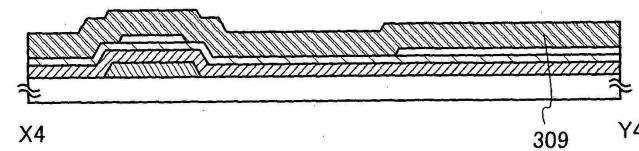
(A)



(B)

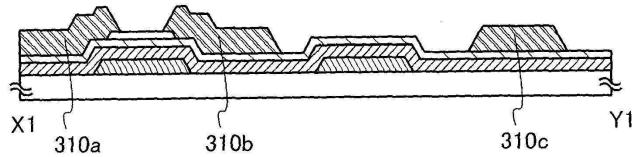


(C)

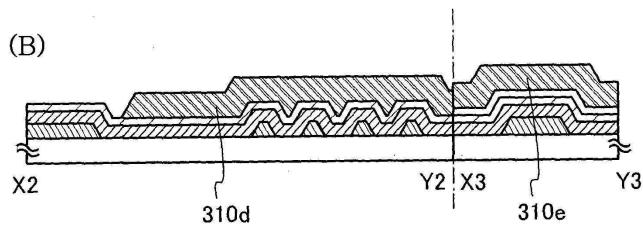


도면8

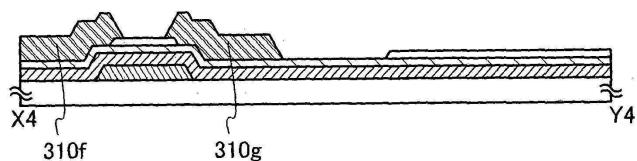
(A)



(B)

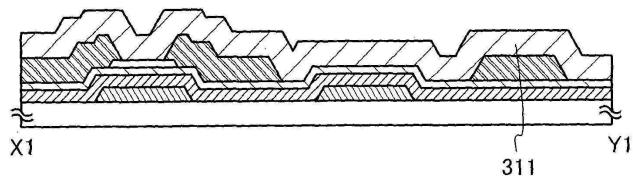


(C)

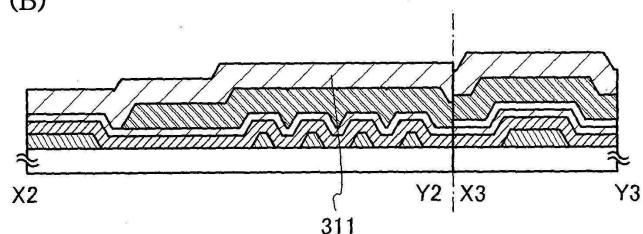


도면9

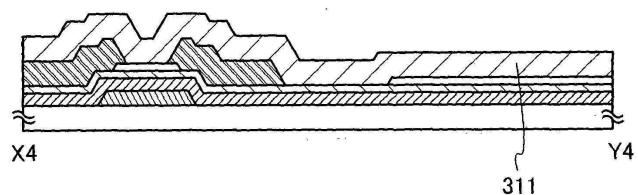
(A)



(B)

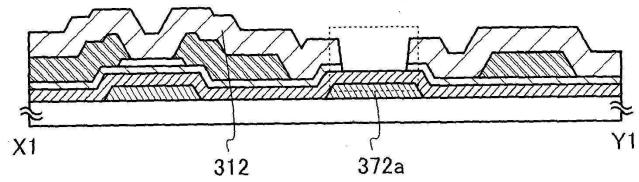


(C)

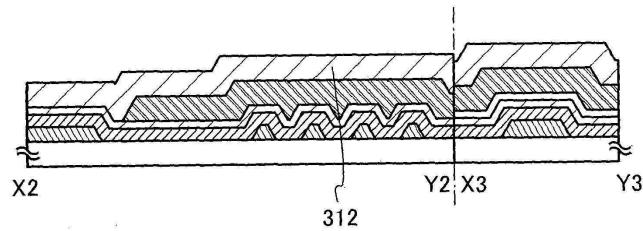


도면10

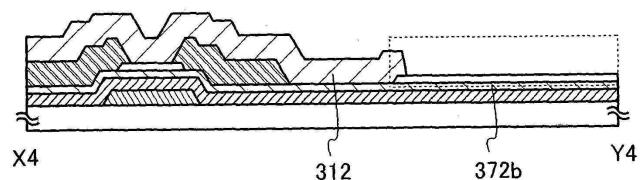
(A)



(B)

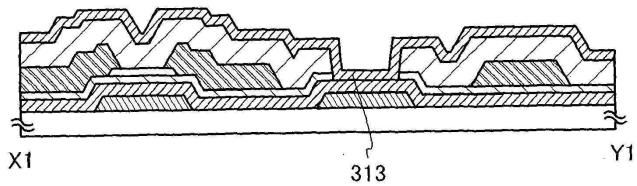


(C)

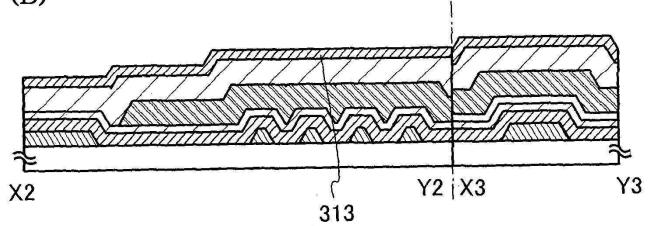


도면11

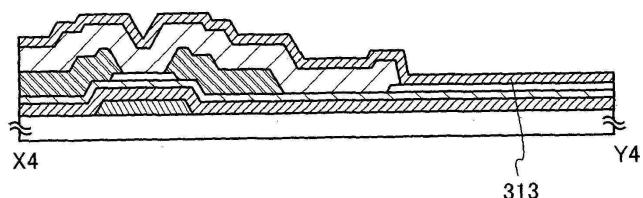
(A)



(B)

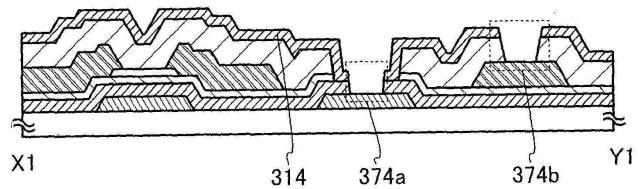


(C)

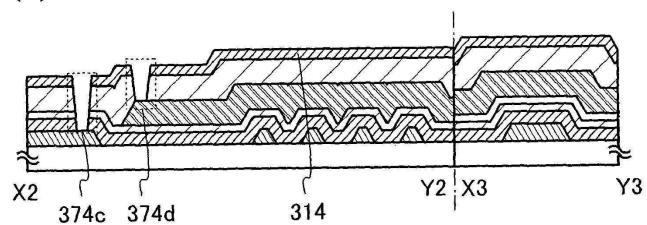


도면12

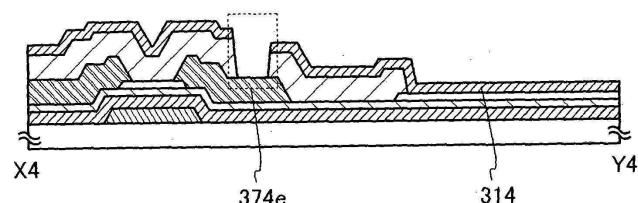
(A)



(B)

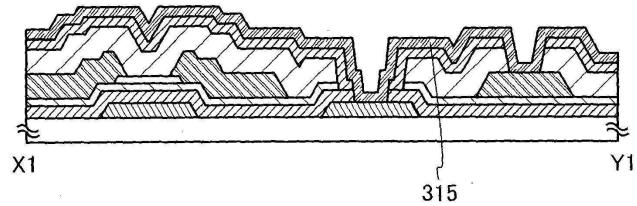


(C)

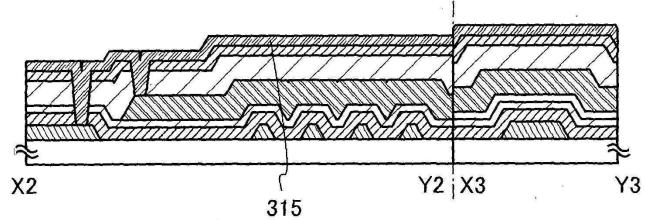


도면13

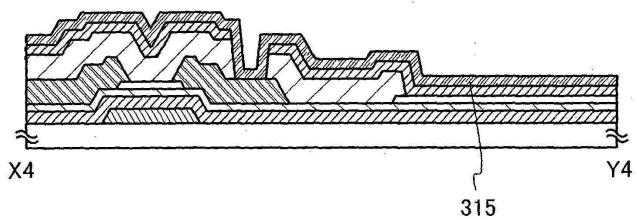
(A)



(B)

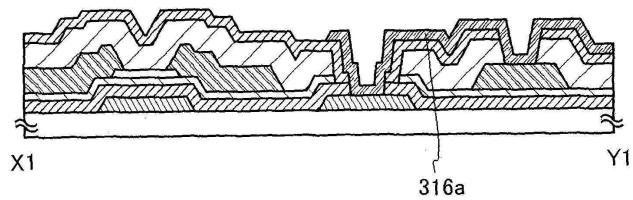


(C)

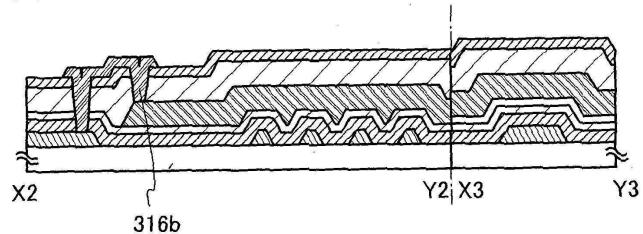


도면14

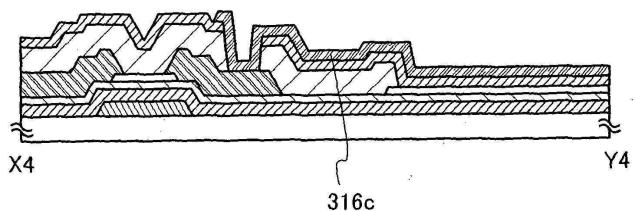
(A)



(B)

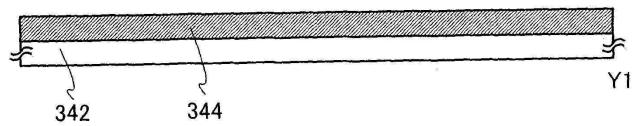


(C)

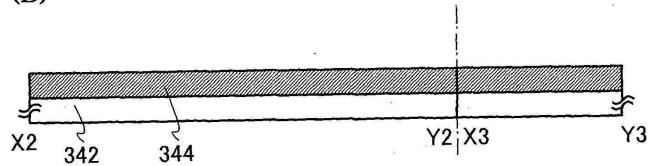


도면15

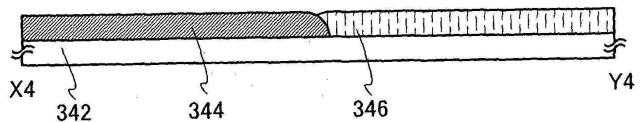
(A)



(B)

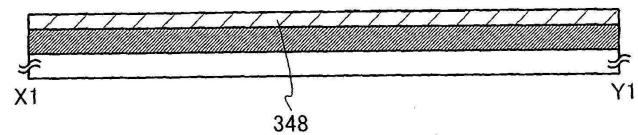


(C)

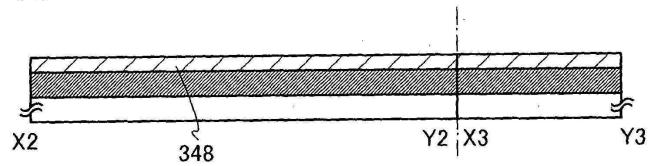


도면16

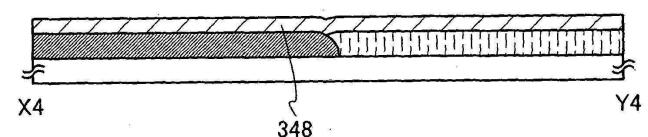
(A)



(B)

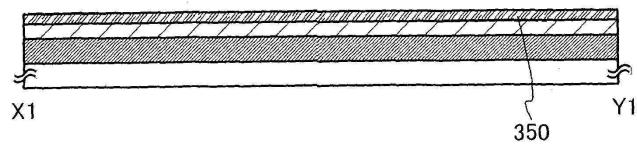


(C)

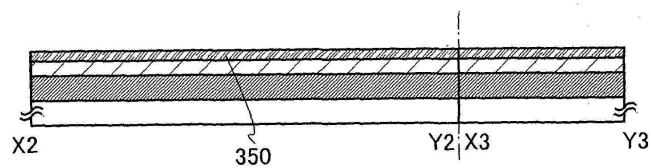


도면17

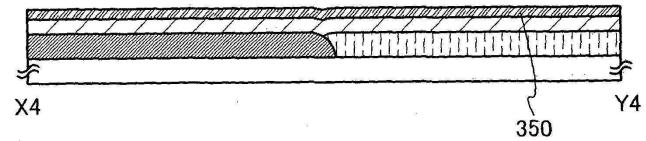
(A)



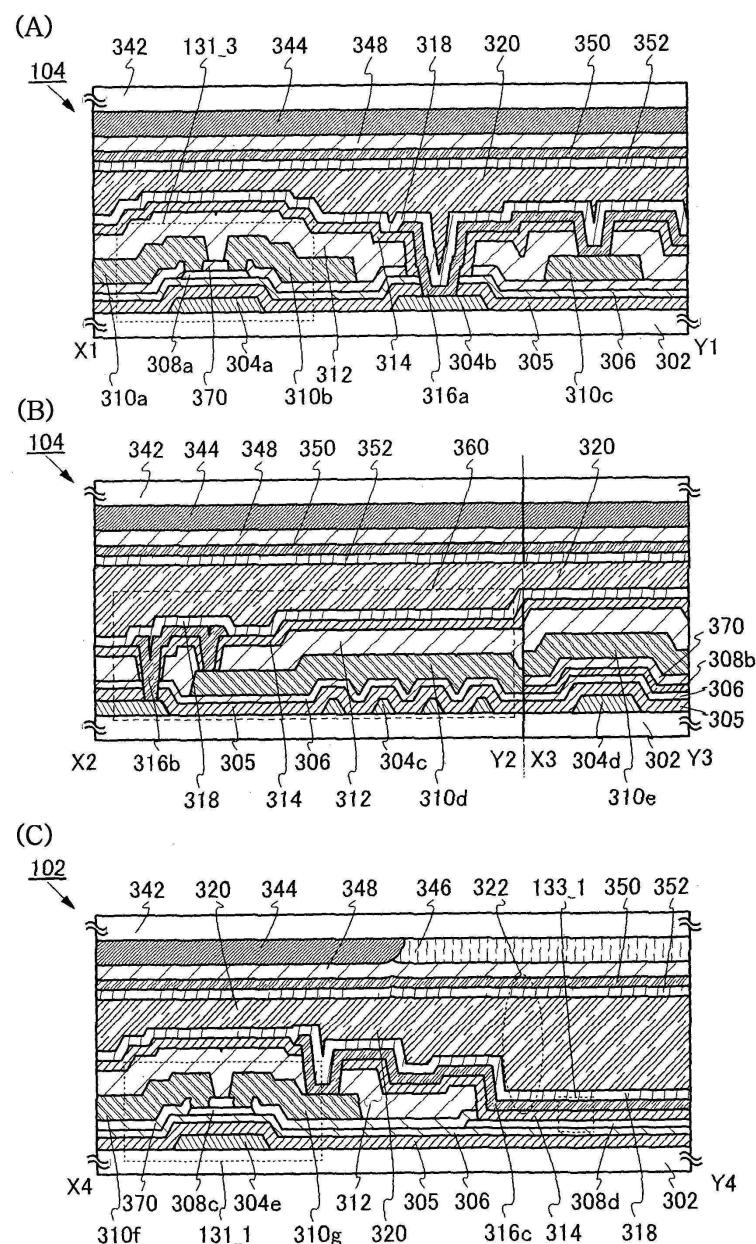
(B)



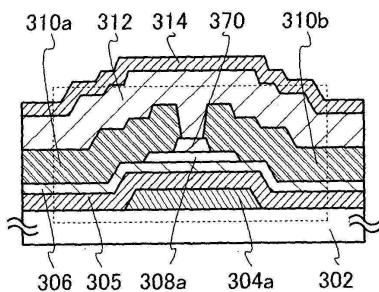
(C)



도면18

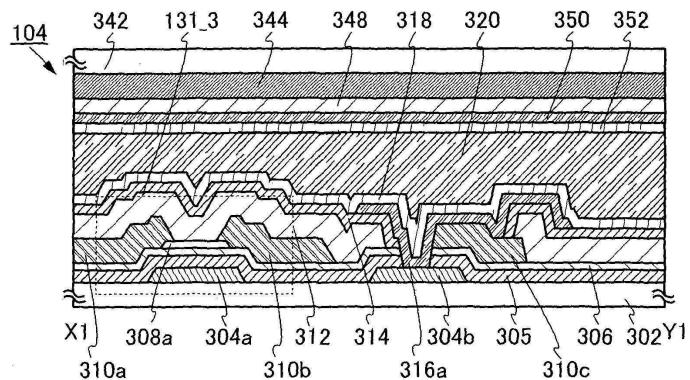


도면19

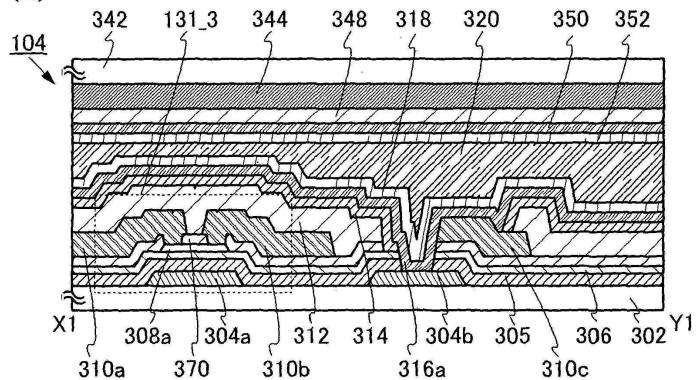


도면20

(A)

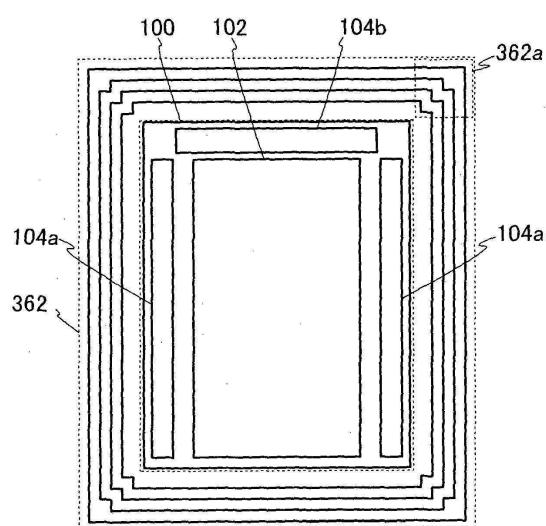


(B)

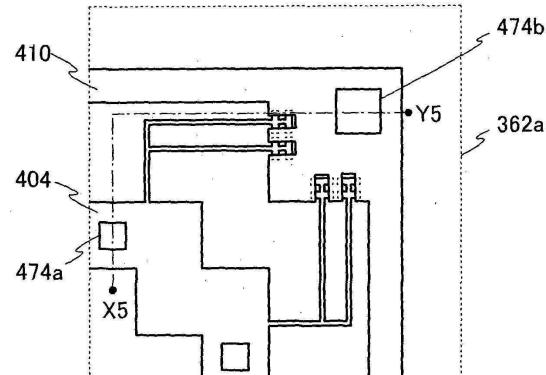


도면21

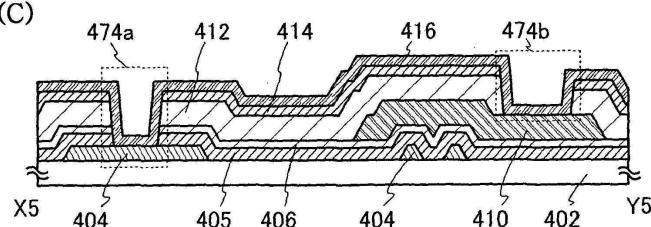
(A)



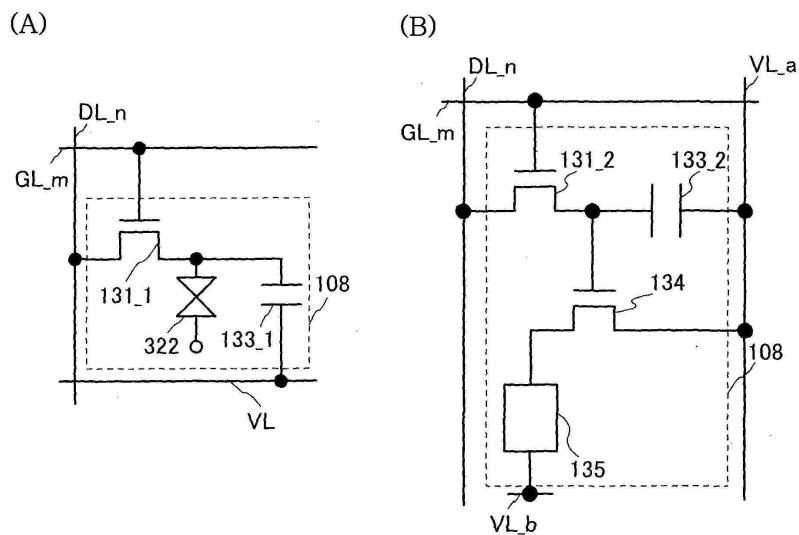
(B)



(C)

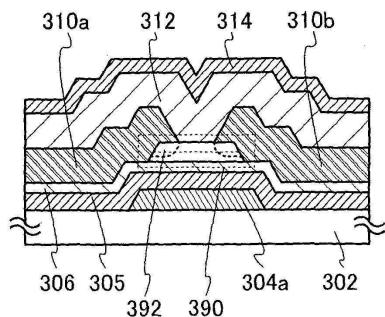


도면22

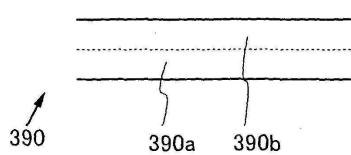


도면23

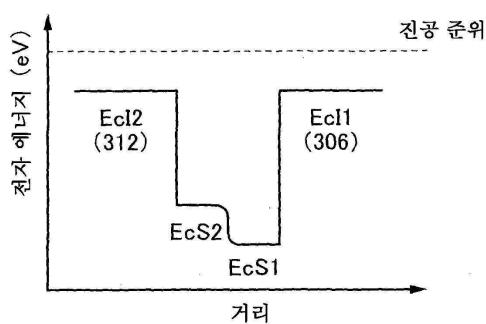
(A)



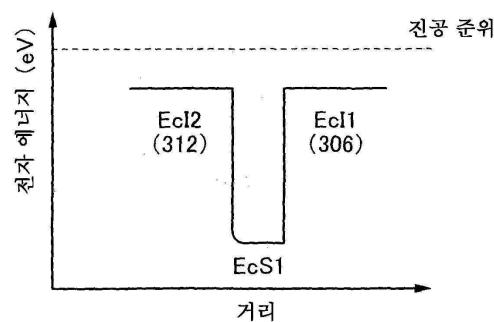
(B)



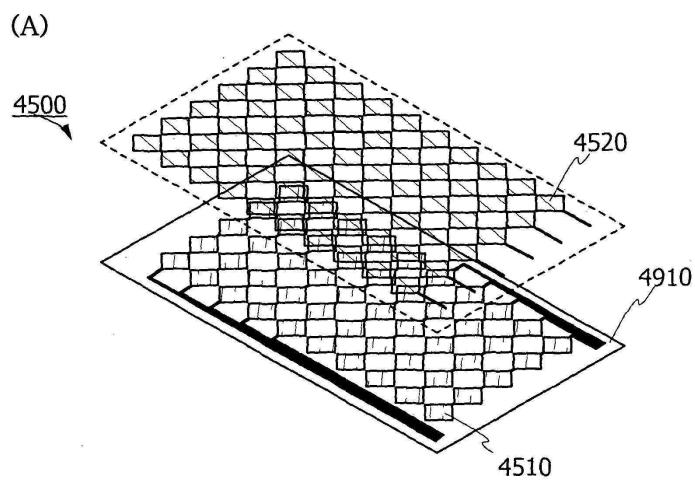
(C)



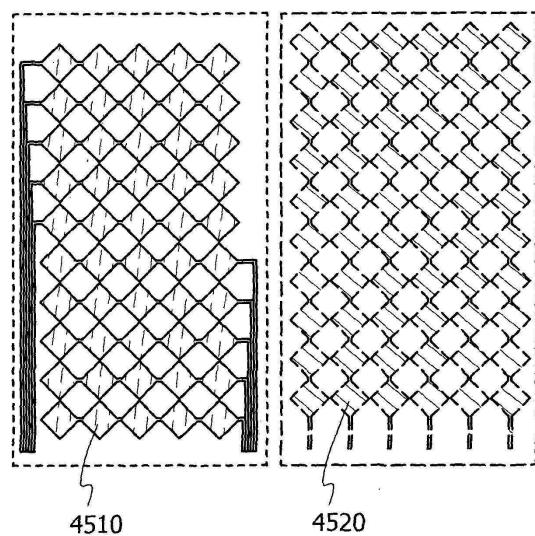
(D)



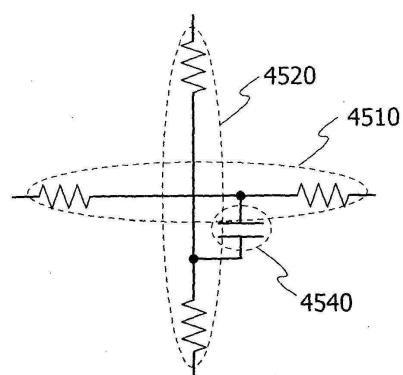
도면24



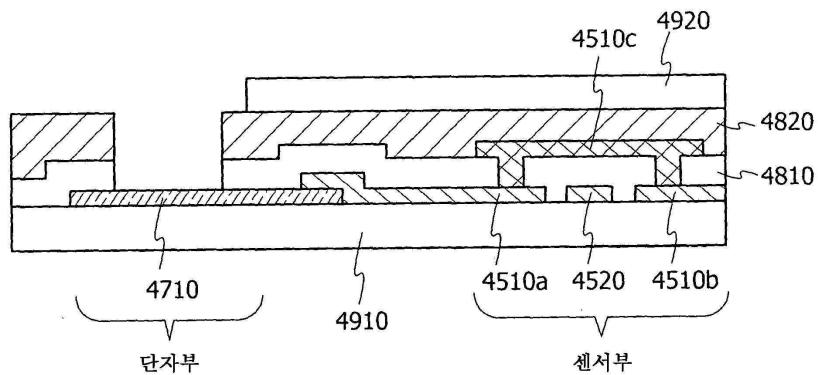
(B)



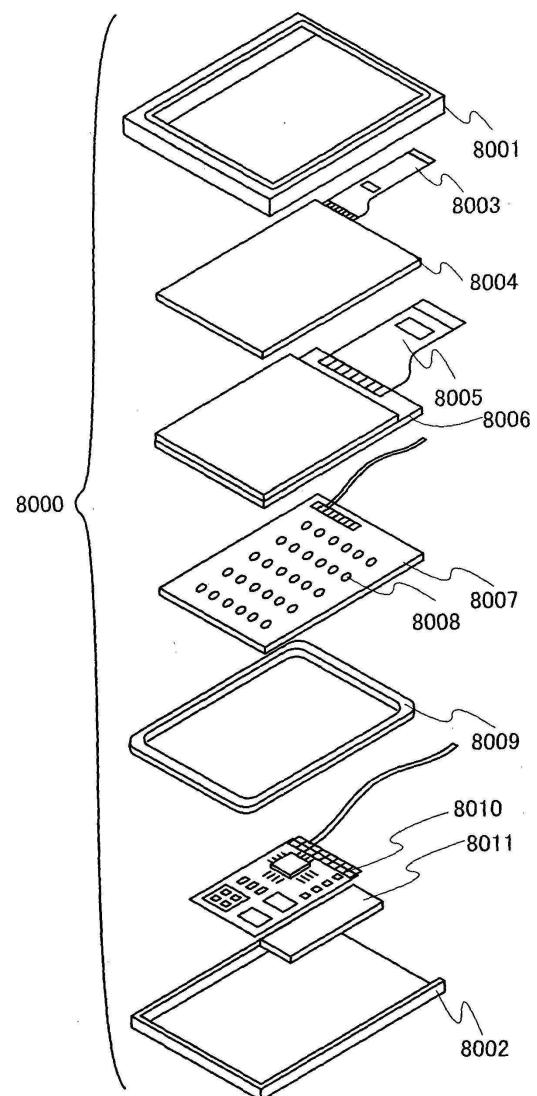
도면25



도면26

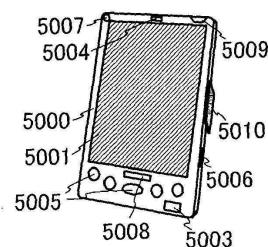


도면27

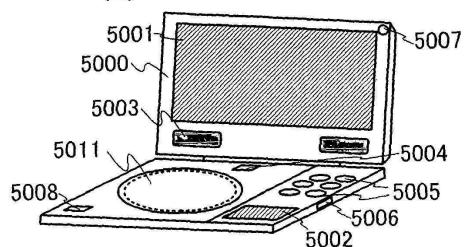


도면28

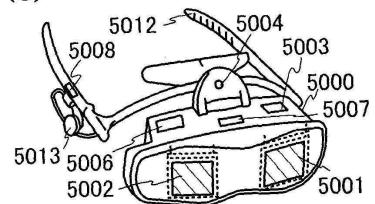
(A)



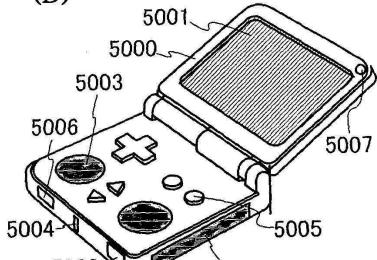
(B)



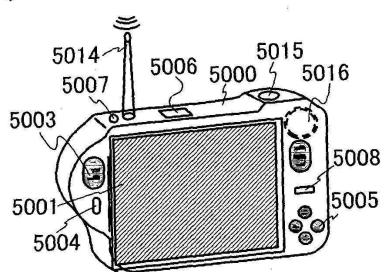
(C)



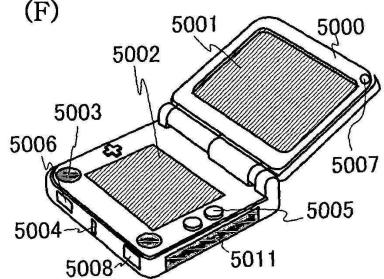
(D)



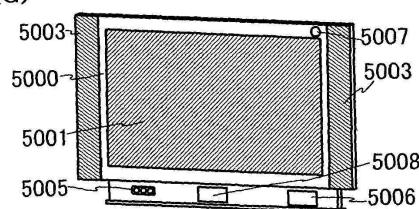
(E)



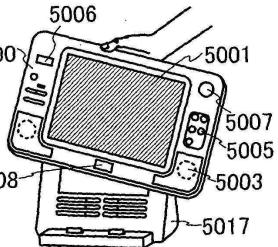
(F)



(G)

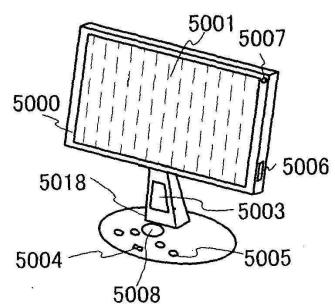


(H)

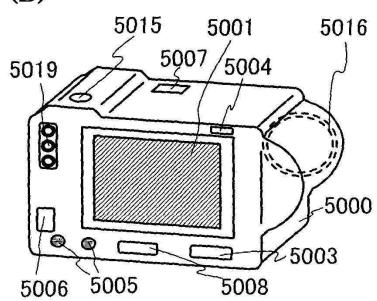


도면29

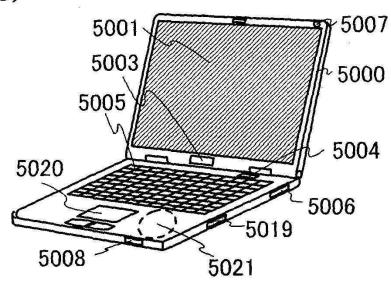
(A)



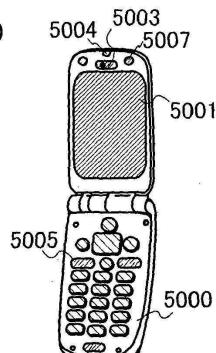
(B)



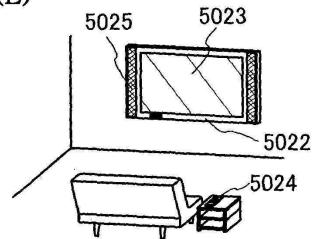
(C)



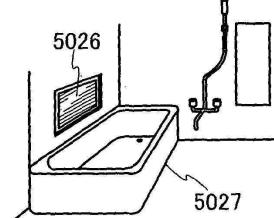
(D)



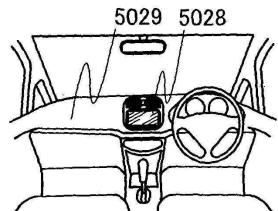
(E)



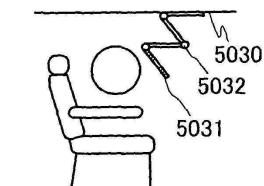
(F)



(G)

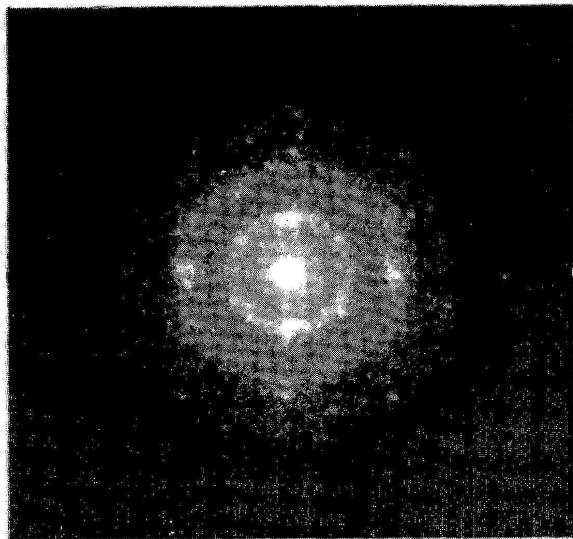


(H)



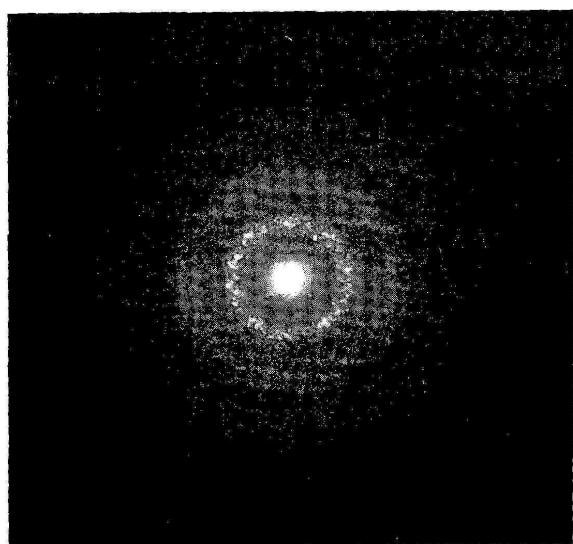
도면30

(A)



CAAC

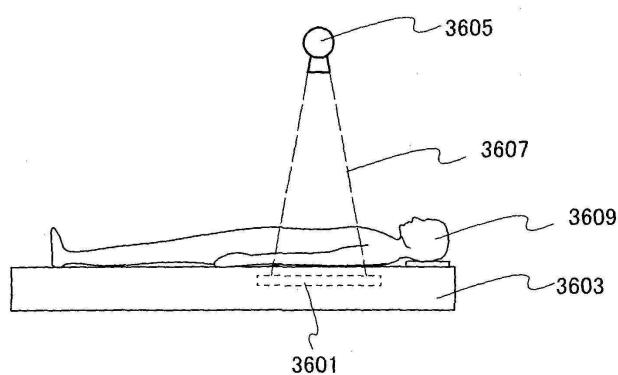
(B)



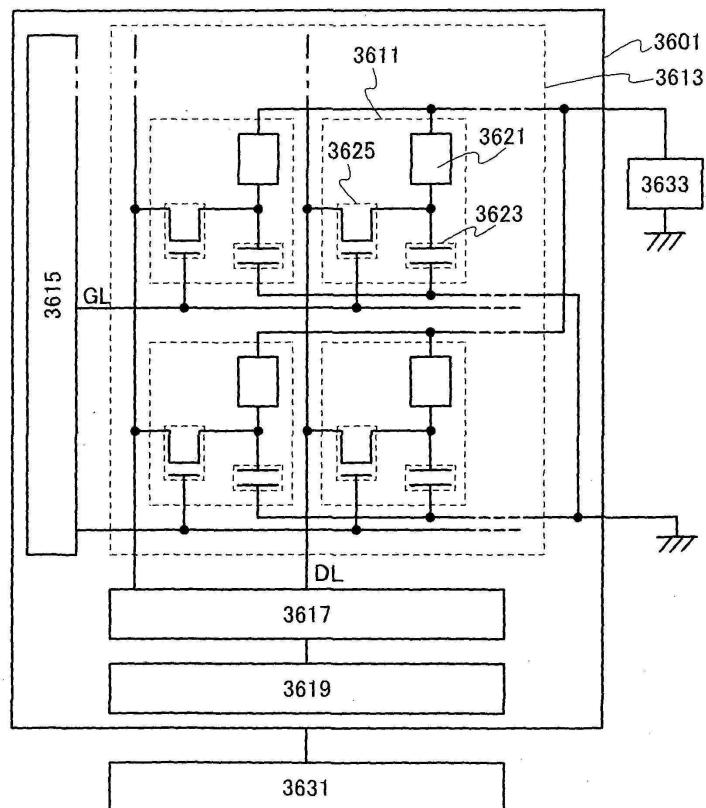
nc

도면31

(A)

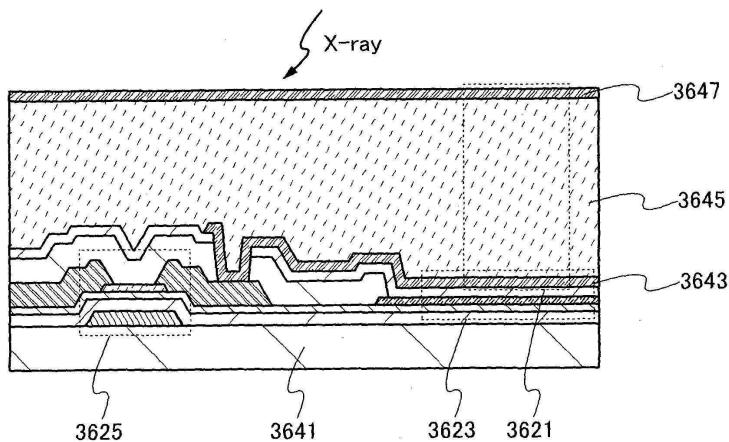


(B)

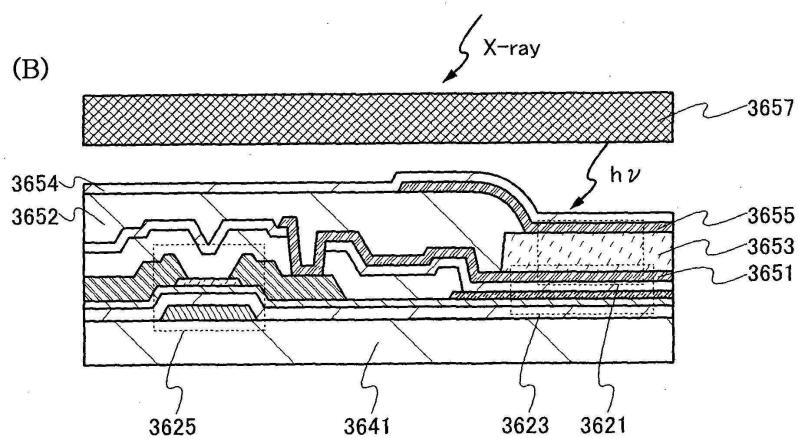


도면32

(A)

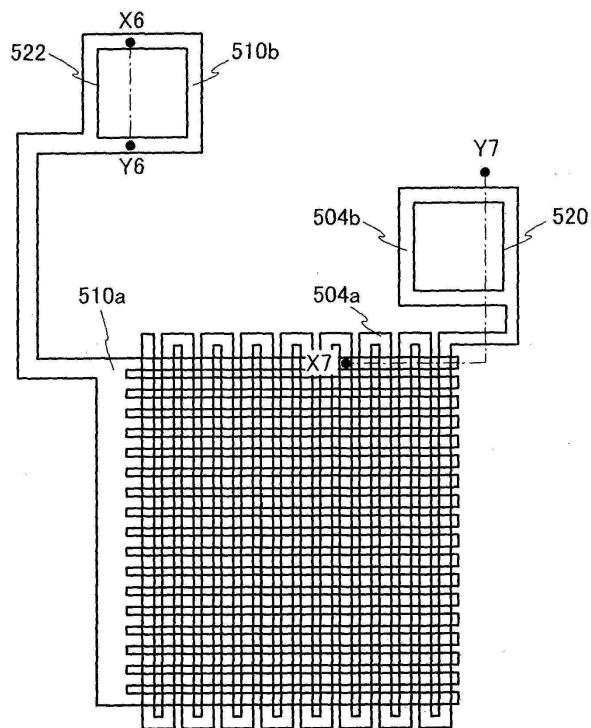


(B)

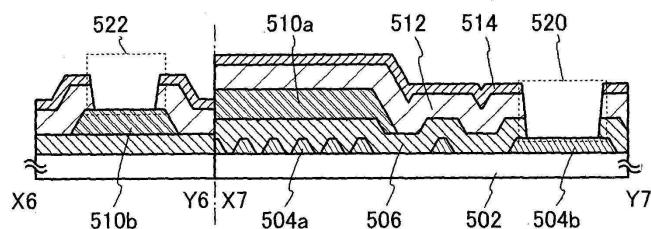


도면33

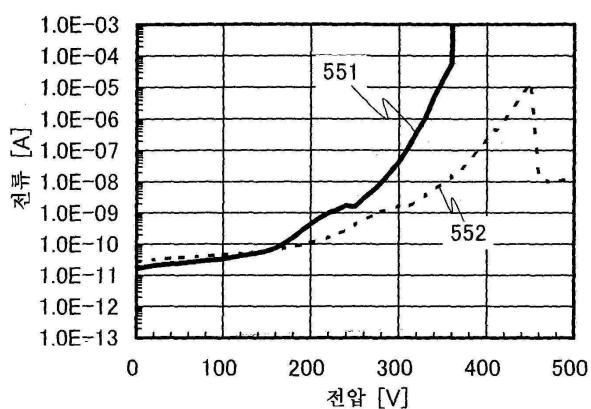
(A)



(B)

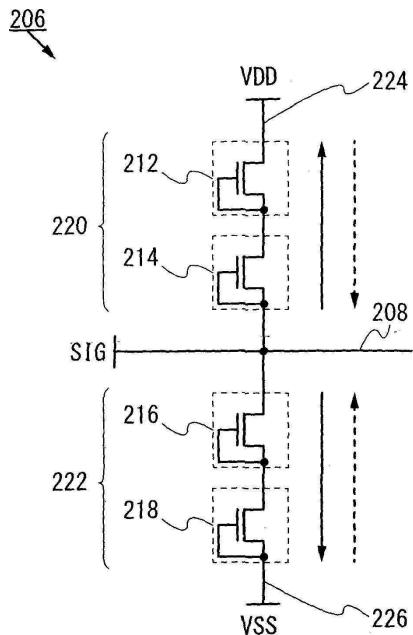


도면34

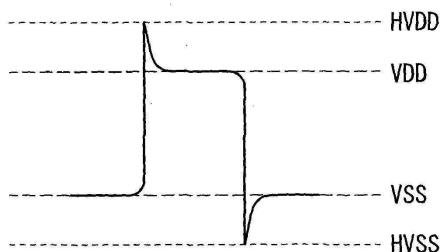


도면35

(A)



(B)



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 2

【변경전】

화소부는 트랜지스터와, 용량 소자와, 제 1 절연층과, 제 3 절연층과, 화소 전극을 갖고,

상기 트랜지스터는, 화소부는 트랜지스터와, 용량 소자와, 제 1 절연층과, 제 3 절연층과, 화소 전극을 갖고,

상기 트랜지스터는,

제 1 도전층과,

상기 제 1 도전층 위의 제 2 절연층과,

상기 제 2 절연층 위의 반도체층과,

상기 반도체층 위의 제 2 도전층, 및 제 3 도전층을 갖고,

상기 제 1 도전층은 상기 반도체층과 중첩되는 영역을 갖고,

상기 제 2 도전층 및 상기 제 3 도전층의 각각은 상기 반도체층과 전기적으로 접속되고,

상기 제 3 절연층은 상기 반도체층 위, 상기 제 2 도전층 위, 및 상기 제 3 도전층 위에 제공되고,

상기 제 1 절연층은 상기 제 3 절연층 위에 제공되고,

상기 화소 전극은 상기 제 1 절연층 위에 제공되고,

상기 화소 전극이 상기 제 2 도전층 및 상기 제 3 도전층 중 한쪽과 전기적으로 접속되도록, 상기 화소 전극의 제 1 영역은 상기 제 3 절연층의 제 1 개구 중에 위치하고,

상기 용량 소자는,

제 1 전극과,

상기 제 1 전극 위의 상기 제 3 절연층과,

상기 제 3 절연층 위의 상기 제 1 절연층과,

상기 제 1 절연층 위의 상기 화소 전극을 갖고,

상기 화소 전극과 상기 제 1 전극의 간격이 상기 제 3 절연층의 막두께보다 작아지도록, 상기 화소 전극의 제 2 영역은 상기 제 3 절연층의 제 2 개구 중에 위치하고,

상기 반도체층 및 상기 제 1 전극의 각각은 상기 제 2 절연층 위에 접하여 제공되고,

상기 반도체층 및 상기 제 1 전극의 각각은 In, Ga, 및 Zn을 갖는 산화물인, 표시 장치.

【변경후】

화소부는 트랜지스터와, 용량 소자와, 제 1 절연층과, 제 3 절연층과, 화소 전극을 갖고,

상기 트랜지스터는,

제 1 도전층과,

상기 제 1 도전층 위의 제 2 절연층과,

상기 제 2 절연층 위의 반도체층과,

상기 반도체층 위의 제 2 도전층, 및 제 3 도전층을 갖고,

상기 제 1 도전층은 상기 반도체층과 중첩되는 영역을 갖고,

상기 제 2 도전층 및 상기 제 3 도전층의 각각은 상기 반도체층과 전기적으로 접속되고,

상기 제 3 절연층은 상기 반도체층 위, 상기 제 2 도전층 위, 및 상기 제 3 도전층 위에 제공되고,

상기 제 1 절연층은 상기 제 3 절연층 위에 제공되고,

상기 화소 전극은 상기 제 1 절연층 위에 제공되고,

상기 화소 전극이 상기 제 2 도전층 및 상기 제 3 도전층 중 한쪽과 전기적으로 접속되도록, 상기 화소 전극의 제 1 영역은 상기 제 3 절연층의 제 1 개구 중에 위치하고,

상기 용량 소자는,

제 1 전극과,

상기 제 1 전극 위의 상기 제 3 절연층과,

상기 제 3 절연층 위의 상기 제 1 절연층과,

상기 제 1 절연층 위의 상기 화소 전극을 갖고,

상기 화소 전극과 상기 제 1 전극의 간격이 상기 제 3 절연층의 막두께보다 작아지도록, 상기 화소 전극의 제 2 영역은 상기 제 3 절연층의 제 2 개구 중에 위치하고,

상기 반도체층 및 상기 제 1 전극의 각각은 상기 제 2 절연층 위에 접하여 제공되고,

상기 반도체층 및 상기 제 1 전극의 각각은 In, Ga, 및 Zn을 갖는 산화물인, 표시 장치.