

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/76

(45) 공고일자 1999년 10월 15일

(11) 등록번호 10-0223751

(24) 등록일자 1999년 07월 12일

(21) 출원번호 10-1996-0076300

(65) 공개번호 특 1998-0057030

(22) 출원일자 1996년 12월 30일

(43) 공개일자 1998년 09월 25일

(73) 특허권자 현대전자산업주식회사 김영환

경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 정명준

경기도 이천시 대월면 사동리 441-1 현대아파트 110동 304호

(74) 대리인 박해천, 원석희

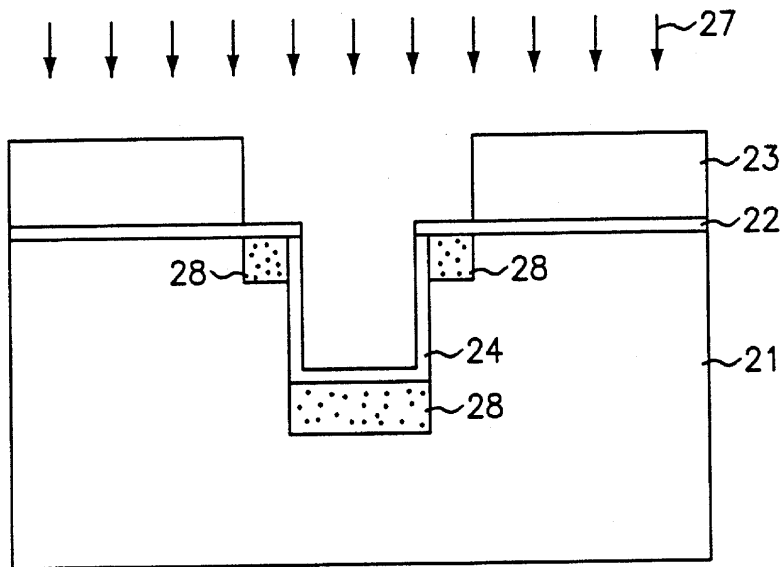
심사관 : 김용정

(54) 반도체 장치의 소자분리 방법

요약

본 발명은 소자분리영역의 반도체 기판을 오픈시킨 다음, 스페이서 패턴을 사용하여 트렌치를 형성하고, 스페이서 패턴이 제거된 부위와 트렌치 바닥면의 불순물층을 형성하여, 실리콘질화막과 패드산화막의 제거에 의하여 발생하는 소자분리 절연막의 측면손실을 보상할 수 있어, 소자의 비정상적 전기적 특성인 험프(Hump)를 방지하고, 노광능력보다 더 작은 소자분리영역을 형성한다.

대표도



명세서

도면의 간단한 설명

도1a 및 도1b는 종래의 트렌치 방식에 의한 소자분리막 형성 방법 및 그 문제점을 나타낸 단면도,

도2a 내지 도2d는 본 발명의 일실시예에 따른 소자분리 방법을 나타낸 공정 단면도,

도3 내지 도5는 본 발명의 다른 여러 실시예들을 나타낸 단면도.

* 도면의 주요부분에 대한 부호의 설명

21 : 반도체 기판

23 : 패드산화막

23 : 실리콘질화막

24 : 보호산화막

25 : 소자분리 절연막

26 : 폴리실리콘막 스페이서

27 : 이온주입

28 : 불순물층

29 : 장벽산화막

30 : 열 산화막

31 : 산화막 스페이서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 고집적 반도체 장치에 적용되는 트렌치(Trench)형 소자분리 방법에 관한 것으로, 특히 트렌치 소자분리막의 측벽에 불순물을 형성하여 험프(Hump)를 방지하고 소자분리영역의 면적을 감소시키며 소자분리막의 측면손실을 줄일 수 있는 반도체 장치의 소자분리 방법에 관한 것이다.

일반적으로, 디램(Dynamic Random Access Memory : DRAM)을 비롯한 반도체 장치의 집적도가 증가함에 따라 소자분리막을 형성할 수 있는 소자분리 영역도 감소하여, 종래의 소자분리기술인 LOCOS 방법은 버즈비크(Bird's beak)의 측면 산화와 필드 씨닝 효과(Field Thinning Effect)로 고집적 반도체 장치에서는 충분한 활성영역 및 소자분리막 두께를 확보하는데 한계를 보이고 있는 반면, 반도체 기판을 일정 깊이 식각하고 절연막으로 식각부분을 채워서 소자분리막을 제조하는 트렌치 소자분리막 형성 방법은 활성 영역의 감소가 없고 소자분리 크기에 상관없이 항상 일정한 두께의 소자분리막을 얻을 수 있는 장점이 있어 고집적 반도체 장치의 소자 분리기술로 적합하다.

하지만, 종래의 트렌치 소자분리막 제조방법은 소자분리막을 형성한 후 실리콘질화막과 패드산화막의 제거에 의한 소자분리 절연막의 손실로 소자분리 절연막의 가장자리가 오목하게 들어가 활성 영역의 표면보다 낮아지게 되며, 이러한 소자분리 절연막의 프로파일에 기인하여 소자의 비정상적 전기적 특성인 험프(Hump)의 원인이 될 뿐만 아니라, 게이트 형성시에도 오목한 부분에 존재하는 게이트막을 제거하기가 어렵게 되는 등 후속 공정의 난이함을 가져오게 된다.

도1a 및 도1b는 종래의 트렌치 방식에 의한 소자분리막 제조 방법 및 그 문제점을 나타낸 단면도로서, 먼저, 도1a에 도시된 바와같이, 반도체 기판(11) 상부에 패드산화막(12)과 실리콘질화막(13)을 증착하고, 소자분리 마스크를 사용하여 소자분리 영역의 실리콘질화막(13)과 패드산화막(12) 및 반도체 기판(11)의 일정깊이를 식각한 후, 식각된 반도체 기판(11) 표면의 결함 제거 및 소자분리 절연막의 증착조건을 양호하게 하기 위하여 보호산화막(14)을 성장시킨 다음, 소자분리 절연막(15)을 일정두께 이상 증착하고 실리콘질화막(13)이 드러날때까지 전면식각한다.

이어서, 도1b는 상기 도1a의 구조하에서 실리콘질화막(13)과 패드산화막(12)을 순차적으로 제거한 상태를 나타낸 단면도로서, 실리콘질화막(13) 및 패드산화막(12)의 제거에 의한 소자분리 절연막(15)의 손실로 소자분리 절연막(15)의 가장자리가 오목하게 들어가 활성영역의 반도체 기판 표면보다 낮아지게 되며, 이것은 후속공정에서 활성영역의 측면에도 게이트 전극이 존재하여 이 부분의 게이트가 일찍 열리게 되어 발생하는 비정상적 전기적 특성인 험프(Hump)의 원인이 된다.

또한, 게이트 형성시에도 오목한 부분에 존재하는 게이트막을 제거하기가 어렵게 되는 후속 공정의 난이함을 가져오는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 트렌치 소자분리 기술에서 소자분리 절연막의 가장자리가 활성영역의 반도체 기판 표면보다 낮게 오목하게 들어가는 나쁜 프로파일로 인하여 발생하는 전기적 특성 저하 및 후속 공정의 난이함을 방지하는 반도체 장치의 소자분리 방법을 제공함을 그 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 반도체 기판 상부에 소자분리영역이 오픈된 희생막 패턴을 형성하는 단계; 상기 희생막 패턴 측벽에 스페이서 패턴을 형성하여 노출된 소자분리영역의 사이즈를 적게하는 단계; 상기 사이즈가 적어진 노출된 소자분리영역의 반도체 기판을 소정 깊이 식각하여 트렌치를 형성하고 상기 스페이서 패턴을 제거하는 단계; 상기 식각된 반도체 기판 표면의 결함 제거와 이후의 소자분리 절연막의 증착조건을 양호하게 하기 위하여, 식각되어 노출된 반도체 기판 표면에 산화막을 형성하는 단계; 전면 이온주입에 의해 향후 형성될 소자분리 절연막의 측면과 하부에 불순물층을 형성하는 단계; 소자분리 절연막을 전면증착하고 상기 희생막 패턴이 드러날 때까지 에치백하는 단계; 및 상기 희생막 패턴을 제거하는 단계를 포함하여 이루어진다.

이하, 본 발명에 따른 반도체 장치의 소자분리막 형성 방법에 관하여 첨부된 도면을 참조하여 상세히 설명한다.

도2a 내지 도2d는 본 발명의 일실시예에 따른 반도체 장치의 소자분리 방법을 나타낸 공정 단면도이다.

도2a는 반도체 기판(21)위에 패드산화막(21)과 실리콘질화막(22)을 차례로 형성하고, 소자분리 마스크를 사용하여 실리콘질화막(23)을 식각한 후, 폴리실리콘을 전면증착 후 전면식각하여 실리콘질화막(23)의 측벽에 폴리실리콘 스페이서막(26)을 형성한 상태를 나타낸 단면도이다.

이어서, 도2b는 도2a의 구조하에서 드러나 있는 패드산화막(22)과 반도체기판(21)의 일정깊이를 차례로 식각하고(이때 폴리실리콘 스페이서막은 함께 제거됨), 식각된 반도체 기판(21) 표면의 결함 제거 및 소자분리 절연막의 증착조건을 양호하게하기 위하여 보호산화막(24)을 성장시킨 후, 절연특성 향상을 위한 불순물 이온주입(27)을 실시하여 향후 형성될 소자분리 절연막의 측면과 하부에 불순물층(28)을

형성한다.

이어서, 도2c와 같이 도2b의 구조하에서 소자분리 절연막(25)을 전면증착하고 실리콘질화막(23)이 드러날 때까지 에치백한다.

끝으로, 도2d는 실리콘질화막(23)과 패드산화막(22)을 제거하여 소자분리절연막(25)을 완성한 상태를 나타낸 단면도로서, 소자분리 절연막(25)의 측면에 불순물층(28)이 존재하여 헴프를 방지할 수 있고, 스페이서막(도2a의 26)의 형상으로 인하여 증착두께 만큼 소자분리 절연막(25)의 측면 손실과 소자분리 영역을 줄일 수 있는 장점이 있다.

도3은 본 발명의 다른 실시예시도로서, 반도체 기판(21) 상부에 패드산화막(22)과 실리콘질화막(23)을 차례로 형성하고 소자분리 마스크를 사용하여 실리콘질화막(23)과 패드산화막(22)을 함께 식각한 후, 장벽산화막(29)과 폴리실리콘막(26)으로 이루어진 스페이서막을 형성한 상태를 나타낸다. 본 실시예에서는 실리콘질화막(2)의 식각시 패드산화막(1)이 함께 제거되어 폴리실리콘 스페이서막(5)의 제거시 사용되는 식각장벽막이 없어지는 문제점을 해결하기 위한 것으로, 별도의 장벽산화막을 형성하였다는데 그 특징이 있다.

도4는 본 발명의 또다른 실시예시도로서, 반도체 기판(21) 상부에 패드산화막(22)과 실리콘질화막(23)을 차례로 형성하고 소자분리 마스크를 사용하여 실리콘질화막(23)과 패드산화막(22)을 차례로 식각한 후, 열 산화막(30)을 성장시키고, 폴리실리콘막을 증착한 다음 폴리실리콘막을 식각하여 실리콘질화막(23)의 측벽에 폴리실리콘 스페이서막(26)을 형성한 상태를 나타낸 단면도로서, 실리콘질화막(2)의 식각시 패드산화막(1)이 함께 제거되어 폴리실리콘 스페이서막(5)의 제거시 사용되는 식각장벽막이 없어지는 문제점을 해결하기 위한 것이다.

도3 및 도4에 나타난 실시예의 후속 공정은 앞선 일실시예와 그 공정이 동일하다.

도5는 본 발명의 또 다른 실시예시도로서, 반도체 기판(21) 상부에 패드산화막(22)과 실리콘질화막(23)을 차례로 형성하고 소자분리 마스크를 사용하여 실리콘질화막(23)을 식각한 후, 산화막을 전면증착하고 식각하여 실리콘질화막(23)의 측벽에 산화막 스페이서(31)를 형성한 상태를 나타낸 단면도로서, 본 실시예에서는 앞서 설명한 본 발명의 일실시예와 동일하게 공정을 진행하되 후속공정에서 반도체 기판의 일부(21)을 식각하고 별도로, 스페이서막을 제거하여야 한다.

본 발명은 소자분리 절연막의 가장자리가 오목하게 들어가더라도, 소자분리 절연막의 측면에 형성된 불순물층에 의하여, 전기적 특성 저하를 방지할 수 있고, 폴리실리콘 또는 산화막 스페이서막의 두께에 비례하여 소자분리 절연막의 측면손실을 보상할 수 있어 소자분리막의 가장자리가 오목하게 들어가는 것을 줄일 수 있으며 소자분리 영역을 줄일 수 있다.

발명의 효과

본 발명은 소자분리막의 가장자리가 오목하게 들어가서 발생하는 헴프현상을 게이트 전극이 존재하더라도 소자분리막의 측면에 불순물층이 형성되어 있어 헴프를 방지할 수 있고 소자분리막의 측면손실을 줄일 수 있으며 소자분리영역이 노광능력보다 더 작은 소자분리막을 만들 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판 상부에 소자분리영역이 오픈된 희생막 패턴을 형성하는 단계; 상기 희생막 패턴 측벽에 스페이서 패턴을 형성하여 노출된 소자분리영역의 사이즈를 적게하는 단계; 상기 사이즈가 적어진 노출된 소자분리영역의 반도체 기판을 소정 깊이 식각하여 트렌치를 형성하고 상기 스페이서 패턴을 제거하는 단계; 상기 식각된 반도체 기판 표면의 결함 제거와 이후의 소자분리 절연막의 증착조건을 양호하게 하기 위하여, 식각되어 노출된 반도체 기판 표면에 산화막을 형성하는 단계; 전면 이온주입에 의해 향후 형성될 소자분리 절연막의 측면과 하부에 불순물층을 형성하는 단계, 소자분리 절연막을 전면증착하고 상기 희생막 패턴이 드러날 때까지 에치백하는 단계; 및 상기 희생막 패턴을 제거하는 단계를 포함하여 이루어지는 반도체 장치의 소자분리 방법.

청구항 2

제1항에 있어서, 상기 희생막 패턴은 반도체 기판 상에 차례로 적층된 패드산화막과 실리콘질화막을 포함하는 것을 특징으로 하는 반도체 장치의 소자분리 방법.

청구항 3

제1항 또는 제2항에 있어서, 상기 스페이서 패턴을 폴리실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 소자분리 방법.

청구항 4

제3항에 있어서, 상기 사이즈가 적어진 노출된 소자분리영역의 반도체 기판을 소정 깊이 식각하여 트렌치를 형성하고 상기 스페이서 패턴을 제거하는 단계는, 상기 반도체 기판의 식각과 상기 스페이서 패턴의 제거를 동시에 한 식각공정으로 이루는 것을 특징으로 하는 반도체 장치의 소자분리 방법.

청구항 5

제1항 또는 제2항에 있어서, 상기 스페이서 패턴을 산화막으로 이루어지는 것을 특징으로 하는 반도체 장치의 소자분리 방법.

청구항 6

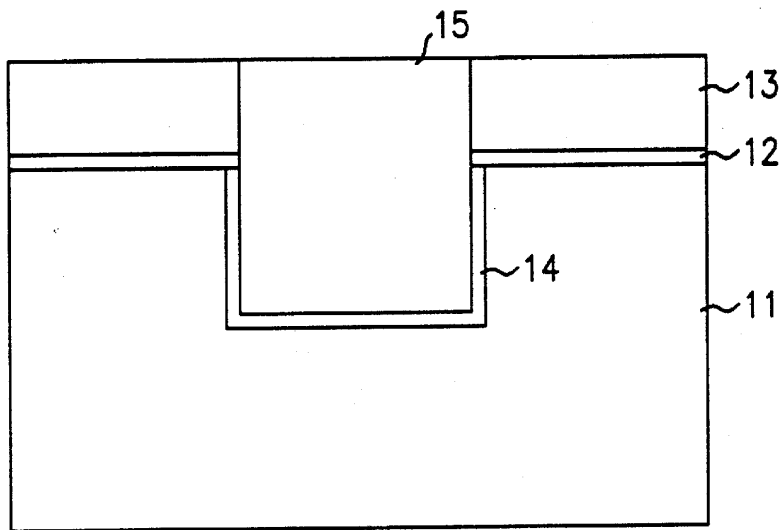
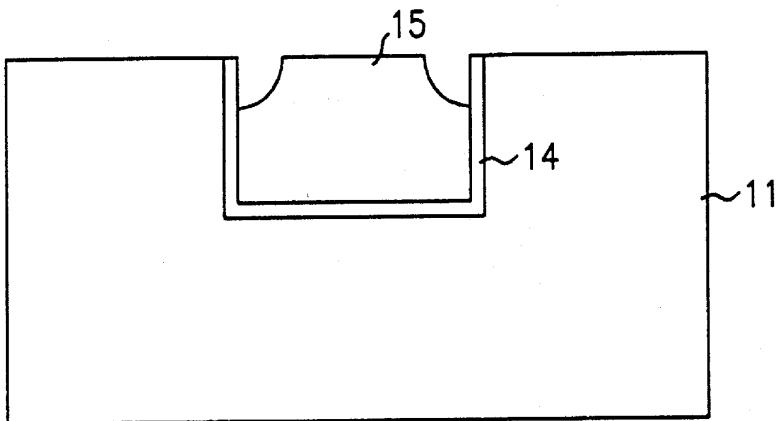
제4항에 있어서, 상기 사이즈가 적어진 노출된 소자분리영역의 반도체 기판을 소정 깊이 식각하여 트렌치를 형성하고 상기 스페이서 패턴을 제거하는 단계는, 상기 반도체 기판의 식각 공정 후 상기 스페이서 패턴을 제거하는 식각 공정을 실시하여 이루어지는 것을 특징으로 하는 반도체 장치의 소자분리 방법.

청구항 7

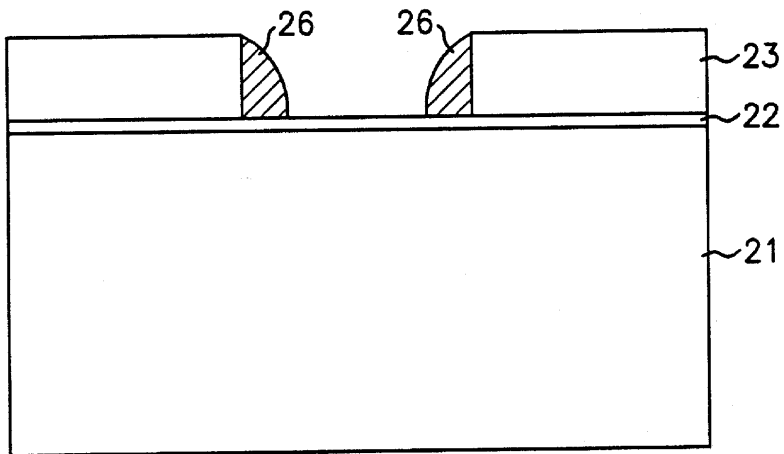
제1항 또는 제2항에 있어서, 상기 스페이서 패턴은 장벽산화막과 폴리실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 소자분리 방법.

청구항 8

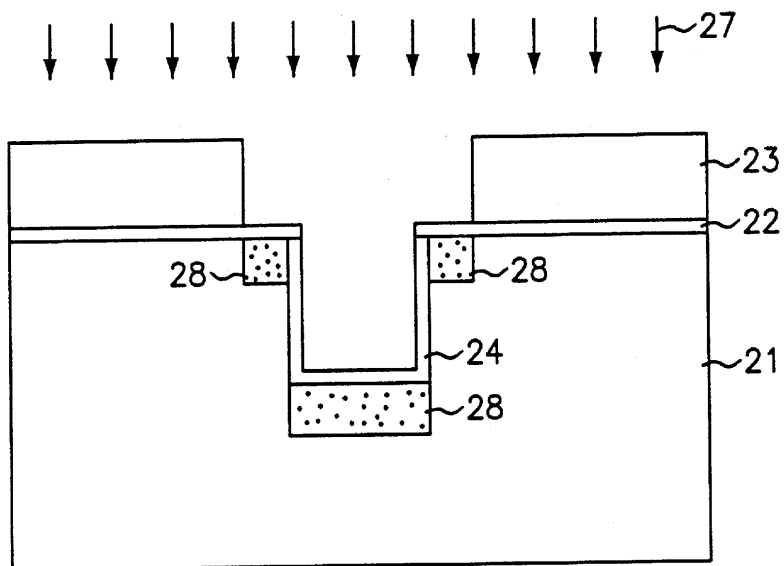
제1항에 있어서, 상기 스페이서 패턴 형성단계 이전에 노출된 반도체 기판 표면을 얇게 열산화시키는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 소자분리 방법.

도면**도면 1a****도면 1b**

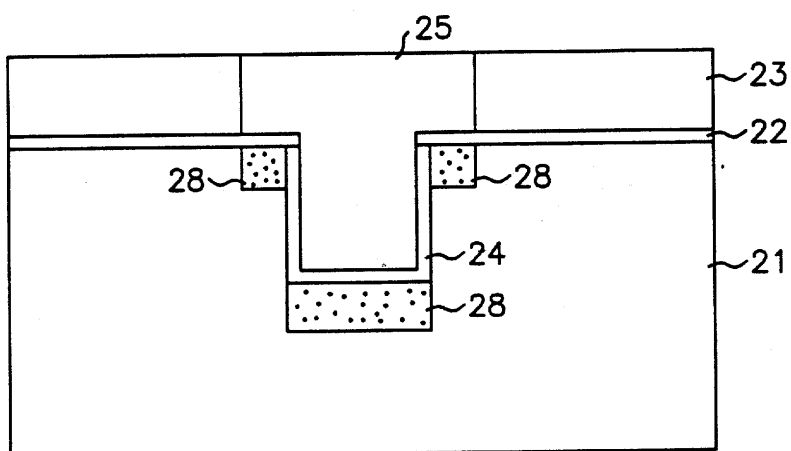
도면2a



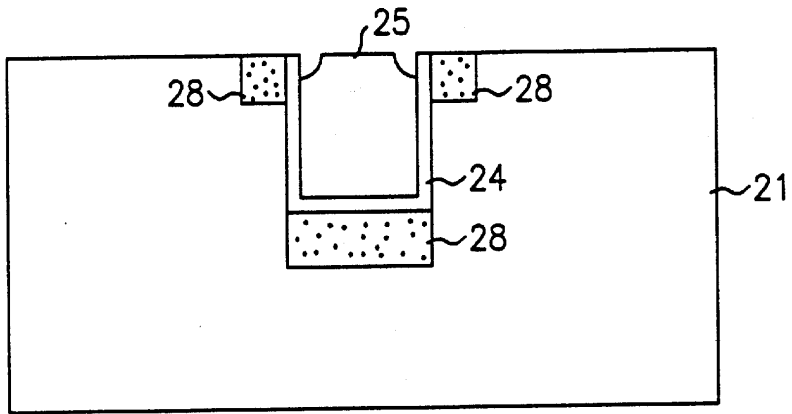
도면2b



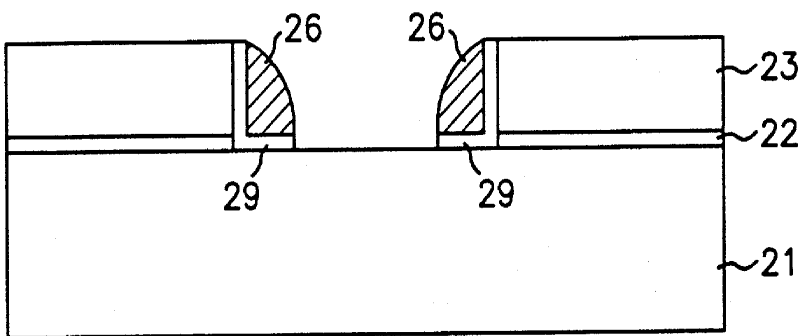
도면2c



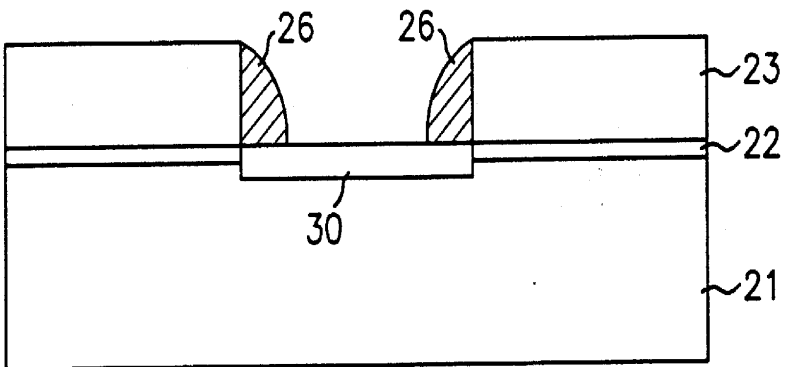
도면2d



도면3



도면4



도면5

