

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成27年7月16日 (2015.7.16)

【公開番号】特開2014-67461(P2014-67461A)

【公開日】平成26年4月17日 (2014.4.17)

【年通号数】公開・登録公報2014-019

【出願番号】特願2012-210399(P2012-210399)

【国際特許分類】

G 1 1 C 16/02 (2006.01)

G 1 1 C 16/06 (2006.01)

【F I】

G 1 1 C 17/00 6 1 1 E

G 1 1 C 17/00 6 1 1 F

G 1 1 C 17/00 6 3 5

【手続補正書】

【提出日】平成27年5月27日 (2015.5.27)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 0

【補正方法】変更

【補正の内容】

【0 0 3 0】

グローバルビット線 G B L 0 は、N M O S 1 4 5 a を介してメインビット線 M B L 0 に接続され、N M O S 1 4 5 b を介して電源線 V 2 4 に接続されている。N M O S 1 4 5 a のゲートには選択信号 S G T 0 が入力され、N M O S 1 4 5 b のゲートには選択信号 S G B 0 が入力される。グローバルビット線 G B L 1 は、N M O S 1 4 6 a を介してメインビット線 M B L 0 に接続され、N M O S 1 4 6 b を介して電源線 V 2 4 に接続されている。N M O S 1 4 6 a のゲートには選択信号 S G T 1 が入力され、N M O S 1 4 6 b のゲートには選択信号 S G B 1 が入力される。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 5

【補正方法】変更

【補正の内容】

【0 0 3 5】

N O T ゲート 1 5 3 には、信号 D I が入力される。N A N D ゲート 1 5 4 には、信号 H G B L B と信号 W A B が入力される。N A N D ゲート 1 5 5 には、信号 H G B L B と、N O T ゲート 1 5 3 の出力即ち信号 D I の反転信号が入力される。N A N D ゲート 1 5 4 の出力及び N A N D ゲート 1 5 5 の出力は、N A N D ゲート 1 5 6 に入力され、その出力は、P M O S 1 5 8 のゲートに入力される。N A N D ゲート 1 5 5 の出力及び信号 W A B は、N O R ゲート 1 5 7 に入力され、その出力は、N M O S 1 5 9 のゲートに入力される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 6

【補正方法】変更

【補正の内容】

【0 0 6 6】

例えば、プログラム動作において、プログラムセグメント P S E G 0 - 3 のうち、プロ

グラムセグメント P S E G 0 を選択する場合、そのプログラムセグメント P S E G 0 に設けられたソース線 S R C 0 が選択され、そのソース線 S R C 0 が電圧 V S T に設定される。非選択のプログラムセグメント P S E G 1 - 3 のソース線 S R C 1 - 3 は、電圧 V S B に設定される。電圧 V S B は、電圧 V S T よりも高く設定され、例えば、電圧 V S T は 1 . 8 V、電圧 V S B は電圧 2 . 4 V に設定される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 2

【補正方法】変更

【補正の内容】

【0 0 9 2】

上記第 1 の実施の形態では、1 つのメモリブロック領域 1 0 0 A につきビット線 B L が 1 0 2 4 本である場合に、2 5 6 本のビット線 B L 毎に、4 つプログラムセグメント P S E G に分割する例を示した。分割するプログラムセグメント P S E G の数は、上記の例に限定されるものではない。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 0

【補正方法】変更

【補正の内容】

【0 1 2 0】

尚、ソース線 S R C 1 に接続されたソース線スイッチ 1 6 0 B には、信号 U I O 及び信号 C A B < 3 > が入力される。ソース線 S R C 2 に接続されたソース線スイッチ 1 6 0 B には、信号 L I O 及び信号 C A T < 3 > が入力される。ソース線 S R C 3 に接続されたソース線スイッチ 1 6 0 B には、信号 U I O 及び信号 C A T < 3 > が入力される。これらのソース線スイッチ 1 6 0 B においても、上記ソース線 S R C 0 に接続されたソース線スイッチ 1 6 0 B と同様の流れで信号の処理が行われる。