



등록특허 10-2742049



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년12월13일  
(11) 등록번호 10-2742049  
(24) 등록일자 2024년12월09일

- (51) 국제특허분류(Int. Cl.)  
*HO1L 23/13* (2006.01) *HO1L 23/00* (2006.01)  
*HO1L 23/48* (2006.01) *HO1L 23/485* (2006.01)
- (52) CPC특허분류  
*HO1L 23/13* (2013.01)  
*HO1L 23/481* (2013.01)
- (21) 출원번호 10-2019-0034104
- (22) 출원일자 2019년03월26일  
심사청구일자 2022년02월04일
- (65) 공개번호 10-2019-0116913
- (43) 공개일자 2019년10월15일
- (30) 우선권주장  
JP-P-2018-072937 2018년04월05일 일본(JP)
- (56) 선행기술조사문헌  
JP2001196496 A\*  
JP2014033067 A  
KR2020160126290 A\*  
WO2018037667 A1
- \*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 6 항

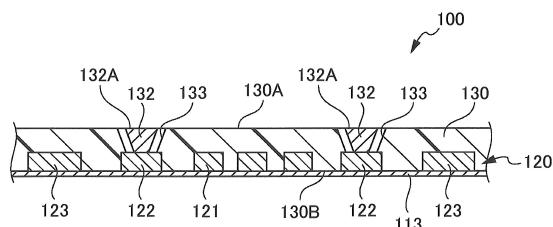
심사관 : 김기한

## (54) 발명의 명칭 배선 기판, 반도체 장치 및 배선 기판의 제조 방법

## (57) 요약

배선 기판은 절연층과, 제 1 면 및 제 1 면과 교차하는 측면을 가진 접속 단자를 포함한다. 제 1 면은 절연층(130)으로부터 노출되어 있으며, 절연층은 상기 측면의 적어도 일부를 따라 형성된 공극을 포함한다.

대표도 - 도1a



(52) CPC특허분류

*H01L 23/485* (2013.01)

*H01L 24/81* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

절연층;

제 1 면 및 상기 제 1 면과 교차하는 측면을 가진 접속 단자; 및

상기 절연층 내에 마련되고, 상기 접속 단자에 접속된 도전층

을 포함하며,

상기 제 1 면이 상기 절연층으로부터 노출되어 있고,

상기 절연층은 상기 측면의 적어도 일부를 따라 형성되는 공극(gap)을 포함하고,

상기 접속 단자의 직경은 상기 제 1 면으로부터 더 멀어지는 방향으로 점차 감소하고,

상기 도전층은 상기 절연층의 상기 접속 단자를 노출하는 면과는 반대측에 위치된 상기 절연층의 면으로부터 노출되어 있으며,

상기 접속 단자의 상기 제 1 면과는 반대측에 위치된, 상기 접속 단자의 제 2 면 전체가 상기 도전층과 접촉하고,

상기 제 2 면의 면적은, 상기 도전층의 상기 접속 단자가 접촉하는 면의 면적보다 작은, 배선 기판.

#### 청구항 2

제 1 항에 있어서,

상기 공극은, 상기 측면의 전체 둘레 주위에 형성되어 있는 배선 기판.

#### 청구항 3

제 1 항에 있어서,

상기 제 1 면이 상기 절연층의 표면보다 깊은 위치에 있는 배선 기판.

#### 청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 기재된 배선 기판; 및

상기 배선 기판에 실장된 반도체 칩

을 포함하며,

상기 반도체 칩은 상기 접속 단자에 접속된 전극 패드를 포함하는 반도체 장치.

#### 청구항 5

지지체 상에 도전층을 형성하는 공정;

상기 지지체 상에, 상기 도전층을 덮는 절연층을 형성하는 공정;

상기 절연층에, 상기 도전층에 도달하는 비아 홀(via hole)을 형성하는 공정;

상기 비아 홀 내에, 제 1 면 및 상기 제 1 면과 교차하는 측면을 갖고, 상기 제 1 면이 상기 절연층으로부터 노출되는 접속 단자를 형성하는 공정;

상기 절연층에, 상기 측면의 적어도 일부를 따라 공극을 형성하는 공정; 및

상기 공극을 형성한 이후에 상기 지지체의 일부를 제거하는 공정

을 포함하며,

상기 접속 단자의 직경은 상기 제 1 면으로부터 더 멀어지는 방향으로 점차 감소하고,

상기 도전층은 상기 절연층의 상기 접속 단자를 노출하는 면과는 반대측에 위치된 상기 절연층의 면으로부터 노출되어 있으며,

상기 접속 단자의 상기 제 1 면과는 반대측에 위치된, 상기 접속 단자의 제 2 면 전체가 상기 도전층과 접촉하고,

상기 제 2 면의 면적은, 상기 도전층의 상기 접속 단자가 접촉하는 면의 면적보다 작은, 배선 기판의 제조 방법.

## 청구항 6

제 5 항에 있어서,

상기 공극을 형성하는 공정은 레이저광 조사에 의해 상기 공극을 형성하는 것인 배선 기판의 제조 방법.

## 청구항 7

삭제

## 청구항 8

삭제

## 발명의 설명

### 기술 분야

[0001] 본 명세서에서 논의되는 실시형태들의 특정 양태들은 배선 기판, 반도체 장치 및 배선 기판의 제조 방법에 관한 것이다.

### 배경 기술

[0002] 배선 기판을 제조할 때에는, 도전 패드를 덮도록 솔더 레지스트층을 형성하고, 도전 패드를 노출하는 개구부를 솔더 레지스트층에 형성하고, 개구부를 통해서 돌출하는 도전 포스트를 형성하고 있다. 그리고, 반도체 칩 등의 전자부품을 실장해서 반도체 장치를 제조할 때에는, 솔더 볼 등을 이용하여, 도전 포스트와 전자부품의 도전 패드를 접합하고 있다. 예를 들어, 일본국 특개 2014-33067호 공보에는 반도체 칩 및 반도체 장치의 일례가 제안되어 있다.

### 발명의 내용

#### 해결하려는 과제

[0003] 최근, 반도체 장치 및 배선 기판의 가밀층의 미세화가 요구되고 있지만, 양호한 도전성 및 기계적 강도를 얻으면서 종래의 배선 기판을 미세화하는 것은 곤란하다.

[0004] 따라서, 본 실시형태들의 일 양태에서의 목적은 양호한 도전성 및 기계적 강도를 얻으면서 미세화할 수 있는 배선 기판, 반도체 장치 및 배선 기판의 제조 방법을 제공하는 것이다.

#### 과제의 해결 수단

[0005] 본 실시형태들의 일 양태에 따르면, 절연층; 및 제 1 면과 상기 제 1 면을 교차하는 측면을 가지며 상기 제 1 면이 상기 절연층으로부터 노출된 접속 단자를 포함하고, 상기 절연층은, 상기 측면의 적어도 일부를 따라 형성되는 공극(gap)을 포함한다.

[0006] 본 실시형태들의 목적 및 이점들은 청구 범위에서 특별히 명시된 요소들 및 조합들에 의해 실현되고 달성될 것이다.

[0007] 전술한 일반적인 설명 및 다음의 상세한 설명은 모두 예시적인 것이고 설명적인 것이며 청구된 본 발명을 제한하지 않는다는 것을 이해해야 한다.

### 도면의 간단한 설명

[0008] 도 1a 및 도 1b는 제 1 실시형태에 따른 배선 기판을 도시한 도면들.

도 2a 및 도 2b는 제 1 실시형태에 따른 배선 기판을 이용하여 반도체 패키지를 제조하는 방법을 나타내는 단면도들.

도 3a 및 도 3b는 배선 기판의 참고예를 나타내는 단면도들.

도 4a, 도 4b, 도 4c, 및 도 4d는 제 1 실시형태에 따른 배선 기판의 제조 방법을 나타내는 단면도들.

도 5a, 도 5b, 및 도 5c는 제 1 실시형태에 따른 배선 기판의 제조 방법을 나타내는 단면도들.

도 6은 제 2 실시형태에 따른 배선 기판을 나타내는 단면도.

도 7은 제 3 실시형태에 따른 배선 기판을 나타내는 평면도.

도 8은 제 1 실시형태의 변형예를 나타내는 단면도.

### 발명을 실시하기 위한 구체적인 내용

[0009] 본 발명의 바람직한 실시형태들에 대해서 첨부된 도면을 참조하면서 구체적으로 설명한다. 또한, 도면들 중, 동일한 부분에는 동일한 부호를 붙이고, 동일한 부분에 대해서는 반복되는 설명을 생략한다.

[0010] 이제, 본 발명에 따른 각 실시형태에 있어서의 배선 기판, 반도체 장치 및 배선 기판의 제조 방법에 대하여 설명한다.

[0011] (제 1 실시형태)

[0012] 제 1 실시형태에 대해서 설명한다. 제 1 실시형태는 배선 기판에 관한 것이다.

[0013] [배선 기판의 구조]

[0014] 먼저, 배선 기판의 구조에 대해서 설명한다. 도 1a 및 도 1b는 제 1 실시형태에 따른 배선 기판의 구조를 나타내는 도면이다. 도 1a는 배선 기판(100)의 단면도이고, 도 1b는 배선 기판(100)의 평면도이다. 도 1a는 도 1b 중의 I-I 선에 따른 단면도에 해당한다.

[0015] 도 1에 나타나 있는 바와 같이, 제 1 실시형태에 따른 배선 기판(100)은, 도전층(120), 절연층(130), 접속 단자(132) 및 얇은 박(113)을 포함한다. 접속 단자(132)는 제 1 면(132A) 및 제 1 면(132A)과 교차하는 측면을 갖고 있으며, 제 1 면(132A)이 절연층(130)으로부터 노출되어 있다. 절연층(130)에는, 접속 단자(132)의 측면에 따른 공극(gap)(또는 공간)(133)이 형성되어 있다.

[0016] 절연층(130)의 재료로서는, 예를 들면 에폭시계 수지, 이미드계 수지, 폐놀계 수지, 시아네이트계 수지 등을 주성분으로 하는 열경화성의 비감광성 수지를 이용할 수 있다. 절연층(130)의 재료로서, 예를 들면 에폭시계 수지, 폐놀계 수지, 합성 고무 등을 주성분으로 하는 열경화성의 감광성 수지를 이용하여도 된다. 접속 단자(132)로서는, 예를 들면 동(Cu) 포스트를 이용할 수 있다.

[0017] 도전층(120)은 절연층(130) 내에 마련되며, 접속 단자(132)에 접속되어 있다. 도전층(120)은 접속 단자(132)에 접속된 접속부(122) 이외에, 미세 배선(121) 및 도전 패드(123)를 포함한다. 예를 들면, 미세 배선(121)을 통해, 접속부(122)와 도전 패드(123)가 전기적으로 접속되어 있다.

[0018] 접속 단자(132)의 제 1 면(132A)은 절연층(130)의 제 1 면(130A)로부터 노출되어 있으며, 접속 단자(132)의 직경은, 제 1 면(132A)으로부터 더 멀어지는 방향으로 점차 감소하고 있다. 도전층(120)은 제 1 면(130A)과는 반대측에 위치된, 절연층(130)의 제 2 면(130B)으로부터 노출되어 있다. 제 2 면(130B)은 얇은 박(113)에 의해 덮여 있으며, 도전층(120)이 얇은 박(113)에 접해 있다. 도전층(120) 및 얇은 박(113)의 재료로는, 예를 들면 동 등의 금속을 이용할 수 있다.

[0019] [배선 기판을 이용하여 반도체 패키지를 제조하는 방법]

[0020] 다음으로, 배선 기판(100)을 이용하여 반도체 패키지를 제조하는 방법에 대해서 설명한다. 도 2a 및 도 2b는

제 1 실시형태에 따른 배선 기판(100)을 이용하여 반도체 패키지를 제조하는 방법을 나타내는 단면도들이다.

[0021] 먼저, 전극 패드(501)를 구비한 반도체 칩(500)을 준비하고, 전극 패드(501)와 접속 단자(132) 사이에 솔더 볼을 개재시켜서 리플로(reflow)를 행한다. 이 결과, 도 2a에 나타나 있는 바와 같이 솔더 볼이 용융되고, 그 일부가 공극(133)으로 흘러 들어, 공극(133) 내에서 응고하고, 접속 단자(132)의 제 1 면(132A) 및 측면을 덮도록, 솔더 층(502)이 형성된다. 또한, 솔더 층(502)에 의해, 접속 단자(132)와 전극 패드(501)가 접합된다. 그 다음에, 애폭시 수지 등의 밀봉 수지(510)에 의해 반도체 칩(500)을 밀봉한다. 반도체 칩(500) 대신에, 커패시터나 저항 등의 전자부품(또는 전자적 부분)을 실장해도 된다.

[0022] 그 후에, 도 2b에 나타나 있는 바와 같이 얇은 박(113)을 박리하고, 도전 패드(123) 상에 솔더 볼(520)을 탑재한다. 솔더 볼(520) 및 솔더 층(502)의 재료로서는, 주석은(SnAg)계 합금, 주석아연(SnZn)계 합금 및 주석동(SnCu)계 합금 등의 무납 솔더, 및 납주석(BbSn)계 합금 등의 유납 솔더를 포함한다.

[0023] 이와 같이 해서 반도체 패키지(530)를 제조할 수 있다. 반도체 패키지(530)는 반도체 장치의 일례이다.

[0024] 본 실시형태에 따른 배선 기판(100)의 효과에 대해서, 2개의 참고예와 비교하면서 설명한다. 도 3a 및 도 3b는 배선 기판의 참고예를 나타내는 단면도들이다.

[0025] 도 3a에 나타나 있는 제 1 참고예에는, 접속 단자(132)가 포함되어 있지 않으며, 접속부(122) 상에 솔더 범프(181)가 마련되어 있다. 제 1 참고예와 배선 기판(100)을 비교하면, 반도체 칩의 실장 후에 있어서의, 솔더와 동파의 접합 면적(또는 접촉 면적)이, 배선 기판(100)에서 크다. 또한, 반도체 칩을 분리하는 방향의 하중이 작용했을 경우, 제 1 참고예에서는, 당해 방향에 수직한 면으로만 솔더 범프(181)와 접속부(122)가 접촉하는 것에 비하여, 배선 기판(100)에서는, 도 2a에 나타나 있는 바와 같이 솔더 층(502)이 접속 단자(132)의 측면에 따라 제 1 면(132A)의 뒷편까지 돌아서 들어가고 있다. 이 때문에, 접속 단자(132)가 솔더 층(502)의 이탈을 저해하고, 반도체 칩도 이탈하기 어렵다. 따라서, 배선 기판(100)은 기계적 강도의 관점에서 제 1 참고예보다 유리하다. 또한, 동의 도전율은 솔더의 도전율보다 현저하게 높기 때문에, 배선 기판(100)은 전류 경로의 저항의 관점에서도 제 1 참고예보다 유리하다.

[0026] 도 3b에 나타나 있는 제 2 참고예에는, 접속부(122)에 접속되는 배선층(191)이 절연층(130) 상에 형성되며, 배선층(191)을 덮도록 솔더 레지스트층(190)이 형성되어 있다. 솔더 레지스트층(190)에, 배선층(191)의 일부를 노출하는 개구부(192)가 형성되어 있다. 제 2 참고예와 배선 기판(100)을 비교하면, 솔더 레지스트층(190)의 분만큼 제 2 참고예가 두꺼우며, 배선 기판(100)은 얇다는 점에서 제 2 참고예보다 유리하다. 또한, 제 2 참고예의 배선 기판을 제조하기 위해서는, 솔더 레지스트층(190)의 형성에 관한 도포, 노광, 현상 및 경화 등의 처리가 필요하게 되어, 배선 기판(100)은 공수 및 비용의 관점에서도 제 2 참고예보다 유리하다.

[0027] [배선 기판의 제조 방법]

[0028] 다음으로, 배선 기판의 제조 방법에 대해서 설명한다. 도 4a 내지 도 4d, 및 도 5a 내지 도 5c는 제 1 실시형태에 따른 배선 기판의 제조 방법을 나타내는 단면도들이다.

[0029] 먼저, 도 4a에 나타나 있는 바와 같이, 최외층이 금속박인 지지체(110)를 준비한다. 지지체(110)로서는, 예를 들면 프리프레그(111) 상에 캐리어 부착 금속박(114)이 적층된 것을 채용할 수 있다. 지지체(110)의 두께는, 예를 들면  $18\mu\text{m} \sim 100\mu\text{m}$ 정도로 할 수 있다.

[0030] 프리프레그(111)는, 예를 들면 유리 섬유나 아라미드 섬유 등의 직포나 부직포(도시하지 않음)에 애폭시계 수지 등의 절연 수지를 함침시킨 것이다. 캐리어 부착 금속박(114)은, 박리층(도시하지 않음)을 통해 두꺼운 박(캐리어 박)(112) 상에 박리 가능하게(또는 제거 가능하게) 접착된 얇은 박(113)을 포함한다. 얇은 박(112)은 동 등의 금속박에 의해 형성되며, 예를 들어  $1.5\mu\text{m} \sim 5\mu\text{m}$ 정도의 두께를 갖는다. 두꺼운 박(112)은 동 등의 금속박에 의해 형성되며, 예를 들어  $10\mu\text{m} \sim 50\mu\text{m}$ 정도의 두께를 갖는다. 두꺼운 박(112)은, 얇은 박(113)의 취급을 용이하게 하기 위한 지지재로서 마련되어 있다. 두꺼운 박(112)의 밑면은, 프리프레그(111)의 윗면에 접착되어 있다.

[0031] 도 4a에 나타나 있는 바와 같이, 캐리어 부착 금속박(114)은 지지체(110)의 양면에 마련되어 있으며, 이후의 처리는, 양쪽 캐리어 부착 금속박(114) 상에서 행해진다. 단, 도 4b 이후에는, 캐리어 부착 금속박(114)의 한쪽만을 도시한다.

[0032] 지지체(110)의 준비 후, 도 4b에 나타나 있는 바와 같이 지지체(110)의 얇은 박(113)의 윗면에, 미세 배선(121), 접속부(122) 및 도전 패드(123)를 포함하는 도전층(120)을 형성한다. 보다 구체적으로는, 예를 들면 지

지체(110)의 얇은 박(113)의 윗면에, 도전층(120)을 형성하는 부분에 개구부를 구비한 레지스트층(드라이 필름 레지스트 등)을 형성한다. 그리고, 캐리어 부착 금속박(114)을 도금 급전층에 이용하는 전해 도금법에 의해, 레지스트층의 개구부 내에 노출되는 얇은 박(113)의 윗면에 동 등을 석출시켜 도전층(120)을 형성한다. 그 후에, 박리액을 이용하여 레지스트층을 박리(또는 제거)함으로써 지지체(110)의 얇은 박(113)의 윗면에, 미세 배선(121), 접속부(122) 및 도전 패드(123)를 포함하는 도전층(120)이 형성된다.

[0033] 그 후에, 도 4c에 나타나 있는 바와 같이, 도전층(120)을 덮는 절연층(130)을 얇은 박(113) 상에 형성한다. 절연층(130)의 재료로서는, 전술한 바와 같이, 예를 들면 열경화성의 비감광성 수지 또는 감광성 수지를 채용할 수 있다.

[0034] 계속해서, 도 4d에 나타나 있는 바와 같이 레이저광의 조사에 의해, 접속부(122)에 도달하는 비아 홀(131)을 절연층(130)에 형성한다. 그 다음에, 디스미어 처리(desmear process)에 의해 비아 홀(131) 내에 노출되는 접속부(122)에 부착된 절연층(130)의 잔류물을 제거함과 동시에, 조화 처리(roughening treatment)에 의해 접속부(122)의 표면 및 비아 홀(131)의 내면을 조화(粗化)한다.

[0035] 그 후에, 도 5a에 나타나 있는 바와 같이, 비아 홀(131) 내에서 접속부(122) 상에 접속 단자(132)를 형성한다. 예를 들면 접속 단자(132)는, 캐리어 부착 금속박(114)을 도금 급전층에 이용하는 전해 도금법에 의해 형성할 수 있다. 접속 단자(132)는 비아 홀(131) 내에 형성하면 되고, 절연층(130) 위에까지 형성할 필요가 없기 때문에, 접속 단자(132)의 형성 시에 시드층의 형성 및 도금 레지스트 패턴의 형성 등을 요구되지 않는다.

[0036] 그 다음에, 접속 단자(132)의 주변에 레이저광을 조사함으로써, 도 5b에 나타나 있는 바와 같이, 접속 단자(132)의 측면에 따르는 공극(133)을 형성한다. 물론, 플라스마 처리 등에 의해 공극(133)을 형성해도 된다.

[0037] 그 다음에, 도 5c에 나타나 있는 바와 같이, 도 5b에 나타나 있는 구조체로부터 지지체(110)의 일부를 제거한다. 보다 구체적으로는, 지지체(110)에 기계적인 힘을 가하여, 캐리어 부착 금속박(114)의 얇은 박(113)과 두꺼운 박(112)의 계면을 박리한다. 전술한 바와 같이, 캐리어 부착 금속박(114)은, 얇은 박(113) 상에 박리층(도시하지 않음)을 개재하여 두꺼운 박(112)이 첨착된 구조를 갖기 때문에, 두꺼운 박(112)은, 박리층(도시하지 않음)과 함께 얇은 박(113)으로부터 용이하게 박리(또는 제거)될 수 있다.

[0038] 이에 따라, 얇은 박(113)만이 절연층(130)측에 남게 되고, 지지체(110)를 구성하는 다른 부재(프리프레그(111) 및 두꺼운 박(112))가 제거된다. 박리층과 함께 얇은 박(113)으로부터 두꺼운 박(112)이 박리되는 경우 이외에, 박리층 내에서 응집 파괴(cohesion failure)가 일어나서, 얇은 박(113)으로부터 두꺼운 박(112)이 박리되는 경우도 있다. 또한, 박리층으로부터 두꺼운 박(112)을 박리함으로써, 얇은 박(113)으로부터 두꺼운 박(112)을 박리할 경우도 있다.

[0039] 이와 같이 하여, 제 1 실시형태에 따른 배선 기판(100)을 제조할 수 있다.

[0040] (제 2 실시형태)

[0041] 다음으로, 제 2 실시형태에 대해서 설명한다. 제 2 실시형태는 배선 기판에 관한 것이다. 도 6은 제 2 실시형태에 따른 배선 기판을 나타내는 단면도이다.

[0042] 도 6에 나타나 있는 바와 같이, 제 2 실시형태에 따른 배선 기판(200)은 접속 단자(132) 대신에 접속 단자(232)를 포함한다. 접속 단자(132)의 제 1 면(132A)이 절연층(130)의 제 1 면(130A)과 실질적으로 같은 평면에 있는 것에 비하여, 접속 단자(232)의 제 1 면(232A)은 절연층(130)의 제 1 면(130A)보다 깊은 위치에 있다. 즉, 제 1 면(232A)은 제 1 면(130A)으로부터 후퇴되며, 공극(133)의 내측에 캐비티가 존재한다. 제 2 실시형태에 따른 배선 기판(200)의 다른 부분의 구성은 제 1 실시형태에 따른 배선 기판(100)의 구성과 동일할 수 있다.

[0043] 제 2 실시형태에 따른 배선 기판(200)에 의해서도 제 1 실시형태에 따른 배선 기판(100)과 마찬가지의 효과를 얻을 수 있다. 또한, 접속 단자(232)의 제 1 면(232A)이 절연층(130)의 제 1 면(130A)보다 깊은 위치에 있기 때문에, 반도체 칩 등의 전자부품의 실장 시에, 솔더 볼을 접속 단자(232) 상으로부터 위치 어긋나기 어렵게 할 수 있다. 또한, 제 1 실시형태에 따른 배선 기판(100)과 비교하여, 제 2 실시형태에 따른 배선 기판(200)은 반도체 부품 실장 후의 반도체 장치의 두께를 얇게 할 수 있다.

[0044] 접속 단자(232)는, 접속 단자(132)와 마찬가지로, 캐리어 부착 금속박(114)을 도금 급전층에 이용하는 전해 도금법에 의해 형성할 수 있다. 도금막이 비아홀(131)을 채우기 전에 접속 단자(232)를 형성하는 전해 도금법에 의한 도금막의 성막이 정지될 수 있다.

## [0045] (제 3 실시형태)

다음으로, 제 3 실시형태에 대해서 설명한다. 제 3 실시형태는 배선 기판에 관한 것이다. 도 7은 제 3 실시형태에 따른 배선 기판을 나타내는 평면도이다.

도 7에 나타나 있는 바와 같이, 제 3 실시형태에 따른 배선 기판(300)에서는, 절연층(130)에, 공극(133) 대신에 공극(333)이 형성되어 있다. 공극(133)이 접속 단자(132)의 측면의 전체 둘레에 걸쳐 형성되어 있는 것에 비하여, 공극(333)은 접속 단자(132)의 측면의 일부에만 형성되어 있다. 예를 들면, 인접하는 2개의 접속 단자(132) 사이를 피하도록 공극(333)이 형성되어 있다. 제 3 실시형태에 따른 배선 기판(300)의 다른 부분의 구성은 제 1 실시형태에 따른 배선 기판(100)의 구성과 동일할 수 있다.

제 3 실시형태에 따른 배선 기판(300)에 의해서도 제 1 실시형태에 따른 배선 기판(100)과 마찬가지의 효과를 얻을 수 있다. 또한, 인접하는 2개의 접속 단자(132)에 관하여, 공극(333)은, 평면에서 볼 때 한쪽이 다른 쪽의 접속 단자(132)로부터 숨겨지도록 해서 형성되어 있기 때문에, 반도체 칩 등의 전자부품의 실장 시에, 솔더 층(502)을 인접하는 2개의 접속 단자(132) 중의 한쪽의 공극(333)에서, 인접하는 2개의 접속 단자(132) 중의 다른 쪽의 공극(333) 측으로 흘러 나가기 어렵게 할 수 있다.

공극(333)은, 공극(133)과 마찬가지로, 레이저광의 조사에 의해 형성할 수 있으며, 레이저광을 조사하는 위치를 조정하면 된다.

## [0050] (변형예)

도전층(120)에 접속부(122) 및 도전 패드(123)가 개별적으로 마련될 필요는 없다. 도 8에 나타나 있는 바와 같이, 접속부(122)가 도전 패드를 겹하고, 접속부(122) 상에 솔더 볼(520)이 탑재되어도 된다. 도 8은 제 1 실시 형태의 변형예를 나타내는 단면도이다. 도 8이 제 1 실시형태의 변형예를 도시하고 있지만, 이 변형예는 상기 제 2 및 제 3 실시형태들 각각에 유사하게 적용될 수 있다.

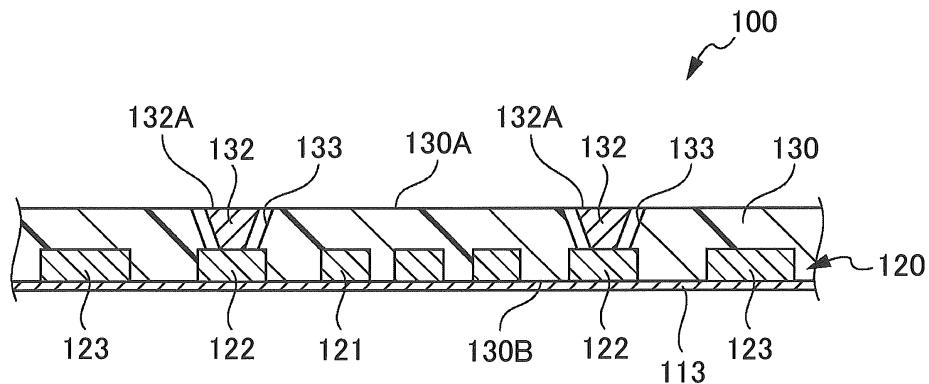
이상의 각 실시형태 및 변형예에 따르면, 양호한 도전성 및 기계적 강도를 유지하면서 배선 기판 및 반도체 장치를 미세화할 수 있는 배선 기판, 반도체 장치 및 배선 기판의 제조 방법을 제공할 수 있다.

본 실시형태들이 예를 들어 "제 1", "제 2" 또는 "제 3"으로 번호가 매겨졌지만, 이 서수는 실시형태들의 우선 순위를 의미하지 않는다. 다수의 다른 변형 및 수정이 당업자에게는 명백할 것이다.

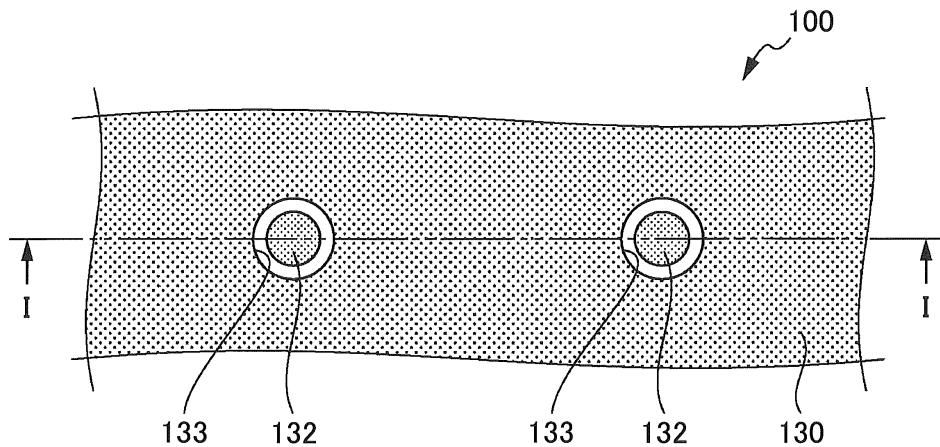
본 명세서에 인용된 모든 예들 및 조건부 언어는 독자가 본 발명 및 발명자가 기술을 발전시키는데 기여한 개념을 이해하는 것을 돋는 교육적 목적을 위한 것으로서, 그러한 구체적으로 인용된 예들 및 조건들로 제한되지 않는 것으로 해석되어야 하며, 본 명세서에서 그러한 예들의 구성이 본 발명의 우열을 보여주는 것과 관련이 있는 것도 아니다. 본 발명의 실시형태들에 대하여 상세히 설명하였지만, 본 발명의 사상 및 범위를 벗어나지 않으면서 다양한 변경, 대체 및 개조가 이루어질 수 있음을 이해해야 한다.

## 도면

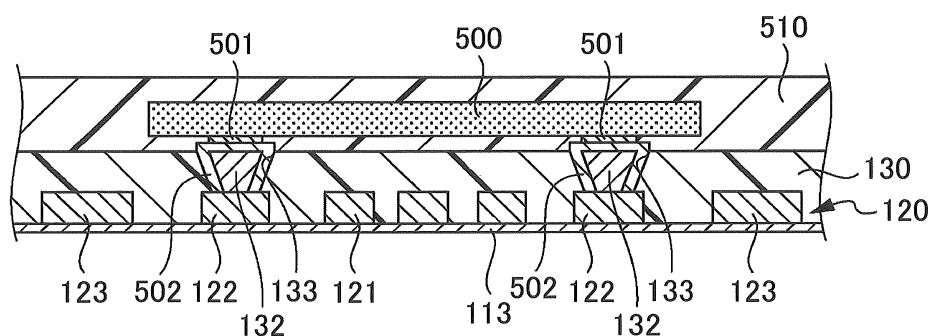
## 도면 1a



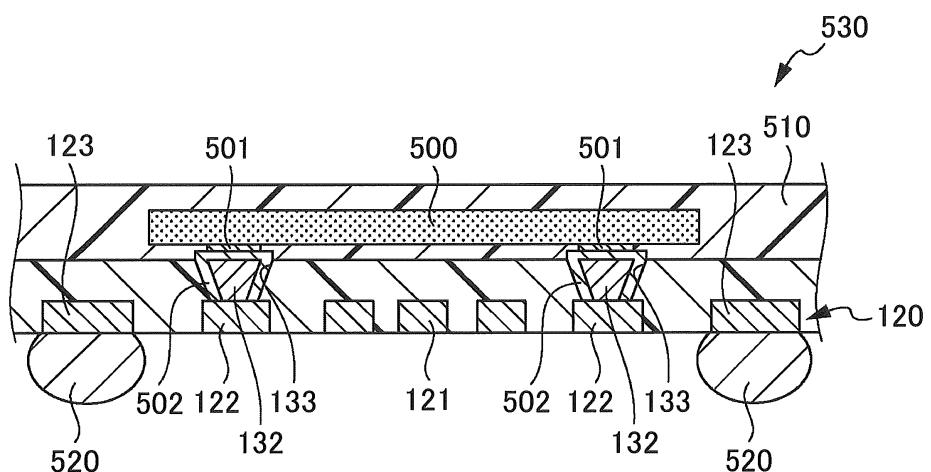
## 도면 1b



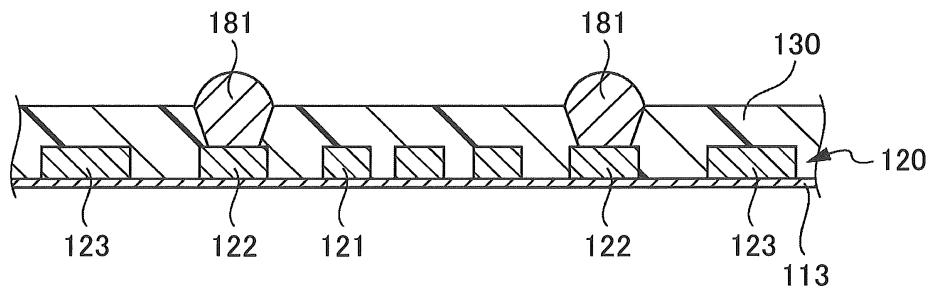
## 도면2a



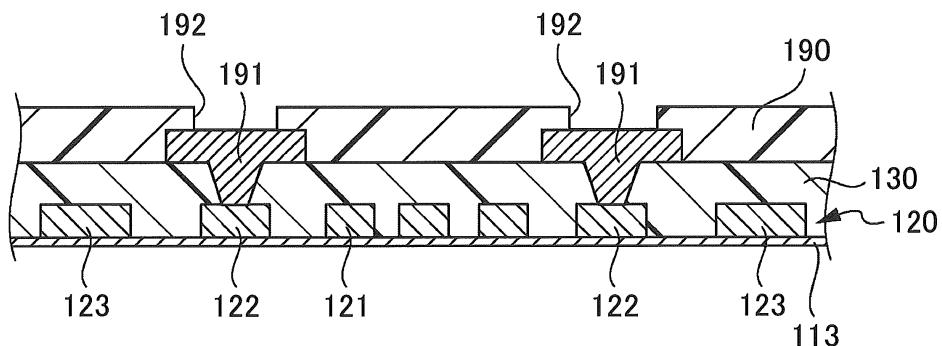
### 도면2b



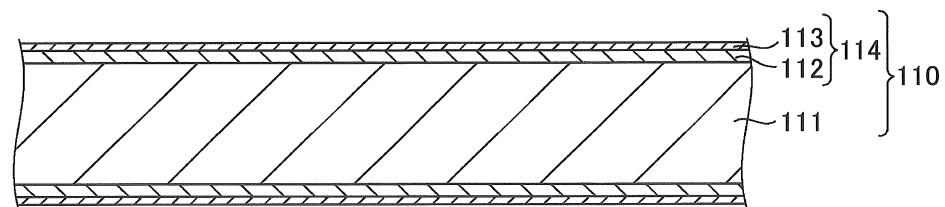
도면3a



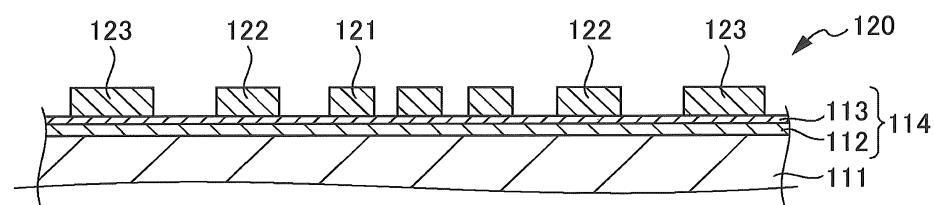
도면3b



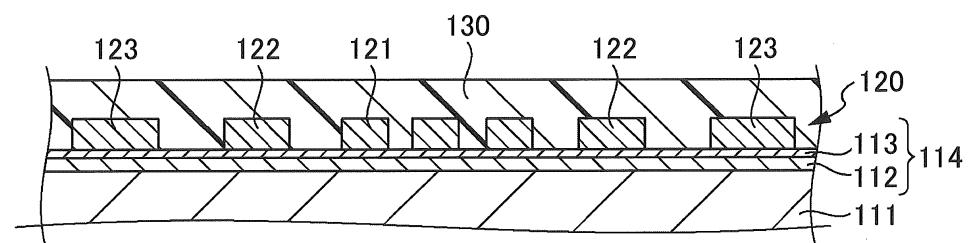
도면4a



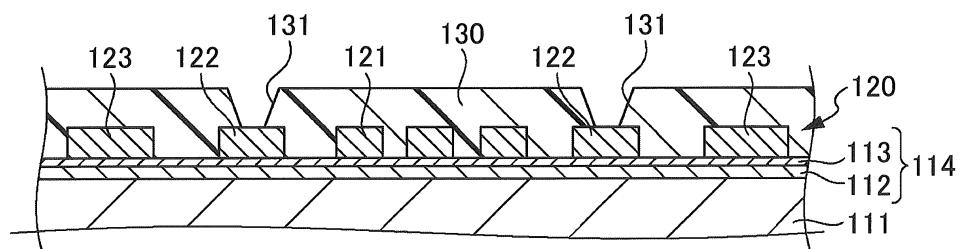
도면4b



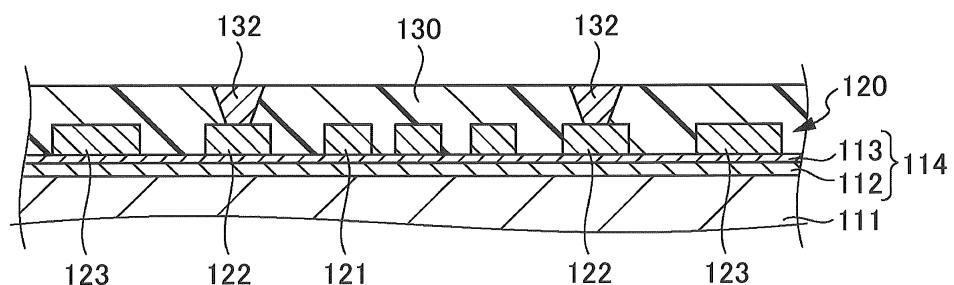
도면4c



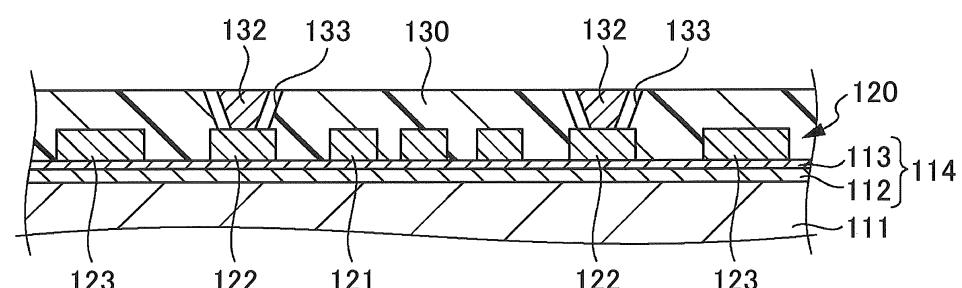
도면4d



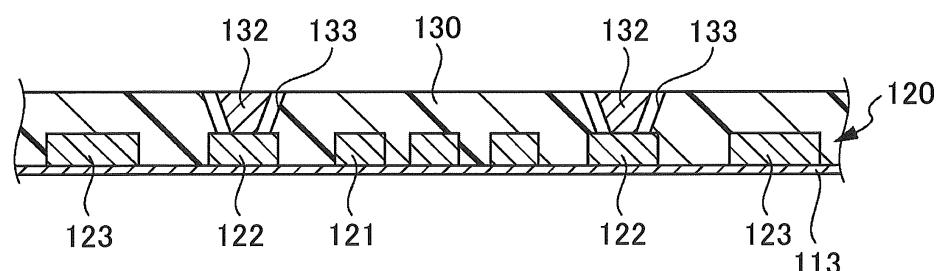
도면5a



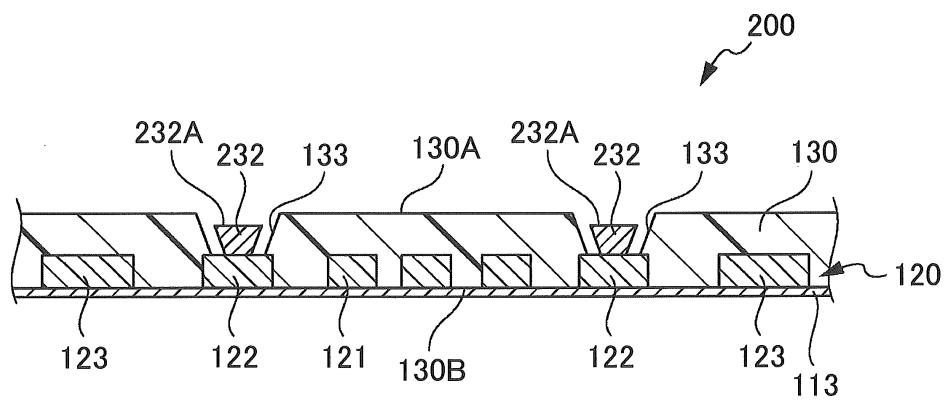
도면5b



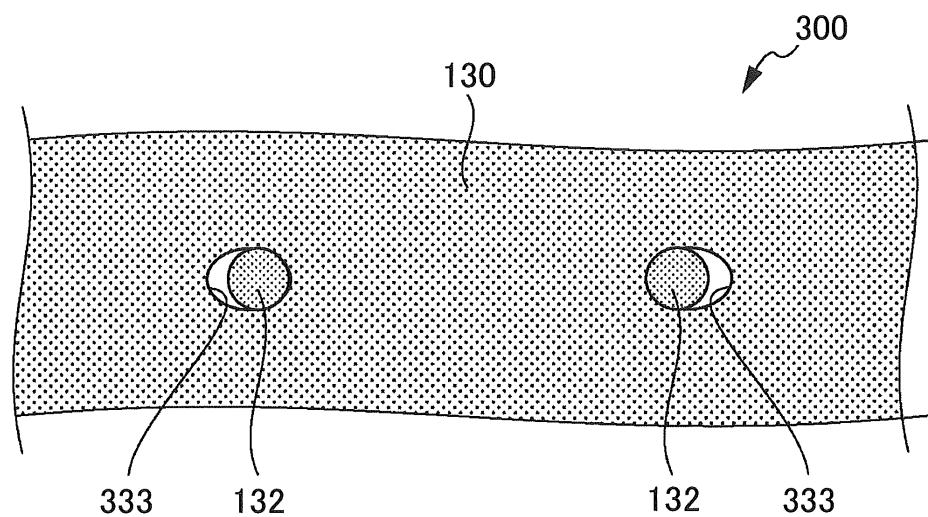
도면5c



도면6



도면7



도면8

