

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-135902

(P2006-135902A)

(43) 公開日 平成18年5月25日(2006.5.25)

(51) Int. Cl.	F I	テーマコード (参考)
H03L 7/10 (2006.01)	H03L 7/10 D	5 J 1 0 6
H03L 7/187 (2006.01)	H03L 7/18 C	

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2004-325504 (P2004-325504)
 (22) 出願日 平成16年11月9日 (2004.11.9)

(71) 出願人 000003595
 株式会社ケンウッド
 東京都八王子市石川町2967番地3
 (74) 代理人 100085660
 弁理士 鈴木 均
 (72) 発明者 佐野 直人
 東京都八王子市石川町2967-3
 株式会社ケンウッド

内

Fターム(参考) 5J106 AA04 CC01 CC24 CC38 CC41
 DD34 DD35 GG01 HH03 JJ04
 KK03 KK22 LL04 PP03 QQ06
 QQ09 RR13 RR15 SS02

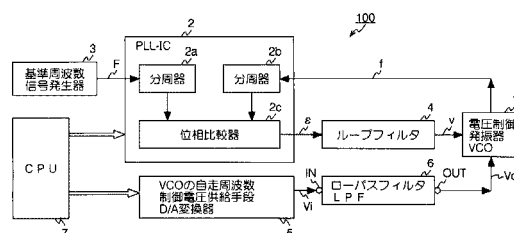
(54) 【発明の名称】 PLL回路

(57) 【要約】 (修正有)

【課題】ダイオードを回路に並列に接続したLPFにおいて、LPFに供給するVCOの自走周波数制御電圧供給手段の出力電圧を2段階に分けて異なる電圧を供給することにより、ダイオードの順方向電圧の影響をキャンセルし、更にLPFの応答速度を改善したPLL回路を提供する。

【解決手段】PLL回路100は、位相同期用制御電圧 v 及び制御電圧 V_o に基づいて発振周波数 f が制御されるVCO1と、発振信号の周波数 f を所定の分周比により分周する分周器2bと、分周された信号と基準周波数信号 F の位相とを比較する位相比較器2cと、この位相誤差 ε を積分するループフィルタ4と、VCO1の自走周波数を決定するための制御電圧 V_i を供給する自走周波数制御電圧供給手段5と、この自走周波数制御電圧供給手段5の制御電圧 V_i に含まれるノイズを除去するLPF6と、PLL-IC2及び自走周波数制御電圧供給手段5を制御するCPU7と、を備える。

【選択図】図1



【特許請求の範囲】

【請求項 1】

制御用の電圧に基づいて発振周波数が制御される電圧制御発振器と、該電圧制御発振器により発振された発振信号の周波数を所定の分周比により分周する分周器と、該分周器の出力信号の位相を基準周波数信号の位相と比較する位相比較器と、該位相比較器により検出された位相誤差を積分するループフィルタと、を備え、前記ループフィルタにより積分された位相誤差に基づく制御用の電圧を前記電圧制御発振器に印加し、該電圧制御発振器の出力周波数を制御して前記基準周波数信号に位相同期させる PLL 回路において、

前記ループフィルタにより積分された位相誤差に基づく制御用の電圧とは別に、前記電圧制御発振器の自走周波数を決定するための制御電圧を供給する自走周波数制御電圧供給手段と、入出力電圧の応答速度を改善するダイオードを備えたローパスフィルタと、前記分周器及び自走周波数制御電圧供給手段を制御する制御手段と、を備え、

前記制御手段は、前記自走周波数制御電圧供給手段から出力する制御電圧を低い電圧から高い電圧に変化させる際、前記自走周波数が前記分周器により設定される周波数と等しくなる制御電圧に対して少なくとも前記ダイオードの順方向電圧以上の電圧を加えた第 1 の電圧を所定の時間発生させ、その後、前記自走周波数が前記分周器により設定される周波数と等しくなる制御電圧に戻すように前記自走周波数制御電圧供給手段を制御することを特徴とする PLL 回路。

【請求項 2】

前記制御手段は、前記自走周波数制御電圧供給手段から出力する制御電圧を高い電圧から低い電圧に変化させる際、前記自走周波数が前記分周器により設定される周波数と等しくなる制御電圧から少なくとも前記ダイオードの順方向電圧以上の電圧を減じた第 2 の電圧を所定の時間発生させ、その後、前記自走周波数が前記分周器により設定される周波数と等しくなる制御電圧に戻すように前記自走周波数制御電圧供給手段を制御することを特徴とする請求項 1 に記載の PLL 回路。

【請求項 3】

制御用の電圧に基づいて発振周波数が制御される電圧制御発振器と、該電圧制御発振器により発振された発振信号の周波数を所定の分周比により分周する分周器と、該分周器の出力信号の位相を基準周波数信号の位相と比較する位相比較器と、該位相比較器により検出された位相誤差を積分するループフィルタと、を備え、前記ループフィルタにより積分された位相誤差に基づく制御用の電圧を前記電圧制御発振器に印加し、該電圧制御発振器の出力周波数を制御して前記基準周波数信号に位相同期させる PLL 回路において、

前記ループフィルタにより積分された位相誤差に基づく制御用の電圧とは別に、前記電圧制御発振器の自走周波数を決定するための制御電圧を供給する自走周波数制御電圧供給手段と、入出力電圧の応答速度を改善する接合型電界効果トランジスタを備えたローパスフィルタと、前記分周器、自走周波数制御電圧供給手段及び接合型電界効果トランジスタを制御する制御手段と、を備え、

前記制御手段は、前記自走周波数制御電圧供給手段から出力する制御電圧を変化させる際、前記接合型電界効果トランジスタのソース電極とドレイン電極間を電氣的に接続するためのバイパス制御信号を前記接合型電界効果トランジスタのゲート電極に所定の時間供給することを特徴とする PLL 回路。

【請求項 4】

前記ローパスフィルタが抵抗器と容量素子により構成されている場合、前記抵抗器に対して並列に前記接合型電界効果トランジスタのソース電極とドレイン電極を接続することを特徴とする請求項 3 に記載の PLL 回路。

【請求項 5】

前記所定の時間は、少なくとも前記電圧制御発振器の出力周波数の位相と前記基準周波数信号の位相とが同期するために十分な時間であることを特徴とする請求項 1 乃至 4 の何れか一項に記載の PLL 回路。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、PLL回路に関し、さらに詳しくは、電圧制御発振器の自走周波数を決定するための制御電圧を供給する自走周波数制御電圧供給手段と電圧制御発振器との間に挿入するローパスフィルタの入出力電圧の応答遅延を改善したPLL回路に関するものである。

【背景技術】

【0002】

PLL回路は、一般に電圧制御発振器（以下、VCOと記す）の出力周波数が定常状態になってからの特性（定常特性）と、基準周波数信号に位相同期するまでの引込み特性（同期特性）とは互に相反する関係にある。例えば同期特性の周波数引込み範囲を広くし且つ同期速度を速くすると、ループの雑音帯域が広がって定常時の特性が劣化することが知られている。従って、PLL回路としては、VCOの発振周波数が基準周波数信号に引込まれて位相同期するまでのロックアップ時間を早くすることが望まれている。

特許文献1には、ロックアップ時間を早くするためにPLL回路のVCOに、その発振周波数の一定範囲内の位相変動を制御するループフィルタの出力の制御電圧とは別に、このVCOの自走周波数を決定するための固定の制御電圧を予め記憶しておき、VCOの自走周波数がある周波数から別の周波数に変更する時に、記憶した制御電圧を切り換えてVCOに供給するVCOの自走周波数制御電圧供給手段の技術について開示されている。

【特許文献1】特開平05-327490号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

特許文献1では、VCOの自走周波数制御電圧供給手段から出力される電圧データに基づいてアナログ電圧に変換するD/A変換器が備えられており、このD/A変換器の出力をVCOに直接接続するように記述されているが、実際にはD/A変換器より出力される雑音により、VCO出力信号のC/N（Carrier to Noise）やS/Nが悪化するのを避けるために、図9（a）に示すように抵抗RとコンデンサCにより構成されるLPFを間に挿入して使用している。しかし、この場合、ロックアップの高速化のために、VCOの自走周波数制御電圧供給手段を設けているにも関わらず、LPFの応答の遅れ（図9（b）波形22参照）があるため、LPFの遅延時間以上の高速化は不可能であった。

このLPFの応答速度遅延を改善するために、図10（a）のようにLPFの抵抗Rに並列にダイオード（Da, Db）を挿入する技術が公知技術として存在する。このダイオードにより、図10（b）に示すように、VCOの自走周波数制御電圧供給手段の出力電圧（Vi：波形23）が変化した際、LPFの入出力電圧差がダイオードの順方向電圧である0.7V程度以下になるまで（P点）はLPFの応答による遅延を無視できるようになり、更にロックアップが高速になる。しかし、LPFの入出力電圧差が0.7V以下（P点）になってから0.0Vになるまでの間（Q点）はLPFの応答の影響を受けてゆっくりとLPFの出力電圧が変化する（波形24）。これはVCO出力波形にリファレンスリークを発生させる原因となる。

本発明は、かかる課題に鑑みてなされたものであり、ダイオードを回路に並列に接続したLPFにおいて、LPFに供給するVCOの自走周波数制御電圧供給手段の出力電圧を2段階に分けて異なる電圧を供給することにより、ダイオードの順方向電圧の影響をキャンセルし、更にLPFの応答速度を改善したPLL回路を提供することを目的とする。

【課題を解決するための手段】

【0004】

本発明はかかる課題を解決するために、請求項1は、制御用の電圧に基づいて発振周波数が制御される電圧制御発振器と、該電圧制御発振器により発振された発振信号の周波数を所定の分周比により分周する分周器と、該分周器の出力信号の位相を基準周波数信号の位相と比較する位相比較器と、該位相比較器により検出された位相誤差を積分するループ

10

20

30

40

50

フィルタと、を備え、前記ループフィルタにより積分された位相誤差に基づく制御用の電圧を前記電圧制御発振器に印加し、該電圧制御発振器の出力周波数を制御して前記基準周波数信号に位相同期させるPLL回路において、前記ループフィルタにより積分された位相誤差に基づく制御用の電圧とは別に、前記電圧制御発振器の自走周波数を決定するための制御電圧を供給する自走周波数制御電圧供給手段と、入出力電圧の応答速度を改善するダイオードを備えたローパスフィルタと、前記分周器及び自走周波数制御電圧供給手段を制御する制御手段と、を備え、前記制御手段は、前記自走周波数制御電圧供給手段から出力する制御電圧を低い電圧から高い電圧に変化させる際、前記自走周波数が前記分周器により設定される周波数と等しくなる制御電圧に対して少なくとも前記ダイオードの順方向電圧以上の電圧を加えた第1の電圧を所定の時間発生させ、その後、前記自走周波数が前記分周器により設定される周波数と等しくなる制御電圧に戻すように前記自走周波数制御電圧供給手段を制御することを特徴とする。

10

PLL回路に新しい分周比を設定して異なった周波数にVCOをロックさせるときは、自走周波数制御電圧供給手段の出力電圧を変化させる必要がある。このとき問題となるのは、その電圧の変化点においてLPFの時定数によりLPFの入出力間に応答遅延が発生することである。この遅延時間は本質的にPLL回路のロックアップの応答速度特性となる。この遅延時間は理想的にはゼロが好ましいので、可能な限り応答速度を改善するためにダイオードをLPFの回路に並列に接続している。しかし、この回路で問題となるのはダイオードの順方向電圧（約0.7V）により、VCO出力波形にリファレンスリークを発生させることである。そこで本発明では、このリファレンスリークの発生を抑圧するために、自走周波数制御電圧供給手段の出力電圧を変化させる時に、2回に分けて異なった電圧を設定する。本発明は、低い電圧から高い電圧に変化させる場合であり、電圧を変化させるときにダイオードの順方向電圧を目的の電圧に加算し、ダイオードをバイパスするようにして、その後、目的の電圧に戻すものである。

20

【0005】

請求項2は、請求項1に記載のPLL回路において、前記制御手段は、前記自走周波数制御電圧供給手段から出力する制御電圧を高い電圧から低い電圧に変化させる際、前記自走周波数が前記分周器により設定される周波数と等しくなる制御電圧から少なくとも前記ダイオードの順方向電圧以上の電圧を減じた第2の電圧を所定の時間発生させ、その後、前記自走周波数が前記分周器により設定される周波数と等しくなる制御電圧に戻すように前記自走周波数制御電圧供給手段を制御することを特徴とする。

30

本発明は、高い電圧から低い電圧に変化させる場合であり、電圧を変化させるときにダイオードの順方向電圧を目的の電圧から減算し、ダイオードをバイパスするようにして、その後、目的の電圧に戻す。

【0006】

請求項3は、制御用の電圧に基づいて発振周波数が制御される電圧制御発振器と、該電圧制御発振器により発振された発振信号の発振周波数を所定の分周比により分周する分周器と、該分周器の出力信号の位相を基準周波数信号の位相と比較する位相比較器と、該位相比較器により検出された位相誤差を積分するループフィルタと、を備え、前記ループフィルタにより積分された位相誤差に基づく制御用の電圧を前記電圧制御発振器に印加し、該電圧制御発振器の出力周波数を制御して前記基準周波数信号に位相同期させるPLL回路において、前記ループフィルタにより積分された位相誤差に基づく制御用の電圧とは別に、前記電圧制御発振器の自走周波数を決定するための制御電圧を供給する自走周波数制御電圧供給手段と、入出力電圧の応答速度を改善する接合型電界効果トランジスタを備えたローパスフィルタと、前記分周器、自走周波数制御電圧供給手段及び接合型電界効果トランジスタを制御する制御手段と、を備え、前記制御手段は、前記自走周波数制御電圧供給手段から出力する制御電圧を変化させる際、前記接合型電界効果トランジスタのソース電極とドレイン電極間を電氣的に接続するためのバイパス制御信号を前記接合型電界効果トランジスタのゲート電極に所定の時間供給することを特徴とする。

40

本発明は、LPFの回路に並列にダイオードを接続する代わりに、接合型電界効果トラ

50

ンジスタを接続するものである。接合型電界効果トランジスタはゲート信号の電圧レベルに基づいてソースとドレイン間を電氣的に断接する特性を有している。本発明ではこの特性を利用して自走周波数制御電圧供給手段の出力電圧を変化させる時に、ゲート電極にソースとドレイン間を電氣的に接続する信号を与え、LPFの入出力間をショートして(具体的にはLPFの抵抗をショートする)リファレンスリークを改善するものである。

【0007】

請求項4は、前記ローパスフィルタが抵抗器と容量素子により構成されている場合、前記抵抗器に対して並列に前記接合型電界効果トランジスタのソース電極とドレイン電極を接続することを特徴とする。

本発明はLPFが抵抗とコンデンサにより構成されている場合、抵抗の両端に接合型電界効果トランジスタのソース電極とドレイン電極を接続することにより、制御電圧の変化点でソース電極とドレイン電極を電氣的に接続すると等価的に抵抗をショートしたことになり、LPFの時定数を略ゼロにすることができる。

請求項5は、請求項1乃至4の何れか一項に記載のPLL回路において、前記所定の時間は、少なくとも前記電圧制御発振器の出力周波数の位相と前記基準周波数信号の位相とが同期するために十分な時間であることを特徴とする。

LPFの回路に並列にダイオードを接続した場合の制御電圧の印加時間、或いはLPFの回路に並列に接合型電界効果トランジスタを接続した場合のバイパス制御信号の印加時間は、少なくともVCOの出力周波数の位相が基準周波数信号の位相に位相同期するために十分な時間印加する必要がある。

【発明の効果】

【0008】

請求項1の発明によれば、自走周波数制御電圧供給手段から出力する制御電圧を低い電圧から高い電圧に変化させるとき、制御手段が自走周波数が分周器により設定される周波数と等しくなる制御電圧値にダイオードの順方向電圧値を加えた第1の電圧値を所定の時間発生させ、その後、元の制御電圧値に戻すように自走周波数制御電圧供給手段を制御するので、VCOの自走周波数制御電圧が安定するまでの時間が短縮してPLL回路のロックアップ時間を短縮することができる。また、VCOの自走周波数制御電圧が安定する前にPLL回路の引き込みが完了してロックする場合は、VCO出力波形にロック直後に現れるリファレンスリークのレベルを下げる可以降低ことができる。また、リファレンスリークが発生している時間を短縮することができる。更に、LPFのカットオフ周波数を下げることができるため、VCO出力信号のC/N, S/Nを改善することができる。

また請求項2では、自走周波数制御電圧供給手段から出力する制御電圧を高い電圧から低い電圧に変化させるとき、制御手段が自走周波数が分周器により設定される周波数と等しくなる制御電圧値からダイオードの順方向電圧値を引いた第2の電圧値を所定の時間発生させ、その後、元の制御電圧値に戻すように自走周波数制御電圧供給手段を制御するので、ダイオードの順方向電圧を順バイアスしてダイオードを等価的にバイパスすることができる、VCOの自走周波数制御電圧が安定するまでの時間が短縮してPLL回路のロックアップ時間を短縮することができる。また、VCOの自走周波数制御電圧が安定する前にPLL回路の引き込みが完了してロックする場合は、VCO出力波形にロック直後に現れるリファレンスリークのレベルを下げる可以降低ことができる。また、リファレンスリークが発生している時間を短縮することができる。更に、LPFのカットオフ周波数を下げることができるため、VCO出力信号のC/N, S/Nを改善することができる。

【0009】

また請求項3では、自走周波数制御電圧供給手段から出力する制御電圧を変化させる際、接合型電界効果トランジスタのソース電極とドレイン電極間を電氣的に接続するためのバイパス制御信号を所定の時間発生するように制御するので、制御電圧を操作する必要がなくなり、制御電圧の変化点にバイパス制御信号を供給する簡単な制御で請求項1と同様の効果を奏することができる。

また請求項4では、接合型電界効果トランジスタを使用するため入力インピーダンスが

10

20

30

40

50

非常に大きくなり、より簡単な制御により請求項 1 と同様の効果を奏することができる。

また請求項 5 では、所定の時間を少なくとも電圧制御発振器の出力周波数が基準周波数信号に位相同期するのに十分な時間設定するので、ロックアップ動作が安定して確実に位相同期することができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明を図に示した実施形態を用いて詳細に説明する。但し、この実施形態に記載される構成要素、種類、組み合わせ、形状、その相対配置などは特定の記載がない限り、この発明の範囲をそのみに限定する主旨ではなく単なる説明例に過ぎない。

図 1 は本発明の実施形態に係る PLL 回路の機能ブロック図である。この PLL 回路 100 は、位相同期用制御電圧 v 、及び制御電圧 V_o に基づいて発振周波数 f が制御される VCO (電圧制御発振器) 1 と、この VCO 1 により発振された発振信号の周波数 f を所定の分周比により分周する分周器 2b と、基準周波数信号 F を発生する基準周波数信号発生器 3 と、分周器 2b により分周された信号と基準周波数信号 F の位相とを比較する位相比較器 2c と、この位相比較器 2c により比較された位相誤差 ε を積分するループフィルタ 4 と、VCO 1 の自走周波数を決定するための制御電圧 V_i ($i = 1, 2, \dots, n$) を供給する自走周波数制御電圧供給手段 5 と、この自走周波数制御電圧供給手段 5 の制御電圧 V_i に含まれるノイズを除去するローパスフィルタ (以下、LPF と記す) 6 と、PLL-IC 2 及び自走周波数制御電圧供給手段 5 を制御する CPU (制御手段) 7 と、を備えて構成される。

尚、基準周波数信号発生器 3 は PLL-IC 2 に内蔵された分周器 2a により所定の周波数に分周される。この例では、PLL-IC 2 には分周器 2a、分周器 2b、位相比較器 2c が含まれる。また、自走周波数制御電圧供給手段 4 は、例えば ROM に複数の制御電圧 V_i のデータを記憶し、ROM から読み出されたデジタル信号である制御電圧 V_i のデータに基づいて D/A 変換器によりアナログ電圧に変換して LPF 6 に供給するものとする。

【0011】

次に本実施形態の PLL 回路 100 の基本的な動作について説明する。例えば、自走周波数制御電圧供給手段 5 は、VCO 1 の自走周波数 $f_1, f_2 \dots f_n$ を決定する固定の制御電圧 $V_1, V_2 \dots V_n$ を予めデジタルデータ $D_1, D_2 \dots D_n$ として図示しない ROM に書込んでおく。そしてデジタルデータ $D_1, D_2 \dots D_n$ を図示しない D/A 変換器によりアナログ量の固定の電圧 $V_1, V_2 \dots V_n$ に変換して LPF 6 の IN 端子に供給するものとする。

いま、VCO 1 がある発振周波数 f_1 で一定範囲の位相差にロックしているとすれば、VCO 1 の自走周波数 f_1 を定める制御電圧 V_i は固定電圧 V_1 であり、その一定範囲に位相変動を抑圧する位相同期用制御電圧は v である。この状態の発振周波数 f_1 を周波数 f_2 に変更する場合、図示しない操作部から CPU 7 に周波数変更の指令データを与えると、CPU 7 は、周波数 f_1 を周波数 f_2 に変えるための分周比データを分周器 2b に送出すると共に、VCO 1 の自走発振周波数 f を f_1 から f_2 に変えるための電圧 V_2 に対応するデジタルデータ D_2 を ROM から読出して D/A 変換器に与える。この時、周波数 f_2 が設定されるタイミングと D/A 変換器の出力 V_2 が発生するタイミングとを同時にする。そして D/A 変換器の出力 V_2 は LPF 6 の IN 端子に供給され、LPF 6 の OUT 端子から制御電圧 V_o が出力されて VCO 1 に印加される。この時、PLL-IC 2 の位相比較器 2c で基準周波数信号 F と位相比較して生じた一定範囲内の位相誤差 ε を積分したループフィルタ 4 の出力であって、VCO 1 に印加されている位相同期用制御電圧 v は、変更前の周波数 f_1 の時と殆ど同じ値なので、PLL 回路 100 は変更後の新しい発振周波数 f_2 を直ぐ PLL ループに引き込みロックすることができる。

図 2 は本発明の PLL 回路 100 で使用する LPF 6 の内部構成の一例を示す図である。この LPF 6 は、最も単純な構成として抵抗 R とコンデンサ C により構成され、抵抗 R に極性を互いに異なるように接続したダイオード D_a, D_b が並列に接続されている。こ

10

20

30

40

50

のLPF6を使用したPLL回路の問題は、図10により説明したとおり、LPF6の入出力電圧差がダイオードDa, Dbの順方向電圧0.7V以下になってから0.0Vになるまでの間はLPF6の応答の影響を受けてゆっくりとLPF6の出力電圧が変化する(図10(b)波形24参照)ため、VCO出力波形にリファレンスリークを発生させる原因となることである。そこで本発明では、以下に説明するように、自走周波数制御電圧供給手段5から出力する制御電圧Viを変化させる時に、2回に分けて異なった電圧を設定するものである。

【0012】

図3は本発明の第1の実施形態に係る自走周波数制御電圧供給手段5から出力する制御電圧Viの波形を示す図である。縦軸に制御電圧Viの電圧レベルを示し、横軸は時間を示す。CPU7は、自走周波数制御電圧供給手段5から出力する制御電圧を低い電圧Vi0から高い電圧Vi1に変化させる際、自走周波数が分周器2bにより設定される周波数と等しくなる制御電圧値Vi1にLPF6に接続されたダイオードDaの順方向電圧値0.7Vを加えた電圧値Vi2(第1の電圧)を所定の時間tだけ発生させ、その後、制御電圧値Vi1に戻すように自走周波数制御電圧供給手段5を制御する。即ち、 $V_{i2} = V_{i1} + 0.7V$ の電圧を時間tの間LPF6のIN端子に供給する。従って、時間t間ではダイオードDaのアノードには電圧Vi2が印加される。この電圧Vi2は自走周波数が分周器3bにより設定される周波数と等しくなる制御電圧値Vi1にダイオードDaの順方向電圧0.7Vを加えた電圧のため、制御電圧値Vi1が0.7V以下であってもダイオードDaは必ず順バイアスとなり、ダイオードDaのアノードとカソード間が電氣的に接続された状態となる。このときのLPF6の等価回路は抵抗Rが略ショートされた状態となり、IN端子とOUT端子間にコンデンサCだけが接地された回路となる。その結果、抵抗RとコンデンサCの積($\tau = R \cdot C$)で決定する時定数が略ゼロとなり、時定数による入出力間の応答遅延をなくすることができる。尚、このときダイオードDbは逆バイアスであるので、大きなインピーダンスとなり回路には影響を与えない。

【0013】

図4は本発明の第2の実施形態に係る自走周波数制御電圧供給手段5から出力する制御電圧の波形を示す図である。縦軸に制御電圧Viの電圧レベルを示し、横軸は時間を示す。CPU7は、自走周波数制御電圧供給手段5から出力する制御電圧を高い電圧Vi2から低い電圧Vi1に変化させる際、自走周波数が分周器2bにより設定される周波数と等しくなる制御電圧値Vi1からLPF6に接続されたダイオードDbの順方向電圧値0.7Vを引いた電圧値Vi0(第2の電圧)を所定の時間tだけ発生させ、その後、制御電圧値Vi1に戻すように自走周波数制御電圧供給手段5を制御する。即ち、 $V_{i0} = V_{i1} - 0.7V$ の電圧を時間tの間LPF6のIN端子に供給する。従って、時間tの間ではダイオードDbのカソードには電圧Vi0が印加される。この電圧Vi0は自走周波数が分周器3bにより設定される周波数と等しくなる制御電圧値Vi1からダイオードDbの順方向電圧0.7Vを引いた電圧のため、制御電圧値Vi1が0.7Vより高い電圧であってもダイオードDbは必ず順バイアスとなり、ダイオードDbのアノードとカソード間が電氣的に接続された状態となる。このときのLPF6の等価回路は抵抗Rが略ショートされた状態となり、IN端子とOUT端子間にコンデンサCだけが接地された回路となる。その結果、抵抗RとコンデンサCの積($\tau = R \cdot C$)で決定する時定数が略ゼロとなり、時定数による入出力間の応答遅延をなくすることができる。尚、このときダイオードDaは逆バイアスであるので、大きなインピーダンスとなり回路には影響を与えない。

【0014】

以上の通り、PLL回路に新しい分周比を設定して異なった周波数にVCO1をロックさせるときは、自走周波数制御電圧供給手段5の出力電圧を変化させる必要がある。このとき問題となるのは、その電圧の変化点においてLPF6の時定数によりLPF6の入出力間に応答遅延が発生することである。この遅延時間は本質的にPLL回路のロックアップの応答速度特性となる。この遅延時間は理想的にはゼロが好ましいので、第1と第2の実施形態では応答速度を改善するためにダイオードDa, DbをLPF6の回路に並列に

接続している。しかし、この回路で問題となるのはダイオード D_a 、 D_b の順方向電圧（約 $0.7V$ ）により、 V_{CO} 出力波形にリファレンスリークを発生させることである。そこで本実施形態では、このリファレンスリークの発生を抑圧するために、自走周波数制御電圧供給手段 5 の出力電圧を変化させる時に、2 回に分けて異なった電圧（第 1 の電圧、第 2 の電圧）を設定するものである。第 1 の実施形態では、低い電圧から高い電圧に変化させる場合であり、電圧を変化させるときにダイオードの順方向電圧 $0.7V$ を目的の電圧 V_{i1} に加算し、ダイオードをバイパスするようにして、その後、目的の電圧 V_{i1} に戻すものである。また、第 2 の実施形態では、高い電圧から低い電圧に変化させる場合であり、電圧を変化させるときにダイオードの順方向電圧 $0.7V$ を目的の電圧 V_{i1} から減算し、ダイオードをバイパスするようにして、その後、目的の電圧 V_{i1} に戻すものである。 10

これにより、 V_{CO1} の自走周波数制御電圧が安定するまでの時間が短縮して PLL 回路のロックアップ時間を短縮することができる。また、 V_{CO1} の自走周波数制御電圧 V_o が安定する前に PLL 回路の引き込みが完了してロックする場合は、 V_{CO} 出力波形にロック直後に現れるリファレンスリークのレベルを下げることもできる。また、リファレンスリークが発生している時間を短縮することができる。更に、LPF 6 のカットオフ周波数を下げることができるため、 V_{CO} 出力信号の C/N 、 S/N を改善することができる。

尚、LPF 6 の回路に並列にダイオードを接続した場合の制御電圧 V_i の印加時間は、少なくとも V_{CO1} の出力周波数 f の位相が基準周波数信号 F の位相に同期するために十分な時間印加される。 20

【0015】

図 5 は図 3 で説明した本発明の第 1 の実施形態による自走周波数制御電圧供給手段 5 の D/A 変換器から出力された電圧（制御電圧）波形 V_i と V_{CO1} の入力電圧波形 V_o を示す図である。この図からわかるとおり、波形 V_i の立ち上がりで波形 10 のようにダイオードの順方向電圧に相当する電圧分高くなる電圧を加え、その後、自走周波数が分周器 3b により設定される周波数と等しくなる制御電圧 11 に戻すように印加することにより、 V_{CO1} の入力電圧波形 V_o は LPF 6 の応答時間の影響を受けることなく、LPF 6 の入出力電圧が等しい状態（波形 15）、即ち定常状態とすることができる。尚、図示は省略するが、図 4 で説明した本発明の第 2 の実施形態による自走周波数制御電圧供給手段 5 の D/A 変換器から出力された電圧波形の場合も、 V_{CO1} の入力電圧波形 V_o は LPF 6 の応答時間の影響を受けることなく、LPF 6 の入出力電圧が等しい状態、即ち定常状態とすることができる。 30

【0016】

図 6 は本発明の他の実施形態に係る PLL 回路 200 の機能ブロック図である。同じ構成要素には同じ参照番号を付して説明する。図 6 が図 1 と異なる点は、LPF 20 に接合型電界効果トランジスタ（以下、J-FET と記す）を制御するバイパス制御信号（以下、CNT 信号と記す）を J-FET のゲート電極に入力するための CNT 端子を追加し、それに伴って CPU 7 にその信号を出力する I/O ポートを追加し、両者を接続した点である。尚、本実施形態の基本的な動作は図 1 と同様であるので説明を省略するが、異なる部分についてのみ説明する。図 1 では自走周波数制御電圧供給手段 5 から出力する制御電圧 V_i を 2 回に分けて異なった電圧を出力したが、本実施形態では、自走周波数制御電圧供給手段 5 から出力する制御電圧 V_i は 2 回に分けて異なった電圧に変化させず、制御電圧 V_i の変化点で J-FET のゲート電極を制御して LPF 20 の入出力を同一電圧にするものである（詳細は後述する）。 40

図 7 は本発明の PLL 回路 200 で使用する LPF 20 の内部構成の一例を示す図である。この LPF 20 は、最も単純な構成として抵抗 R とコンデンサ C により構成され、抵抗 R の両端に J-FET 21 のドレイン電極（D）とソース電極（S）が接続されている。そしてドレイン電極（D）とゲート電極（G）間に抵抗 R_a を接続し、そのゲート電極（G）と CNT 端子をダイオード D_c を介して接続する。本実施形態では、以下に説明す 50

るように、自走周波数制御電圧供給手段 5 から出力する制御電圧 V_i を変化させる時に、CPU 7 から CNT 信号を出力し、J - FET 21 のドレイン (D) とソース (S) 間を電氣的に接続するものである。

【0017】

図 8 は図 6 で説明した本発明の他の実施形態による自走周波数制御電圧供給手段 5 の D / A 変換器から出力された電圧 (制御電圧) 波形 V_i と CNT 信号との関係を示す図である。この図からわかるとおり、制御電圧波形 V_i が低い電圧から高い電圧に変化するとき、CNT 信号 14 を時間 t の間出力し、制御電圧波形 V_i が高い電圧から低い電圧に変化するとき、CNT 信号 15 を時間 t の間出力する。本実施形態は、LPF 20 の回路に並列にダイオードを接続する代わりに、J - FET 21 を接続するものである。J - FET 21 はゲート信号の電圧レベルに基づいてソース電極とドレイン電極間を電氣的に断接する特性を有している。本実施形態ではこの特性を利用して自走周波数制御電圧供給手段 5 の出力電圧 V_i を変化させる時に、ゲート電極にソース電極とドレイン電極間を電氣的に接続する CNT 信号を与え、LPF 20 の入出力間をショートして (具体的には LPF 20 の抵抗 R をショートする) リファレンスリークを改善するものである。

尚、LPF 20 の回路に並列に接合型電界効果トランジスタを接続した場合の CNT 信号の印加時間は、少なくとも VCO 1 の出力周波数の位相が基準周波数信号の位相に位相同期するために十分な時間印加される。また、図 7 では J - FET 21 を使用したが、抵抗の両端をリレー等のメカ的な接点により接続しても構わない。即ち、J - FET 21 は一例に過ぎず、他の電子的な手段により実現しても本発明を逸脱するものではない。

【図面の簡単な説明】

【0018】

【図 1】本発明の実施形態に係る PLL 回路の機能ブロック図である。

【図 2】本発明の PLL 回路 100 で使用する LPF 6 の内部構成の一例を示す図である。

【図 3】本発明の第 1 の実施形態に係る自走周波数制御電圧供給手段 5 から出力する制御電圧の波形を示す図である。

【図 4】本発明の第 2 の実施形態に係る自走周波数制御電圧供給手段 5 から出力する制御電圧の波形を示す図である。

【図 5】図 3 で説明した本発明の第 1 の実施形態による自走周波数制御電圧供給手段 5 の D / A 変換器から出力された電圧 (制御電圧) 波形 V_i と VCO 1 の入力電圧波形 V_o を示す図である。

【図 6】本発明の他の実施形態に係る PLL 回路 200 の機能ブロック図である。

【図 7】本発明の PLL 回路 100 で使用する LPF 20 の内部構成の一例を示す図である。

【図 8】図 6 で説明した本発明の他の実施形態による自走周波数制御電圧供給手段 5 の D / A 変換器から出力された電圧 (制御電圧) 波形 V_i と CNT 信号との関係を示す図である。

【図 9】(a) は従来の LPF の内部構成の一例を示す図であり、(b) は D / A 変換器から出力された電圧 (制御電圧) 波形 V_i と VCO の入力電圧波形 V_o を示す図である。

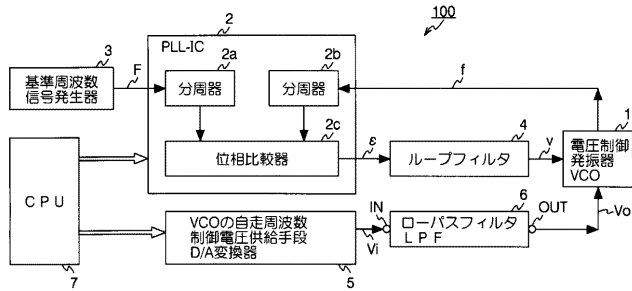
【図 10】(a) はダイオードを並列接続した従来の LPF の内部構成の一例を示す図であり、(b) は D / A 変換器から出力された電圧 (制御電圧) 波形 V_i と VCO の入力電圧波形 V_o を示す図である。

【符号の説明】

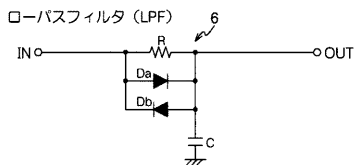
【0019】

1 VCO、2 PLL - IC、2a、2b 分周器、2c 位相比較器、3 基準周波数信号発生器、4 ループフィルタ、5 自走周波数制御電圧供給手段、6、20 ローパスフィルタ、7 CPU、100、200 PLL 回路、 v 位相同期用制御電圧、 V_o 制御電圧、 f 発振信号の周波数、 F 基準周波数信号、 ε 位相誤差、 V_i 制御電圧

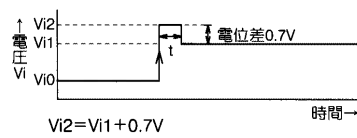
【図 1】



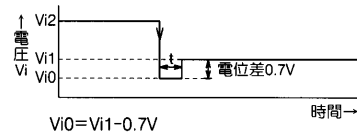
【図 2】



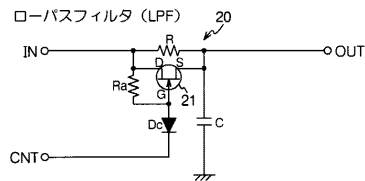
【図 3】



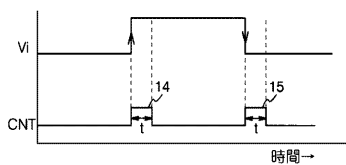
【図 4】



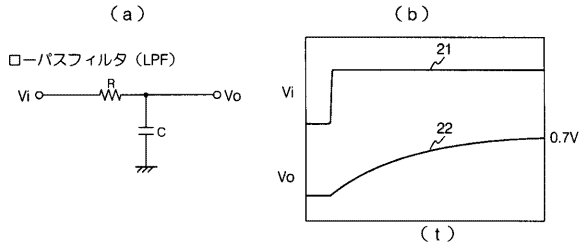
【図 7】



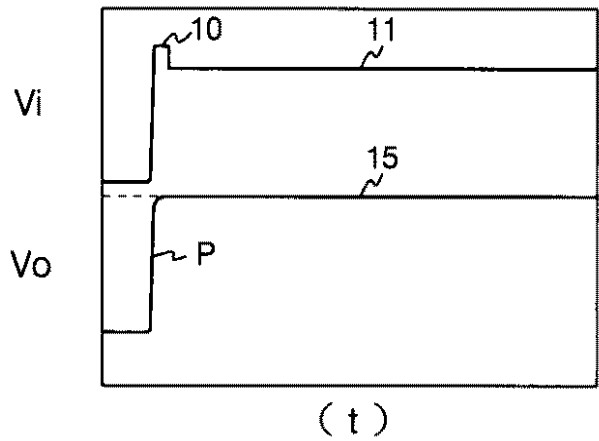
【図 8】



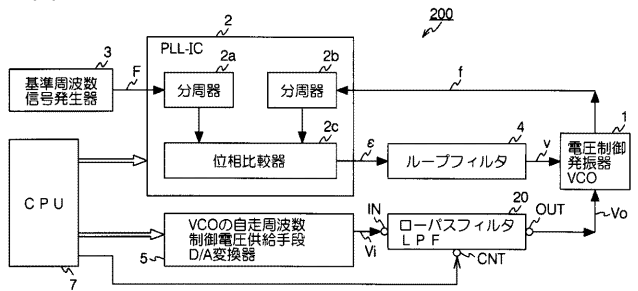
【図 9】



【図 5】



【図 6】



【図 10】

