

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5732933号
(P5732933)

(45) 発行日 平成27年6月10日 (2015. 6. 10)

(24) 登録日 平成27年4月24日 (2015. 4. 24)

(51) Int. Cl.		F I			
G06F	9/30	(2006.01)	G06F	9/30	380Z
G06F	9/38	(2006.01)	G06F	9/38	380C
G06F	11/22	(2006.01)	G06F	11/22	330F

請求項の数 9 (全 26 頁)

(21) 出願番号	特願2011-55853 (P2011-55853)	(73) 特許権者	000004237
(22) 出願日	平成23年3月14日 (2011. 3. 14)		日本電気株式会社
(65) 公開番号	特開2012-194599 (P2012-194599A)		東京都港区芝五丁目7番1号
(43) 公開日	平成24年10月11日 (2012. 10. 11)	(74) 代理人	100095407
審査請求日	平成26年2月7日 (2014. 2. 7)		弁理士 木村 満
		(72) 発明者	中里 聡
			東京都港区芝五丁目7番1号 日本電気株式会社内
		審査官	三坂 敏夫

最終頁に続く

(54) 【発明の名称】 演算装置及びエラー検出方法

(57) 【特許請求の範囲】

【請求項1】

演算装置に有効な演算命令が入力されていないNOP状態の検出に従って、受信する入力信号を制御する制御信号を出力するNOP検出部と、

前記NOP検出部が出力した前記制御信号に従って、試験演算用の被演算データであるオペランド信号を受信し、受信した前記オペランド信号を出力するオペランド制御部と、

前記NOP検出部が出力した前記制御信号に従って、前記被演算データとペアの演算命令であるOPコード信号を受信し、受信した前記OPコード信号を出力する命令制御部と

前記命令制御部が出力した前記OPコード信号である演算命令に従って、前記オペランド制御部が出力した前記オペランド信号である被演算データに対する演算処理を実行し、求めた演算結果データを出力する演算部と、

前記演算部が出力した前記演算結果データに基づいて、エラーが発生したか否かを判別するエラー検出部と、を備え、

前記命令制御部は、前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記OPコード信号を前記演算部に出力し、

前記オペランド制御部は、前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記オペランド信号を前記演算部に出力し、

前記エラー検出部は、前記演算部が直前に求めた前記演算結果データと前記NOP状態を検出した際に求めた前記演算結果データとを比較し、それぞれが異なる場合にエラーが

10

20

発生したと判別し、

前記オペランド制御部は、第1オペランド制御部と、第2オペランド制御部と、を備え

、
前記第1オペランド制御部は、

前記NOP検出部が前記NOP状態を検出していない場合、第1オペランド信号を受信し、受信した前記第1オペランド信号を前記演算部に出力し、

前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記第1オペランド信号を前記第2オペランド制御部に出力し、前記第2オペランド制御部が出力した第2オペランド信号を受信し、受信した前記第2オペランド信号を前記演算部に出力し、

前記第2オペランド制御部は、

前記NOP検出部が前記NOP状態を検出していない場合、前記第2オペランド信号を受信し、受信した前記第2オペランド信号を前記演算部に出力し、

前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記第2オペランド信号を前記第1オペランド制御部に出力し、前記第1オペランド制御部が出力した前記第1オペランド信号を受信し、受信した前記第1オペランド信号を前記演算部に出力する

、
ことを特徴とする演算装置。

【請求項2】

前記NOP検出部は、前記NOP状態を検出したことを示すNOP検出信号を前記エラー検出部に出力し、

前記エラー検出部は、前記NOP検出信号を受信し、前記NOP検出信号が前記NOP状態を示している場合、かつ、エラーが発生したと判別した場合、エラーが発生したことを示すエラー検出信号を出力する、

ことを特徴とする請求項1に記載の演算装置。

【請求項3】

前記OPコード信号が減算命令を示しているか否かを検出する減算検出部と、

前記演算部が求めた前記演算結果データの符号を反転させる符号反転部と、を更に備え

、
前記符号反転部は、前記減算検出部が前記減算命令を検出した場合、前記演算部が求めた前記演算結果データの符号を反転し、

前記エラー検出部は、前記演算部が求めた前記演算結果データと、前記符号反転部が符号を反転した前記演算結果データとを比較する、

ことを特徴とする請求項1又は2に記載の演算装置。

【請求項4】

前記NOP検出部が出力した前記NOP検出信号を否定する否定部をさらに備え、

前記否定部は、否定した前記NOP検出信号を前記エラー検出部に出力し、

前記エラー検出部は、前記演算部が求めた前記演算結果データと前記否定部が否定して出力した前記NOP検出信号が示す値との論理積を求め、求めた前記論理積をマスク済み演算結果データとして出力する、

ことを特徴とする請求項2に記載の演算装置。

【請求項5】

前記演算部は、パイプライン構成であり、

前記NOP検出部は、前記NOP検出信号が示す値を記憶する記憶部を前記パイプラインの段数に従った数備える、

ことを特徴とする請求項2に記載の演算装置。

【請求項6】

演算装置に有効な演算命令が入力されていないNOP状態の検出に従って、受信する入力信号を制御する制御信号を出力するNOP検出部と、

前記NOP検出部が出力した前記制御信号に従って、試験演算用の被演算データであるオペランド信号を受信し、受信した前記オペランド信号を出力するオペランド制御部と、

10

20

30

40

50

前記NOP検出部が出力した前記制御信号に従って、前記被演算データとペアの演算命令であるOPコード信号を受信し、受信した前記OPコード信号を出力する命令制御部と

前記命令制御部が出力した前記OPコード信号である演算命令に従って、前記オペランド制御部が出力した前記オペランド信号である被演算データに対する演算処理を実行し、求めた演算結果データを出力する演算部と、

前記演算部が出力した前記演算結果データに基づいて、エラーが発生したか否かを判別するエラー検出部と、を備え、

前記オペランド制御部は、第1オペランド制御部と、第2オペランド制御部と、を備え

10

前記第1オペランド制御部は、

前記NOP検出部が前記NOP状態を検出していない場合、第1オペランド信号を受信し、受信した前記第1オペランド信号を前記演算部に出力し、

前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記第1オペランド信号を前記第2オペランド制御部に出力し、前記第2オペランド制御部が出力した第2オペランド信号を受信し、受信した前記第2オペランド信号を前記演算部に出力し、

前記第2オペランド制御部は、

前記NOP検出部が前記NOP状態を検出していない場合、前記第2オペランド信号を受信し、受信した前記第2オペランド信号を前記演算部に出力し、

前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記第2オペランド信号を前記第1オペランド制御部に出力し、前記第1オペランド制御部が出力した前記第1オペランド信号を受信し、受信した前記第1オペランド信号を前記演算部に出力し、

20

前記命令制御部は、受信した前記OPコード信号を記憶するOPコード記憶部を備え、前記第1オペランド制御部は、受信した前記オペランド信号を記憶する第1オペランド記憶部を備え、

前記第2オペランド制御部は、受信した前記オペランド信号を記憶する第2オペランド記憶部を備え、

前記NOP検出部は、前記NOP状態を検出したことを示すNOP検出信号を記憶する第1NOP記憶部を備え、

前記演算部は、前記演算結果データを記憶する第1演算結果記憶部を備え、

30

前記NOP検出部が前記NOP状態を検出した第1のクロックサイクルにおいて、

前記NOP検出部は、前記第1NOP記憶部に前記NOP検出信号を記憶し、前記制御信号を前記命令制御部と前記第1オペランド制御部及び前記第2オペランド制御部に出力し、

前記命令制御部は、直前に受信した前記OPコード信号を前記OPコード記憶部に記憶し、前記OPコード記憶部に記憶された前記OPコード信号を前記演算部に出力し、

前記第1オペランド制御部は、前記第2オペランド制御部から受信した前記第2オペランド信号を前記第1オペランド記憶部に記憶し、前記第1オペランド記憶部に記憶された前記第2オペランド信号を前記演算部に出力し、

前記第2オペランド制御部は、前記第1オペランド制御部から受信した前記第1オペランド信号を前記第2オペランド記憶部に記憶し、前記第2オペランド記憶部に記憶された前記第1オペランド信号を前記演算部に出力し、

40

前記演算部は、求めた前記演算結果データを前記第1演算結果記憶部に記憶する、

ことを特徴とする演算装置。

【請求項7】

前記NOP検出部は、前記第1NOP記憶部が記憶している前記NOP検出信号を記憶する第2NOP記憶部を備え、

前記演算部は、前記第1演算結果記憶部が記憶している前記演算結果データを記憶する第2演算結果記憶部を備え、

前記第1のクロックサイクルの次の第2のクロックサイクルにおいて、

50

前記NOP検出部は、前記第1NOP記憶部に記憶された前記NOP検出信号を前記第2NOP記憶部に記憶し、前記第2NOP記憶部に記憶された前記NOP検出信号を前記エラー検出部に出力し、

前記演算部は、前記第1演算結果記憶部に記憶された前記演算結果データを前記第2演算結果記憶部に記憶し、前記命令制御部と前記第1オペランド制御部及び前記第2オペランド制御部の出力信号に従って試験演算結果データを求め、求めた前記試験演算結果データを前記第1演算結果記憶部に記憶し、前記第1演算結果記憶部に記憶された前記試験演算結果データと前記第2演算結果記憶部に記憶された前記演算結果データを前記エラー検出部に出力し、

前記エラー検出部は、前記演算部が出力した前記試験演算結果データと前記演算結果データとを比較し、両者が異なる値である場合、かつ、前記NOP検出部が出力した前記NOP検出信号が前記NOP状態を示している場合、エラーが発生したことを示すエラー検出信号を出力する、

ことを特徴とする請求項6に記載の演算装置。

【請求項8】

演算装置に有効な演算命令が入力されていないNOP状態の検出に従って、受信する入力信号を制御する制御信号を出力するNOP検出ステップと、

前記NOP検出ステップで出力した前記制御信号に従って、試験演算用の被演算データであるオペランド信号を受信し、受信した前記オペランド信号を出力するオペランド制御ステップと、

前記NOP検出ステップで出力した前記制御信号に従って、前記被演算データとペアの演算命令であるOPコード信号を受信し、受信した前記OPコード信号を出力する命令制御ステップと、

前記命令制御ステップで出力した前記OPコード信号である演算命令に従って、前記オペランド制御ステップで出力した前記オペランド信号である被演算データに対する演算処理を実行し、求めた演算結果データを出力する演算ステップと、

前記演算ステップで出力した前記演算結果データに基づいて、エラーが発生したか否かを判別するエラー検出ステップと、を備え、

前記演算ステップでは、前記NOP検出ステップで前記NOP状態を検出した場合、前記命令制御ステップで直前に受信した前記OPコード信号と前記オペランド制御ステップで直前に受信した前記オペランド信号とに基づいて前記演算処理を実行し、

前記エラー検出ステップでは、前記演算ステップで直前に求めた前記演算結果データと前記NOP状態を検出した際に求めた前記演算結果データとを比較し、それぞれが異なる場合にエラーが発生したと判別し、

前記オペランド制御ステップは、第1オペランド制御ステップと、第2オペランド制御ステップと、を含み、

前記第1オペランド制御ステップでは、

前記NOP検出ステップで前記NOP状態を検出していない場合、第1オペランド信号を受信し、

前記NOP検出ステップで前記NOP状態を検出した場合、直前に受信した前記第1オペランド信号を出力し、前記第2オペランド制御ステップで出力した第2オペランド信号を受信し、

前記第2オペランド制御ステップでは、

前記NOP検出ステップで前記NOP状態を検出していない場合、前記第2オペランド信号を受信し、

前記NOP検出ステップで前記NOP状態を検出した場合、直前に受信した前記第2オペランド信号を出力し、前記第1オペランド制御ステップで出力した前記第1オペランド信号を受信し、

前記演算ステップでは、

前記NOP検出ステップで前記NOP状態を検出していない場合、前記第1オペランド

10

20

30

40

50

制御ステップで受信した前記第 1 オペランド信号と、前記第 2 オペランド制御ステップで受信した前記第 2 オペランド信号と、に基づいて前記演算処理を実行し、

前記NOP検出ステップで前記NOP状態を検出した場合、前記第 1 オペランド制御ステップで受信した前記第 2 オペランド信号と、前記第 2 オペランド制御ステップで受信した前記第 1 オペランド信号と、に基づいて前記演算処理を実行する、

ことを特徴とするエラー検出方法。

【請求項 9】

演算装置に有効な演算命令が入力されていないNOP状態の検出に従って、受信する入力信号を制御する制御信号を出力するNOP検出ステップと、

前記NOP検出ステップで出力した前記制御信号に従って、試験演算用の被演算データであるオペランド信号を受信し、受信した前記オペランド信号を出力するオペランド制御ステップと、

前記NOP検出ステップで出力した前記制御信号に従って、前記被演算データとペアの演算命令であるOPコード信号を受信し、受信した前記OPコード信号を出力する命令制御ステップと、

前記命令制御ステップで出力した前記OPコード信号である演算命令に従って、前記オペランド制御ステップで出力した前記オペランド信号である被演算データに対する演算処理を実行し、求めた演算結果データを出力する演算ステップと、

前記演算ステップで出力した前記演算結果データに基づいて、エラーが発生したか否かを判別するエラー検出ステップと、を備え、

前記オペランド制御ステップは、第 1 オペランド制御ステップと、第 2 オペランド制御ステップと、を含み、

前記第 1 オペランド制御ステップでは、

前記NOP検出ステップで前記NOP状態を検出していない場合、第 1 オペランド信号を受信し、

前記NOP検出ステップで前記NOP状態を検出した場合、直前に受信した前記第 1 オペランド信号を出力し、前記第 2 オペランド制御ステップで出力した第 2 オペランド信号を受信し、

前記第 2 オペランド制御ステップでは、

前記NOP検出ステップで前記NOP状態を検出していない場合、前記第 2 オペランド信号を受信し、

前記NOP検出ステップで前記NOP状態を検出した場合、直前に受信した前記第 2 オペランド信号を出力し、前記第 1 オペランド制御ステップで出力した前記第 1 オペランド信号を受信し、

前記演算ステップでは、

前記NOP検出ステップで前記NOP状態を検出していない場合、前記第 1 オペランド制御ステップで受信した前記第 1 オペランド信号と、前記第 2 オペランド制御ステップで受信した前記第 2 オペランド信号と、に基づいて前記演算処理を実行し、

前記NOP検出ステップで前記NOP状態を検出した場合、前記第 1 オペランド制御ステップで受信した前記第 2 オペランド信号と、前記第 2 オペランド制御ステップで受信した前記第 1 オペランド信号と、に基づいて前記演算処理を実行し、

前記NOP検出ステップで前記NOP状態を検出した第 1 のクロックサイクルにおいて、

前記NOP検出ステップでは、前記NOP状態を検出したことを示すNOP検出信号を記憶し、前記制御信号を出力し、

前記命令制御ステップでは、前記NOP検出ステップで出力した前記制御信号に従って直前に受信した前記OPコード信号を記憶し、

前記第 1 オペランド制御ステップでは、前記NOP検出ステップで出力した前記制御信号に従って前記第 2 オペランド制御ステップで受信した前記第 2 オペランド信号を記憶し、

、

10

20

30

40

50

前記第 2 オペランド制御ステップでは、前記 N O P 検出ステップで出力した前記制御信号に従って前記第 1 オペランド制御ステップで受信した前記第 1 オペランド信号を記憶し

、
前記演算ステップでは、前記命令制御ステップで記憶した前記 O P コード信号と、前記第 2 オペランド制御ステップで記憶した前記第 1 オペランド信号と、前記第 1 オペランド制御ステップで記憶した前記第 2 オペランド信号と、に基づいて求めた前記演算結果データを記憶する、

ことを特徴とするエラー検出方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、演算装置及びエラー検出方法に関する。

【背景技術】

【0002】

算術演算器のエラーを検出する方法として、一般的には、モジュロ 3 チェックや、パリティ・プリディクションなどの手法が用いられる。また、この他に、算術演算器全体をエラーの検出対象とする手法が提案されている。

【0003】

特許文献 1 は、スーパースカラプロセッサ等で同一の機能を有する 2 つの A L U (A r i t h m e t i c L o g i c U n i t) を有する算術論理演算器において、一方の A L U にしか有効な演算処理が行われていないタイミングで、両方の A L U に同一のデータを与えて同じ処理を実行させ、互いの出力同士を比較することでエラーを検出する方法を開示している。

20

【0004】

特許文献 2 は、W A I T 状態の時に、機能診断用データが格納された記憶手段からデータを読み出して演算を実行し、演算後の結果を予め格納されていた診断データと比較することでエラーを検出する方法を開示している。

【先行技術文献】

【特許文献】

【0005】

30

【特許文献 1】特開平 3 - 0 1 4 1 3 4 号公報

【特許文献 2】特開平 9 - 2 8 2 1 6 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

パリティ・プリディクション等の一般的なエラー検出方法は、検査回路が複雑な構成になるため、コストや回路規模の都合上、一部の回路にのみ搭載されることが多い。このため、このようなエラー検出方法では、全ての回路におけるエラーを検出することができない。

【0007】

40

また、特許文献 1 が開示する手法は、2 つの A L U の出力を比較することでエラーを検出する方法であるため、A L U を 1 つしか有していない算術論理演算器においては適用することができない。

【0008】

また、特許文献 2 が開示する手法は、A L U が 1 つしか有さない場合でも適用できるが、試験データを予め格納しておく必要があり、実行する試験命令や試験データに限られる。よって、エラー検出効果が限定されることとなり、特許文献 2 が開示する手法では、演算器内でエラーを検出できない箇所が存在し得ることとなる。

【0009】

本発明は、上記事情に鑑みてなされたものであり、エラーの検出効果を高くすることが

50

できる演算装置及びエラー検出方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するため、本発明の第1の観点に係る演算装置は、

演算装置に有効な演算命令が入力されていないNOP状態の検出に従って、受信する入力信号を制御する制御信号を出力するNOP検出部と、

前記NOP検出部が出力した前記制御信号に従って、試験演算用の被演算データであるオペランド信号を受信し、受信した前記オペランド信号を出力するオペランド制御部と、

前記NOP検出部が出力した前記制御信号に従って、前記被演算データとペアの演算命令であるOPコード信号を受信し、受信した前記OPコード信号を出力する命令制御部と

10

、
前記命令制御部が出力した前記OPコード信号である演算命令に従って、前記オペランド制御部が出力した前記オペランド信号である被演算データに対する演算処理を実行し、求めた演算結果データを出力する演算部と、

前記演算部が出力した前記演算結果データに基づいて、エラーが発生したか否かを判別するエラー検出部と、を備え、

前記命令制御部は、前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記OPコード信号を前記演算部に出力し、

前記オペランド制御部は、前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記オペランド信号を前記演算部に出力し、

20

前記エラー検出部は、前記演算部が直前に求めた前記演算結果データと前記NOP状態を検出した際に求めた前記演算結果データとを比較し、それぞれが異なる場合にエラーが発生したと判別し、

前記オペランド制御部は、第1オペランド制御部と、第2オペランド制御部と、を備え

、
前記第1オペランド制御部は、

前記NOP検出部が前記NOP状態を検出していない場合、第1オペランド信号を受信し、受信した前記第1オペランド信号を前記演算部に出力し、

前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記第1オペランド信号を前記第2オペランド制御部に出力し、前記第2オペランド制御部が出力した第2オペランド信号を受信し、受信した前記第2オペランド信号を前記演算部に出力し、

30

前記第2オペランド制御部は、

前記NOP検出部が前記NOP状態を検出していない場合、前記第2オペランド信号を受信し、受信した前記第2オペランド信号を前記演算部に出力し、

前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記第2オペランド信号を前記第1オペランド制御部に出力し、前記第1オペランド制御部が出力した前記第1オペランド信号を受信し、受信した前記第1オペランド信号を前記演算部に出力する

ことを特徴とする。

上記目的を達成するため、本発明の第2の観点に係る演算装置は、

40

演算装置に有効な演算命令が入力されていないNOP状態の検出に従って、受信する入力信号を制御する制御信号を出力するNOP検出部と、

前記NOP検出部が出力した前記制御信号に従って、試験演算用の被演算データであるオペランド信号を受信し、受信した前記オペランド信号を出力するオペランド制御部と、

前記NOP検出部が出力した前記制御信号に従って、前記被演算データとペアの演算命令であるOPコード信号を受信し、受信した前記OPコード信号を出力する命令制御部と

、
前記命令制御部が出力した前記OPコード信号である演算命令に従って、前記オペランド制御部が出力した前記オペランド信号である被演算データに対する演算処理を実行し、求めた演算結果データを出力する演算部と、

50

前記演算部が出力した前記演算結果データに基づいて、エラーが発生したか否かを判別するエラー検出部と、を備え、

前記オペランド制御部は、第1オペランド制御部と、第2オペランド制御部と、を備え、

前記第1オペランド制御部は、

前記NOP検出部が前記NOP状態を検出していない場合、第1オペランド信号を受信し、受信した前記第1オペランド信号を前記演算部に出力し、

前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記第1オペランド信号を前記第2オペランド制御部に出力し、前記第2オペランド制御部が出力した第2オペランド信号を受信し、受信した前記第2オペランド信号を前記演算部に出力し、

前記第2オペランド制御部は、

前記NOP検出部が前記NOP状態を検出していない場合、前記第2オペランド信号を受信し、受信した前記第2オペランド信号を前記演算部に出力し、

前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記第2オペランド信号を前記第1オペランド制御部に出力し、前記第1オペランド制御部が出力した前記第1オペランド信号を受信し、受信した前記第1オペランド信号を前記演算部に出力し、

前記命令制御部は、受信した前記OPコード信号を記憶するOPコード記憶部を備え、

前記第1オペランド制御部は、受信した前記オペランド信号を記憶する第1オペランド記憶部を備え、

前記第2オペランド制御部は、受信した前記オペランド信号を記憶する第2オペランド記憶部を備え、

前記NOP検出部は、前記NOP状態を検出したことを示すNOP検出信号を記憶する第1NOP記憶部を備え、

前記演算部は、前記演算結果データを記憶する第1演算結果記憶部を備え、

前記NOP検出部が前記NOP状態を検出した第1のクロックサイクルにおいて、

前記NOP検出部は、前記第1NOP記憶部に前記NOP検出信号を記憶し、前記制御信号を前記命令制御部と前記第1オペランド制御部及び前記第2オペランド制御部に出力し、

前記命令制御部は、直前に受信した前記OPコード信号を前記OPコード記憶部に記憶し、前記OPコード記憶部に記憶された前記OPコード信号を前記演算部に出力し、

前記第1オペランド制御部は、前記第2オペランド制御部から受信した前記第2オペランド信号を前記第1オペランド記憶部に記憶し、前記第1オペランド記憶部に記憶された前記第2オペランド信号を前記演算部に出力し、

前記第2オペランド制御部は、前記第1オペランド制御部から受信した前記第1オペランド信号を前記第2オペランド記憶部に記憶し、前記第2オペランド記憶部に記憶された前記第1オペランド信号を前記演算部に出力し、

前記演算部は、求めた前記演算結果データを前記第1演算結果記憶部に記憶する、ことを特徴とする。

【0011】

上記目的を達成するため、本発明の第3の観点に係るエラー検出方法は、
演算装置に有効な演算命令が入力されていないNOP状態の検出に従って、受信する入力信号を制御する制御信号を出力するNOP検出ステップと、

前記NOP検出ステップで出力した前記制御信号に従って、試験演算用の被演算データであるオペランド信号を受信し、受信した前記オペランド信号を出力するオペランド制御ステップと、

前記NOP検出ステップで出力した前記制御信号に従って、前記被演算データとペアの演算命令であるOPコード信号を受信し、受信した前記OPコード信号を出力する命令制御ステップと、

前記命令制御ステップで出力した前記OPコード信号である演算命令に従って、前記オペランド制御ステップで出力した前記オペランド信号である被演算データに対する演算処

10

20

30

40

50

理を実行し、求めた演算結果データを出力する演算ステップと、

前記演算ステップで出力した前記演算結果データに基づいて、エラーが発生したか否かを判別するエラー検出ステップと、を備え、

前記演算ステップでは、前記NOP検出ステップで前記NOP状態を検出した場合、前記命令制御ステップで直前に受信した前記OPコード信号と前記オペランド制御ステップで直前に受信した前記オペランド信号とに基づいて前記演算処理を実行し、

前記エラー検出ステップでは、前記演算ステップで直前に求めた前記演算結果データと前記NOP状態を検出した際に求めた前記演算結果データとを比較し、それぞれが異なる場合にエラーが発生したと判別し、

前記オペランド制御ステップは、第1オペランド制御ステップと、第2オペランド制御ステップと、を含み、

前記第1オペランド制御ステップでは、

前記NOP検出ステップで前記NOP状態を検出していない場合、第1オペランド信号を受信し、

前記NOP検出ステップで前記NOP状態を検出した場合、直前に受信した前記第1オペランド信号を出力し、前記第2オペランド制御ステップで出力した第2オペランド信号を受信し、

前記第2オペランド制御ステップでは、

前記NOP検出ステップで前記NOP状態を検出していない場合、前記第2オペランド信号を受信し、

前記NOP検出ステップで前記NOP状態を検出した場合、直前に受信した前記第2オペランド信号を出力し、前記第1オペランド制御ステップで出力した前記第1オペランド信号を受信し、

前記演算ステップでは、

前記NOP検出ステップで前記NOP状態を検出していない場合、前記第1オペランド制御ステップで受信した前記第1オペランド信号と、前記第2オペランド制御ステップで受信した前記第2オペランド信号と、に基づいて前記演算処理を実行し、

前記NOP検出ステップで前記NOP状態を検出した場合、前記第1オペランド制御ステップで受信した前記第2オペランド信号と、前記第2オペランド制御ステップで受信した前記第1オペランド信号と、に基づいて前記演算処理を実行する、

ことを特徴とする。

上記目的を達成するため、本発明の第4の観点に係るエラー検出方法は、

演算装置に有効な演算命令が入力されていないNOP状態の検出に従って、受信する入力信号を制御する制御信号を出力するNOP検出ステップと、

前記NOP検出ステップで出力した前記制御信号に従って、試験演算用の被演算データであるオペランド信号を受信し、受信した前記オペランド信号を出力するオペランド制御ステップと、

前記NOP検出ステップで出力した前記制御信号に従って、前記被演算データとペアの演算命令であるOPコード信号を受信し、受信した前記OPコード信号を出力する命令制御ステップと、

前記命令制御ステップで出力した前記OPコード信号である演算命令に従って、前記オペランド制御ステップで出力した前記オペランド信号である被演算データに対する演算処理を実行し、求めた演算結果データを出力する演算ステップと、

前記演算ステップで出力した前記演算結果データに基づいて、エラーが発生したか否かを判別するエラー検出ステップと、を備え、

前記オペランド制御ステップは、第1オペランド制御ステップと、第2オペランド制御ステップと、を含み、

前記第1オペランド制御ステップでは、

前記NOP検出ステップで前記NOP状態を検出していない場合、第1オペランド信号を受信し、

10

20

30

40

50

前記NOP検出ステップで前記NOP状態を検出した場合、直前に受信した前記第1オペランド信号を出力し、前記第2オペランド制御ステップで出力した第2オペランド信号を受信し、

前記第2オペランド制御ステップでは、

前記NOP検出ステップで前記NOP状態を検出していない場合、前記第2オペランド信号を受信し、

前記NOP検出ステップで前記NOP状態を検出した場合、直前に受信した前記第2オペランド信号を出力し、前記第1オペランド制御ステップで出力した前記第1オペランド信号を受信し、

前記演算ステップでは、

前記NOP検出ステップで前記NOP状態を検出していない場合、前記第1オペランド制御ステップで受信した前記第1オペランド信号と、前記第2オペランド制御ステップで受信した前記第2オペランド信号と、に基づいて前記演算処理を実行し、

前記NOP検出ステップで前記NOP状態を検出した場合、前記第1オペランド制御ステップで受信した前記第2オペランド信号と、前記第2オペランド制御ステップで受信した前記第1オペランド信号と、に基づいて前記演算処理を実行し、

前記NOP検出ステップで前記NOP状態を検出した第1のクロックサイクルにおいて

前記NOP検出ステップでは、前記NOP状態を検出したことを示すNOP検出信号を記憶し、前記制御信号を出力し、

前記命令制御ステップでは、前記NOP検出ステップで出力した前記制御信号に従って直前に受信した前記OPコード信号を記憶し、

前記第1オペランド制御ステップでは、前記NOP検出ステップで出力した前記制御信号に従って前記第2オペランド制御ステップで受信した前記第2オペランド信号を記憶し

前記第2オペランド制御ステップでは、前記NOP検出ステップで出力した前記制御信号に従って前記第1オペランド制御ステップで受信した前記第1オペランド信号を記憶し

前記演算ステップでは、前記命令制御ステップで記憶した前記OPコード信号と、前記第2オペランド制御ステップで記憶した前記第1オペランド信号と、前記第1オペランド制御ステップで記憶した前記第2オペランド信号と、に基づいて求めた前記演算結果データを記憶する、

ことを特徴とする。

【発明の効果】

【0012】

本発明によれば、エラーの検出効果を高くすることができる。

【図面の簡単な説明】

【0013】

【図1】本発明の第1実施形態に係る演算装置の構成例を示すブロック図である。

【図2】本発明の第1実施形態に係る演算装置の詳細な構成例を示す回路図である。

【図3】本発明の第1実施形態に係る演算装置の動作例のフローを示すタイムチャートである。

【図4】本発明の第2実施形態に係る演算装置の構成例を示すブロック図である。

【図5】本発明の第2実施形態に係る演算装置の詳細な構成例を示す回路図である。

【図6】本発明の第2実施形態に係る演算装置の動作例のフローを示すタイムチャートである。

【図7】本発明の第3実施形態に係る演算装置の詳細な構成例を示す回路図である。

【図8】本発明の第3実施形態に係る演算装置の動作例のフローを示すタイムチャートである。

【図9】本発明の各実施形態に係る演算装置のハードウェア構成の一例を示すブロック図

10

20

30

40

50

である。

【発明を実施するための形態】

【0014】

本発明の実施形態に係る演算装置について、図面を参照して説明する。

【0015】

[第1実施形態]

本実施形態に係る演算装置1は、図1に示すように、命令制御部100と、第1オペランド制御部200と、第2オペランド制御部300と、演算部400と、NOP(No Operation)検出部500と、エラー検出部600と、を備える。

【0016】

命令制御部100は、演算部400に対する入力信号であるOP(Operation)コード信号を外部から受信し、OPコード信号を演算部400とNOP検出部500に出力する。さらに、命令制御部100は、OPコード信号を再帰的に自身に出力する。

【0017】

なお、OPコード信号とは、演算部400が演算命令を実行する際に必要な全ての制御信号を含む信号である。例えば、有効な演算命令であるか否かを示すバリッド信号や、演算命令の種別を識別する信号、浮動小数点演算である場合の丸め制御信号等である。

【0018】

第1オペランド制御部200は、入力信号である被演算データとなる第1オペランド信号を外部から受信し、第1オペランド信号を演算部400に出力する。また、第1オペランド制御部200は、第1オペランド信号を第2オペランド制御部300に出力する。

【0019】

第2オペランド制御部300は、入力信号である被演算データとなる第2オペランド信号を外部から受信し、第2オペランド信号を演算部400に出力する。また、第2オペランド制御部300は、第2オペランド信号を第1オペランド制御部200に出力する。

【0020】

演算部400は、命令制御部100が出力したOPコード信号と、第1オペランド制御部200と第2オペランド制御部300が出力した第1オペランド信号と第2オペランド信号と、を受信する。演算部400は、OPコード信号が示す演算命令に従って演算処理を行い、演算結果のデータをエラー検出部600に出力する。なお、後述する動作により、演算部400は、タイミングをずらして被演算データを入れ替えて演算処理を実行する。この演算結果のデータも、エラー検出部600に出力される。

【0021】

NOP検出部500は、命令制御部100が出力したOPコード信号を受信し、NOP状態を検出する。NOP検出部500は、NOP検出信号をエラー検出部600に出力し、また、NOP検出信号を命令制御部100、第1オペランド制御部200、第2オペランド制御部300の制御信号として出力する。なお、NOP状態とは、OPコード信号が無効である状態のことである。

【0022】

エラー検出部600は、演算部400が出力した二つの演算結果のデータを比較し、NOP検出部500が出力したNOP検出信号が示す値と、比較結果を示す値とを基に、エラーが発生しているか否かを検出する。また、エラー検出部600は、演算部400が出力した演算結果のデータを、外部に出力する。

【0023】

以上が、演算装置1の構成である。

【0024】

続いて、演算装置1の詳細な構成の一例について説明する。

【0025】

命令制御部100は、図2に示すように、2入力セレクタ110と、OPコードレジスタ120と、から構成される。入力信号であるOPコード信号は、2入力セレクタ110

10

20

30

40

50

を介してOPコードレジスタ120に記憶される。2入力セクタ110は、一方の入力を外部からの入力信号であるOPコード信号とし、他方の入力をOPコードレジスタ120から出力されるOPコード信号とする。他方の入力が有効になった場合、OPコードレジスタ120の値が保持されることになる。

【0026】

第1オペランド制御部200は、2入力セクタ210と、第1オペランドレジスタ220と、から構成される。入力信号である第1オペランド信号は、2入力セクタ210を介して第1オペランドレジスタ220に記憶される。

【0027】

第2オペランド制御部300は、2入力セクタ310と、第2オペランドレジスタ320と、から構成される。入力信号である第2オペランド信号は、2入力セクタ310を介して第2オペランドレジスタ320に記憶される。

【0028】

第1オペランドレジスタ220に記憶される第1オペランド信号は、第2オペランド制御部300の2入力セクタ310に出力される。また、第2オペランドレジスタ320に記憶される第2オペランド信号は、第1オペランド制御部200の2入力セクタ210に出力される。

【0029】

すなわち、第1オペランド制御部200の2入力セクタ210は、一方の入力を第1オペランド信号とし、他方の入力を第2オペランド信号とする。また、第2オペランド制御部300の2入力セクタ310は、一方の入力を第2オペランド信号とし、他方の入力を第1オペランド信号とする。

【0030】

演算部400は、算術演算器410と、第1演算結果レジスタ420と、第2演算結果レジスタ430と、から構成される。算術演算器410は、OPコードレジスタ120に記憶されるOPコード信号、第1オペランドレジスタ220と第2オペランドレジスタ320に記憶される二つのオペランド信号、を入力とし、OPコード信号に基づいて演算処理を実行する。第1演算結果レジスタ420は、算術演算器410が出力した演算結果のデータを記憶し、第2演算結果レジスタ430は、第1演算結果レジスタ420が出力した演算結果のデータを記憶する。なお、算術演算器410が実行する演算処理は、加算、乗算、整数加算、整数乗算、浮動小数点加算、浮動小数点乗算等である。

【0031】

NOP検出部500は、NOP検出器510と、第1NOPレジスタ520と、第2NOPレジスタ530と、から構成される。NOP検出器510は、一方の入力を入力信号であるOPコード信号とし、他方の入力をOPコードレジスタ120に記憶されるOPコード信号とする。NOP検出器510が出力するNOP検出信号は、2入力セクタ110、210、310の制御信号として出力される。第1NOPレジスタ520は、NOP検出器510が出力したNOP検出信号が示す値を記憶する。第2NOPレジスタ530は、第1NOPレジスタ520が出力した値を記憶する。

【0032】

NOP検出器510は、一方の入力、すなわち入力信号であるOPコード信号が無効であり、他方の入力、すなわちOPコードレジスタ120に記憶されているOPコード信号が有効であるタイミングを検出する。すなわち、NOP検出器510は、直前に演算命令が入力されており、かつ、現在演算命令が入力されていないタイミングを検出する。

【0033】

エラー検出部600は、比較器610と、論理積回路620と、から構成される。比較器610は、第1演算結果レジスタ420に記憶された演算結果のデータと、第2演算結果レジスタ430に記憶された演算結果のデータと、を比較する。論理積回路620は、第2NOPレジスタ530に記憶されるNOP検出信号が示す値と比較器610が出力した比較結果を示す値との論理積を出力する。この出力結果が、エラー検出信号となる。

10

20

30

40

50

【 0 0 3 4 】

以上が、演算装置 1 の詳細な構成である。

【 0 0 3 5 】

続いて、演算装置 1 の具体的な動作の一例について、タイミングチャートを参照して具体的に説明する。

【 0 0 3 6 】

図 3 に示すように、クロックサイクル T 1 では、有効な演算命令の OP コード MUL (乗算) と、その演算処理に対する第 1 オペランド Y 0 と、第 2 オペランド Z 0 と、が入力されている。

【 0 0 3 7 】

クロックサイクル T 2 では、有効な演算命令の OP コード ADD (加算) と、その演算処理に対する第 1 オペランド Y 1 と、第 2 オペランド Z 1 と、が入力されている。また、クロックサイクル T 1 で入力された OP コード MUL が、OP コードレジスタ 1 2 0 に記憶され、第 1 オペランド Y 0 が、第 1 オペランドレジスタ 2 2 0 に記憶され、第 2 オペランド Z 0 が、第 2 オペランドレジスタ 3 2 0 に記憶されている。

【 0 0 3 8 】

クロックサイクル T 3 では、有効な演算命令が存在しないため、NOP 検出器 5 1 0 は NOP 状態を検出している。また、クロックサイクル T 1 で入力された演算命令に対する演算処理が終了し、第 1 演算結果レジスタ 4 2 0 は、演算結果 X 0 を記憶し、演算結果として X 0 が出力されている。また、クロックサイクル T 2 で入力された OP コード ADD が、OP コードレジスタ 1 2 0 に記憶され、第 1 オペランド Y 1 が、第 1 オペランドレジスタ 2 2 0 に記憶され、第 2 オペランド Z 1 が、第 2 オペランドレジスタ 3 2 0 に記憶されている。

【 0 0 3 9 】

クロックサイクル T 4 では、有効な演算命令の OP コード ADD と、その演算処理に対する第 1 オペランド Y 2 と、第 2 オペランド Z 2 と、が入力されている。また、クロックサイクル T 2 で入力された演算命令に対する演算処理が終了し、第 1 演算結果レジスタ 4 2 0 は、演算結果 X 1 を記憶し、演算結果として X 1 が出力されている。このとき、第 2 演算結果レジスタ 4 3 0 は、クロックサイクル T 1 で入力された演算命令の演算結果 X 0 を記憶している。クロックサイクル T 4 では、有効な演算命令が入力されているため、NOP 検出器 5 1 0 は NOP 状態を検出しないが、第 1 NOP レジスタ 5 2 0 は、NOP 状態を示す値 (例えば真) を記憶している。

【 0 0 4 0 】

ここで、クロックサイクル T 3 で出力された NOP 検出信号は、2 入力セレクタ 1 1 0、2 1 0、3 1 0 に出力され、2 入力セレクタ 1 1 0、2 1 0、3 1 0 は、入力信号を切り替える。すなわち、2 入力セレクタ 1 1 0 は、OP コードレジスタ 1 2 0 に記憶されている OP コードを入力とし、2 入力セレクタ 2 1 0 は、第 2 オペランドレジスタ 3 2 0 に記憶されている第 2 オペランドを入力とし、2 入力セレクタ 3 1 0 は、第 1 オペランドレジスタ 2 2 0 に記憶されている第 1 オペランドを入力とする。

【 0 0 4 1 】

このため、OP コードレジスタ 1 2 0 は、クロックサイクル T 3 で記憶された OP コードと同じ OP コード ADD を記憶し、第 1 オペランドレジスタ 2 2 0 は、クロックサイクル T 3 で第 2 オペランドレジスタ 3 2 0 に記憶された第 2 オペランド Z 1 を記憶し、第 2 オペランドレジスタ 3 2 0 は、クロックサイクル T 3 で第 1 オペランドレジスタ 2 2 0 に記憶された第 1 オペランド Y 1 を記憶する。

【 0 0 4 2 】

すなわち、クロックサイクル T 4 では、第 1 オペランドレジスタ 2 2 0 と第 2 オペランドレジスタ 3 2 0 に記憶されている値は、NOP 状態を検出したクロックサイクル T 3 で記憶されていた値をそれぞれ入れ替えたデータとなる。

【 0 0 4 3 】

なお、クロックサイクルT4では、NOP状態を検出していないため、2入力セレクタ110、210、310の入力は元に戻る。

【0044】

クロックサイクルT5では、有効な演算命令のOPコードMULと、その演算処理に対する第1オペランドY3と、第2オペランドZ3と、が入力されている。また、OPコードレジスタ120は、クロックサイクルT4で入力されたOPコードADDを記憶し、第1オペランドレジスタ220は、クロックサイクルT4で入力された第1オペランドY2を記憶し、第2オペランドレジスタ320は、クロックサイクルT4で入力された第2オペランドZ2を記憶している。クロックサイクルT4で第1演算結果レジスタ420に記憶された演算結果X1は、第2演算結果レジスタ430に記憶されている。

10

【0045】

また、クロックサイクルT5では、上述のようにクロックサイクルT4で入れ替えたオペランドの演算結果X1'が、第1演算結果レジスタ420に記憶されている。また、クロックサイクルT4で第1NOPレジスタ520に記憶されたNOP検出信号は、クロックサイクルT5では第2NOPレジスタ530に記憶されている。この第2NOPレジスタ530に記憶されているNOP検出信号は、比較器610のイネーブル信号となる。

【0046】

比較器610は、第1演算結果レジスタ420に記憶されている演算結果X1'と、第2演算結果レジスタ430に記憶されている演算結果X1とを比較し、仮に両値が不一致であった場合、論理積回路620によるイネーブル化を経て、エラー検出信号が出力される。

20

【0047】

このように、演算装置1は、有効な演算命令が入力されていないタイミングを検出して試験演算命令を実行し、以下の式で表される比較を行い、エラーの検出を行う。

$$Y_n + Z_n = Z_n + Y_n$$

又は

$$Y_n \times Z_n = Z_n \times Y_n$$

なお、Yn、Znは、NOP状態を検出する直前のクロックサイクルにおけるオペランドである。

【0048】

クロックサイクルT6以降は、上述のような動作を実行し、同様にエラーを検出する。

30

【0049】

なお、NOP検出時に入れ替えたデータに対する演算結果は、演算命令に対する出力結果ではないため、演算装置1の外部でこの値を無視する必要がある。また、演算装置1内にこのような値を無視する機構を配置することも可能である。

【0050】

以上が、演算装置1の動作の一例である。

【0051】

以上説明したように、本実施形態に係る演算装置1は、有効な命令がないタイミングを検出して直前の演算命令に対するオペランドを入れ替えて演算処理を実行することで、試験命令や試験データを限定することなくエラーを検出することができる。

40

【0052】

また、本実施形態に係る演算装置1は、装置内に算術演算器410が一つしかない場合でも、演算器全体をエラー検出の対象とすることができ、エラー検出効果を高くすることができる。

【0053】

また、本実施形態に係る演算装置1は、エラーを検出するための回路として、入力信号に対するセレクタ、演算結果を格納するレジスタ、演算結果を比較するための比較器、等を追加する程度であり、いずれも算術演算器410の外部への追加が可能であるため、算術演算器410内部のクリティカルパスに影響を与えない。よって、本実施形態に係る演

50

算装置 1 は、回路規模や信号遅延等のインパクトを小さくすることができる。

【 0 0 5 4 】

[第 2 実施形態]

本実施形態に係る演算装置 2 は、図 4 に示すように、第 1 実施形態に係る演算装置 1 の構成に加え、減算検出部 7 0 0 と、符号反転部 8 0 0 と、否定部 9 0 0 と、を更に備える。演算装置 2 は、第 1 実施形態に係る演算装置 1 が検出できるエラーに加え、整数減算や浮動小数点減算等の演算処理に対してもエラーを検出することができ、さらに試験演算結果のデータをマスクすることができる。なお、第 1 実施形態に係る演算装置 1 と同様の機能を実現する要素については、同一の符号を付し、説明を省略する。

【 0 0 5 5 】

減算検出部 7 0 0 は、命令制御部 1 0 0 から出力した O P コード信号を受信し、O P コード信号が減算命令であるか否かを検出する。減算検出部 7 0 0 は、減算検出信号を符号反転部 8 0 0 に出力する。

【 0 0 5 6 】

符号反転部 8 0 0 は、減算検出部 7 0 0 が出力した減算検出信号と演算部 4 0 0 が出力した演算結果のデータを受信し、受信した減算検出信号が減算を示している場合、すなわち、O P コード信号が減算命令であった場合、演算結果のデータの符号を反転させる。符号反転部 8 0 0 は、符号反転後の演算結果のデータをエラー検出部 6 0 0 に出力する。

【 0 0 5 7 】

なお、符号反転とは、整数減算の場合は 2 の補数を求める処理のことであり、浮動小数点減算の場合は最上位ビットである符号ビットを反転させる処理のことである。

【 0 0 5 8 】

否定部 9 0 0 は、N O P 検出部 5 0 0 が出力した N O P 検出信号を否定し、エラー検出部 6 0 0 に出力する。N O P 検出信号の否定とは、N O P 検出信号が示す値を反転することである。例えば、検出信号が 1 (真) を示す場合、否定部 9 0 0 は、0 (偽) として出力し、検出信号が 0 (偽) を示す場合、否定部 9 0 0 は、1 (真) として出力する。この出力は、試験演算結果の出力をマスクする際に用いられる。

【 0 0 5 9 】

以上が、演算装置 2 の構成である。

【 0 0 6 0 】

続いて、演算装置 2 の詳細な構成の一例について説明する。

【 0 0 6 1 】

減算検出部 7 0 0 は、図 5 に示すように、減算検出器 7 1 0 と、減算レジスタ 7 2 0 と、から構成される。減算検出器 7 1 0 は、O P コードレジスタ 1 2 0 に記憶されている O P コードを受信し、受信した O P コードが減算命令であるか否かを示す減算検出信号を減算レジスタ 7 2 0 に記憶する。減算レジスタ 7 2 0 に記憶された減算検出信号が示す値は、符号反転器 8 1 0 に出力される。

【 0 0 6 2 】

符号反転部 8 0 0 は、符号反転器 8 1 0 から構成され、減算レジスタ 7 2 0 に記憶された減算検出信号と第 1 演算結果レジスタ 4 2 0 に記憶された演算結果のデータを受信する。符号反転器 8 1 0 は、減算レジスタ 7 2 0 に記憶された減算検出信号が減算命令であることを示す値であった場合、受信した演算結果のデータの符号を反転し、符号反転した演算結果のデータを第 2 演算結果レジスタ 4 3 0 に記憶する。

【 0 0 6 3 】

否定部 9 0 0 は、N O T ゲート 9 1 0 から構成される。N O T ゲート 9 1 0 は、第 2 N O P レジスタ 5 3 0 に記憶された N O P 検出信号を受信し、受信した N O P 検出信号を否定して論理積回路 6 3 0 に出力する。論理積回路 6 3 0 は、N O T ゲート 9 1 0 が出力した否定信号と第 1 演算結果レジスタ 4 2 0 が記憶した演算結果を示すデータを受信し、両値の論理積を出力する。このため、第 2 N O P レジスタ 5 3 0 に N O P を示す値が記憶されている場合、その値が否定されて論理積が求められるため、試験演算命令の演算結果を

10

20

30

40

50

マスクすることができる。

【 0 0 6 4 】

以上が、演算装置 2 の詳細な構成の一例である。

【 0 0 6 5 】

続いて、演算装置 2 の動作の一例について、タイミングチャートを参照して具体的に説明する。

【 0 0 6 6 】

図 6 に示すように、クロックサイクル T 2 では、有効な演算命令である O P コード S U B (減算) と、その演算処理に対する第 1 オペランド Y 1 と、第 2 オペランド Z 1 と、が
10
入力されている。また、クロックサイクル T 3 では、有効な演算命令が入力されず、N O P 検出器 5 1 0 は、N O P を検出している。このため、第 1 実施形態と同様に、クロック
サイクル T 3 では、クロックサイクル T 2 で入力されたオペランドを入れ替えて試験演算
命令を実行している。

【 0 0 6 7 】

クロックサイクル T 3 では、減算検出器 7 1 0 は、O P コードが減算命令であることを
示す減算検出信号を出力し、減算レジスタ 7 2 0 に記憶している。これと同時に、N O P
検出器 5 1 0 も、N O P 検出信号を出力し、クロックサイクル T 4 で第 1 N O P レジスタ
5 2 0 に記憶されている。また、クロックサイクル T 4 では、第 1 演算結果レジスタ 4 2
0 に、クロックサイクル T 2 で入力されたオペランド Y 1 、 Z 1 の減算命令に対する演算
20
結果 X 1 が記憶されている。

【 0 0 6 8 】

クロックサイクル T 4 では、減算レジスタ 7 2 0 に O P コードが減算命令であることを
示す値が記憶されているため、符号反転器 8 1 0 は、第 1 演算結果レジスタ 4 2 0 の出力
(X 1) に対して符号反転処理を実行する。よって、クロックサイクル T 5 では、符号反
転器 8 1 0 は、符号反転させた演算結果 X 1 を、第 2 演算結果レジスタ 4 3 0 に記憶する
。また、第 1 演算結果レジスタ 4 2 0 は、クロックサイクル T 2 で入れ替えられたオペラ
ンドに対する演算結果 X 1 ' を記憶する。

【 0 0 6 9 】

クロックサイクル T 5 では、比較器 6 1 0 は、第 1 演算結果レジスタ 4 2 0 が記憶して
いる演算結果 X 1 ' と、第 2 演算結果レジスタ 4 3 0 が記憶している符号反転させた演算
30
結果とを比較する。論理積回路 6 2 0 は、比較結果のデータと第 2 N O P レジスタ 5 3 0
が出力する N O P 検出信号との論理積を求め、これをエラー検出信号として出力する。

【 0 0 7 0 】

クロックサイクル T 5 では、論理積回路 6 3 0 は、第 1 演算結果レジスタ 4 2 0 が出力
するデータと、第 2 N O P レジスタ 5 3 0 が出力する否定データとの論理積を求める。す
なわち、クロックサイクル T 5 では、第 2 N O P レジスタ 5 3 0 は N O P 状態を示す値を
記憶しているため、論理積回路 6 3 0 によって試験演算結果 X 1 ' がマスクされる。第 2
N O P レジスタ 5 3 0 は、演算装置 2 が試験演算処理を実行するタイミングのみで N O P
状態を示す値を記憶している。このため、試験演算結果はマスクされるが、通常の演算結
40
果はマスクされることはない。

【 0 0 7 1 】

このように、演算装置 2 は、第 1 実施形態と同様に、有効な演算命令が入力されてい
ないタイミングを検出して試験演算命令を実行し、第 1 実施形態に加え、以下の式で表さ
れる比較を行い、エラーの検出を行う。

$$Y_n - Z_n = Z_n - Y_n$$

なお、Y_n、Z_nは、N O P 状態を検出する直前のクロックサイクルにおけるオペラ
ンドである。

【 0 0 7 2 】

クロックサイクル T 6 以降も、上述のような動作を実行し、同様にエラーを検出する。

【 0 0 7 3 】

10

20

30

40

50

以上が、演算装置 2 の動作の一例である。

【 0 0 7 4 】

以上説明したように、本実施形態に係る演算装置 2 は、第 1 実施形態に係る演算装置 1 が奏する効果に加え、整数減算や浮動小数点減算に対してもエラーを検出することが可能であり、更に、試験演算命令に対する演算結果をマスクすることができる。

【 0 0 7 5 】

演算装置 2 内で試験演算命令に対する演算結果をマスクすることができるため、外部装置でこのような試験演算命令に対する演算結果を考慮する必要がない。

【 0 0 7 6 】

[第 3 実施形態]

本実施形態に係る演算装置 3 は、図 7 に示すように、第 1 実施形態に係る演算装置 1 の構成と同様であるが、詳細な構成が異なり、算術演算器 4 1 0 が 3 T のパイプライン構造となっている。なお、第 1 実施形態に係る演算装置 1 と同様の機能を実現する要素については、同一の符号を付し、説明を省略する。

【 0 0 7 7 】

算術演算器 4 1 0 は、内部に第 1 パイプラインレジスタ 4 4 0 と、第 2 パイプラインレジスタ 4 5 0 と、を備える。

【 0 0 7 8 】

このような構成の場合、NOP 検出信号を記憶するレジスタの段数を、パイプラインの段数と合わせれば良い。よって、NOP 検出部 5 0 0 は、第 3 NOP レジスタ 5 4 0 と、第 4 NOP レジスタ 5 5 0 と、を更に備える。

【 0 0 7 9 】

以上が、演算装置 3 の詳細な構成の一例である。

【 0 0 8 0 】

続いて、演算装置 3 の動作の一例について、タイミングチャートを参照して具体的に説明する。

【 0 0 8 1 】

図 8 に示すように、クロックサイクル T 2 では、有効な演算命令である OP コード ADD と、その演算命令に対する第 1 オペランド Y 1 と、第 2 オペランド Z 1 と、が入力される。また、クロックサイクル T 3 では、有効な命令が存在していない。クロックサイクル T 3 では、第 1 オペランド Y 1 と第 2 オペランド Z 1 に対する演算処理が実行されるが、算術演算器 4 1 0 がパイプライン構造であるため、演算結果 X 1 は、クロックサイクル T 6 で第 1 演算結果レジスタ 4 2 0 に記憶される。その後、演算結果 X 1 は、クロックサイクル T 7 で第 2 演算結果レジスタ 4 3 0 に記憶され、オペランドを入れ替えた演算結果 X 1 ' との比較が行われる。

【 0 0 8 2 】

クロックサイクル T 3 では、有効な演算命令が入力されなかったため、NOP 検出器 5 1 0 は、NOP 検出信号を出力する。これにより、クロックサイクル T 4 では、第 1 NOP レジスタ 5 2 0 は、NOP を示す値を記憶する。第 2 NOP レジスタ 5 3 0 は、クロックサイクル T 5 にて、第 1 NOP レジスタが記憶している値を記憶する。第 3 NOP レジスタ 5 4 0、第 4 NOP レジスタ 5 5 0 も同様に、クロックサイクルを 1 つずつずらして NOP 状態を示す値が記憶される。

【 0 0 8 3 】

NOP 状態を示す値を記憶するレジスタを多段構成にすることで、最後の第 4 NOP レジスタ 5 5 0 は、演算結果を比較するタイミングと同じタイミングでイネーブル信号を出力することができ、エラー検出部 6 0 0 は、エラーを検出することができる。

【 0 0 8 4 】

このように、演算装置 3 は、第 1 実施形態と同様に、算術演算器 4 1 0 がパイプライン構成であっても、有効な演算命令が入力されていないタイミングを検出して試験演算命令を実行することができる。

10

20

30

40

50

【 0 0 8 5 】

クロックサイクル T 6 以降も、上述のような動作を実行し、同様にエラーを検出する。

【 0 0 8 6 】

以上が、演算装置 3 の動作の一例である。

【 0 0 8 7 】

以上説明したように、本実施形態に係る演算装置 3 は、第 1 実施形態に係る演算装置 1 が奏する効果に加え、算術演算器 4 1 0 がパイプライン構成であっても、エラーを検出することができる。

【 0 0 8 8 】

[変形例]

本発明は、上記実施形態に限定されず、種々の変形例及び応用が可能である。上記実施形態では、デジタル回路で構成される演算装置について説明したが、これに限られず、コンピュータで構成することも可能である。

【 0 0 8 9 】

この場合、コンピュータで構成される演算装置 4 は、図 9 に示すように、制御部 1 1 と、主記憶部 1 2 と、外部記憶部 1 3 と、操作部 1 4 と、表示部 1 5 と、送受信部 1 6 と、から構成される。主記憶部 1 2 と、外部記憶部 1 3 と、操作部 1 4 と、表示部 1 5 と、送受信部 1 6 とは、いずれも内部バス 1 0 を介して制御部 1 1 と接続している。

【 0 0 9 0 】

送受信部 1 6 は、シリアルインタフェースまたは LAN (Local Area Network) インタフェース等から構成されている。送受信部 1 6 は、シリアルインタフェースやネットワークを介して送信された情報等を受信する。また、送受信部 1 6 は、受信した情報等を、制御部 1 1 に供給する。

【 0 0 9 1 】

外部記憶部 1 3 は、フラッシュメモリ、ハードディスク、DVD - RAM (Digital Versatile Disc Random - Access Memory)、DVD - RW (Digital Versatile Disc Rewritable) 等の不揮発性メモリから構成され、各処理を制御部 1 1 に行わせるためのプログラム 1 9 を予め記憶し、また、制御部 1 1 の指示に従って、外部記憶部 1 3 が記憶するデータを制御部 1 1 に供給し、制御部 1 1 から供給されたデータを記憶する。

【 0 0 9 2 】

主記憶部 1 2 は、RAM (Random - Access Memory) 等から構成され、外部記憶部 1 3 に記憶されているプログラム 1 9 を読み込み、さらに制御部 1 1 の作業領域としても使用される。

【 0 0 9 3 】

制御部 1 1 は、CPU (Central Processing Unit) 等から構成され、外部記憶部 1 3 に記憶されているプログラム 1 9 に従って、後述する各処理を実行する。

【 0 0 9 4 】

操作部 1 4 は、キーボードやマウス、操作キーやタッチパネルなどの入力デバイス等と、入力デバイス等を内部バス 1 0 に接続するインタフェース装置から構成されている。操作部 1 4 は、ユーザの指示を処理する機能を備え、ユーザの操作によって入力されたデータを制御部 1 1 に供給する。

【 0 0 9 5 】

表示部 1 5 は、LCD (Liquid Crystal Display) または有機 EL (Electro Luminescence) 等から構成されている。表示部 1 5 は、各データや情報等を表示する。

【 0 0 9 6 】

上述のような一般的な情報処理装置に命令制御部 1 0 0、第 1 オペランド制御部 2 0 0、第 2 オペランド制御部 3 0 0、演算部 4 0 0、NOP 検出部 5 0 0、エラー検出部 6 0

10

20

30

40

50

0、減算検出部700、符号反転部800、否定部900、の各処理を実行させることで、演算装置4は、上述の各実施形態に係る演算装置1～3と同等の機能、効果を実現することができる。

【0097】

なお、本発明は、本発明の広義の趣旨及び範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明を説明するためのものであり、本発明の範囲を限定するものではない。つまり、本発明の範囲は、実施形態ではなく、特許請求の範囲によって示される。そして、特許請求の範囲内及びそれと同等の発明の意義の範囲内で施される様々な変形が、本発明の範囲内とみなされる。

【0098】

上記実施形態の一部又は全ては、以下の付記のようにも記載されうるが、以下には限られない。

【0099】

(付記1)

演算装置に有効な演算命令が入力されていないNOP状態の検出に従って、受信する入力信号を制御する制御信号を出力するNOP検出部と、

前記NOP検出部が出力した前記制御信号に従って、演算命令を示すOPコード信号を受信し、受信した前記OPコード信号を出力する命令制御部と、

前記NOP検出部が出力した前記制御信号に従って、被演算データを示すオペランド信号を受信し、受信した前記オペランド信号を出力するオペランド制御部と、

前記命令制御部が出力した前記OPコード信号が示す演算命令に従って、前記オペランド制御部が出力した前記オペランド信号が示す被演算データに対する演算処理を実行し、求めた演算結果データを出力する演算部と、

前記演算部が出力した前記演算結果データに基づいて、エラーが発生したか否かを判別するエラー検出部と、を備える、

ことを特徴とする演算装置。

【0100】

(付記2)

前記命令制御部は、前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記OPコード信号を前記演算部へ出力し、

前記オペランド制御部は、前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記オペランド信号を前記演算部へ出力し、

前記エラー検出部は、前記演算部が直前に求めた前記演算結果データと前記NOP状態を検出した際に求めた前記演算結果データとを比較し、それぞれが異なる場合にエラーが発生したと判断する、

ことを特徴とする付記1に記載の演算装置。

【0101】

(付記3)

前記オペランド制御部は、第1オペランド制御部と、第2オペランド制御部と、を備え、

前記第1オペランド制御部は、

前記NOP検出部が前記NOP状態を検出していない場合、第1オペランド信号を受信し、受信した前記第1オペランド信号を前記演算部へ出力し、

前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記第1オペランド信号を前記第2オペランド制御部へ出力し、前記第2オペランド制御部が出力した第2オペランド信号を受信し、受信した前記第2オペランド信号を前記演算部へ出力し、

前記第2オペランド制御部は、

前記NOP検出部が前記NOP状態を検出していない場合、前記第2オペランド信号を受信し、受信した前記第2オペランド信号を前記演算部へ出力し、

前記NOP検出部が前記NOP状態を検出した場合、直前に受信した前記第2オペラン

10

20

30

40

50

ド信号を前記第 1 オペランド制御部に出し、前記第 1 オペランド制御部が出力した前記第 1 オペランド信号を受信し、受信した前記第 1 オペランド信号を前記演算部に出し、

ことを特徴とする付記 1 又は 2 に記載の演算装置。

【 0 1 0 2 】

(付記 4)

前記NOP検出部は、前記NOP状態を検出したことを示すNOP検出信号を前記エラー検出部に出し、

前記エラー検出部は、前記NOP検出信号を受信し、前記NOP検出信号が前記NOP状態を示している場合、かつ、エラーが発生したと判別した場合、エラーが発生したことを示すエラー検出信号を出し、

10

ことを特徴とする付記 1 乃至 3 のいずれか 1 つに記載の演算装置。

【 0 1 0 3 】

(付記 5)

前記OPコード信号が減算命令を示しているか否かを検出する減算検出部と、

前記演算部が求めた前記演算結果データの符号を反転させる符号反転部と、を更に備え、

前記符号反転部は、前記減算検出部が前記減算命令を検出した場合、前記演算部が求めた前記演算結果データの符号を反転し、

前記エラー検出部は、前記演算部が求めた前記演算結果データと、前記符号反転部が符号を反転した前記演算結果データとを比較する、

20

ことを特徴とする付記 1 乃至 4 のいずれか 1 つに記載の演算装置。

【 0 1 0 4 】

(付記 6)

前記NOP検出部が出力した前記NOP検出信号を否定する否定部をさらに備え、

前記否定部は、否定した前記NOP検出信号を前記エラー検出部に出し、

前記エラー検出部は、前記演算部が求めた前記演算結果データと前記否定部が否定して出力した前記NOP検出信号が示す値との論理積を求め、求めた前記論理積を前記演算結果データとして出力する、

ことを特徴とする付記 1 乃至 5 のいずれか 1 つに記載の演算装置。

30

【 0 1 0 5 】

(付記 7)

前記演算部は、パイプライン構成であり、

前記NOP検出部は、前記NOP検出信号が示す値を記憶する記憶部を前記パイプラインの段数に従った数備える、

ことを特徴とする付記 1 乃至 6 のいずれか 1 つに記載の演算装置。

【 0 1 0 6 】

(付記 8)

前記命令制御部は、受信した前記OPコード信号を記憶するOPコード記憶部を備え、

前記第 1 オペランド制御部は、受信した前記オペランド信号を記憶する第 1 オペランド記憶部を備え、

40

前記第 2 オペランド制御部は、受信した前記オペランド信号を記憶する第 2 オペランド記憶部を備え、

前記NOP検出部は、前記NOP検出信号を記憶する第 1 NOP記憶部と、前記第 1 NOP記憶部が記憶している前記NOP検出信号を記憶する第 2 NOP記憶部と、を備え、

前記演算部は、前記演算結果データを記憶する第 1 演算結果記憶部と、前記第 1 演算結果記憶部が記憶している前記演算結果データを記憶する第 2 演算結果記憶部と、を備え、

前記NOP検出部が前記NOP状態を検出した第 1 のクロックサイクルにおいて、

前記NOP検出部は、前記第 1 NOP記憶部に前記NOP検出信号を記憶し、前記制御信号を前記命令制御部と前記第 1 オペランド制御部及び前記第 2 オペランド制御部に出し、

50

し、

前記命令制御部は、直前に受信した前記OPコード信号を前記OPコード記憶部に記憶し、前記OPコード記憶部に記憶された前記OPコード信号を前記演算部に出し、

前記第1オペランド制御部は、前記第2オペランド制御部から受信した前記第2オペランド信号を前記第1オペランド記憶部に記憶し、前記第1オペランド記憶部に記憶された前記第2オペランド信号を前記演算部に出し、

前記第2オペランド制御部は、前記第1オペランド制御部から受信した前記第1オペランド信号を前記第2オペランド記憶部に記憶し、前記第2オペランド記憶部に記憶された前記第1オペランド信号を前記演算部に出し、

前記演算部は、求めた前記演算結果データを前記第1演算結果記憶部に記憶する、
ことを特徴とする付記3に記載の演算装置。

10

【0107】

(付記9)

前記第1のクロックサイクルの次の第2のクロックサイクルにおいて、

前記NOP検出部は、前記第1NOP記憶部に記憶された前記NOP検出信号を前記第2NOP記憶部に記憶し、前記第2NOP記憶部に記憶された前記NOP検出信号を前記エラー検出部に出し、

前記演算部は、前記第1演算結果記憶部に記憶された前記演算結果データを前記第2演算結果記憶部に記憶し、前記命令制御部と前記第1オペランド制御部及び前記第2オペランド制御部の出力信号に従って試験演算結果データを求め、求めた前記試験演算結果データを前記第1演算結果記憶部に記憶し、前記第1演算結果記憶部に記憶された前記試験演算結果データと前記第2演算結果記憶部に記憶された前記演算結果データを前記エラー検出部に出し、

20

前記エラー検出部は、前記演算部が出力した前記試験演算結果データと前記演算結果データとを比較し、両者が異なる値である場合、かつ、前記NOP検出部が出力した前記NOP検出信号が前記NOP状態を示している場合、前記エラー検出信号を出力する、
ことを特徴とする付記8に記載の演算装置。

【0108】

(付記10)

演算装置に有効な演算命令が入力されていないNOP状態の検出に従って、受信する入力信号を制御する制御信号を出力するNOP検出ステップと、

30

前記NOP検出ステップで出力した前記制御信号に従って、演算命令を示すOPコード信号を受信し、受信した前記OPコード信号を出力する命令制御ステップと、

前記NOP検出ステップで出力した前記制御信号に従って、被演算データを示すオペランド信号を受信し、受信した前記オペランド信号を出力するオペランド制御ステップと、

前記命令制御ステップで出力した前記OPコード信号が示す演算命令に従って、前記オペランド制御ステップで出力した前記オペランド信号が示す被演算データに対する演算処理を実行し、求めた演算結果データを出力する演算ステップと、

前記演算ステップで出力した前記演算結果データに基づいて、エラーが発生したか否かを判別するエラー検出ステップと、を備える、

40

ことを特徴とするエラー検出方法。

【符号の説明】

【0109】

1、2、3、4 演算装置

100 命令制御部

200 第1オペランド制御部

300 第2オペランド制御部

400 演算部

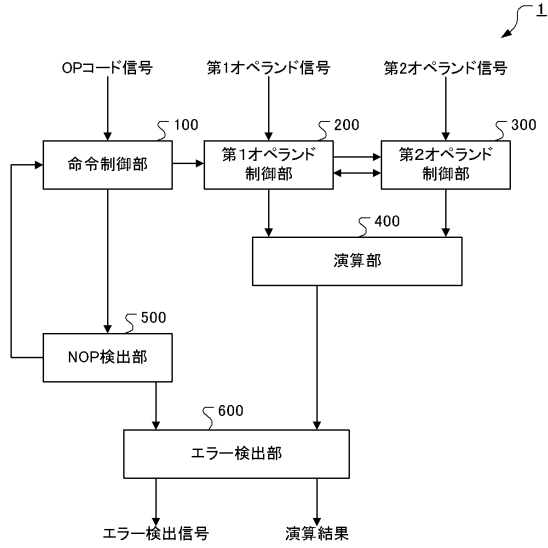
500 NOP検出部

600 エラー検出部

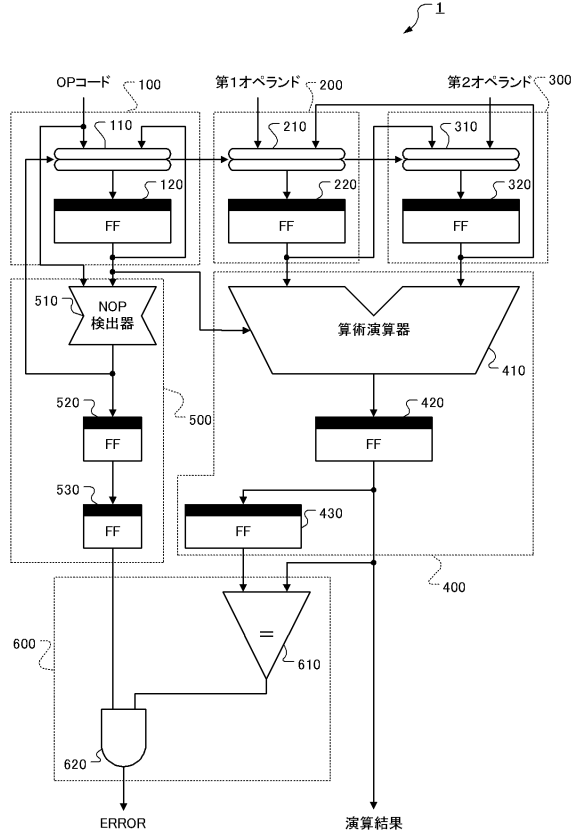
50

7 0 0	減算検出部	
8 0 0	符号反転部	
9 0 0	否定部	
1 1 0、2 1 0、3 1 0	2入力セレクタ	
1 2 0	OPコードレジスタ	
2 2 0	第1オペランドレジスタ	
3 2 0	第2オペランドレジスタ	
4 1 0	算術演算器	
4 2 0	第1演算結果レジスタ	
4 3 0	第2演算結果レジスタ	10
4 4 0	第1パイプラインレジスタ	
4 5 0	第2パイプラインレジスタ	
5 1 0	NOP検出器	
5 2 0	第1NOPレジスタ	
5 3 0	第2NOPレジスタ	
5 4 0	第3NOPレジスタ	
5 5 0	第4NOPレジスタ	
6 1 0	比較器	
6 2 0、6 3 0	論理積回路	
7 1 0	減算検出器	20
7 2 0	減算レジスタ	
8 1 0	符号反転器	
9 1 0	NOTゲート	
1 0	内部バス	
1 1	制御部	
1 2	主記憶部	
1 3	外部記憶部	
1 4	操作部	
1 5	表示部	
1 6	送受信部	30
1 9	プログラム	

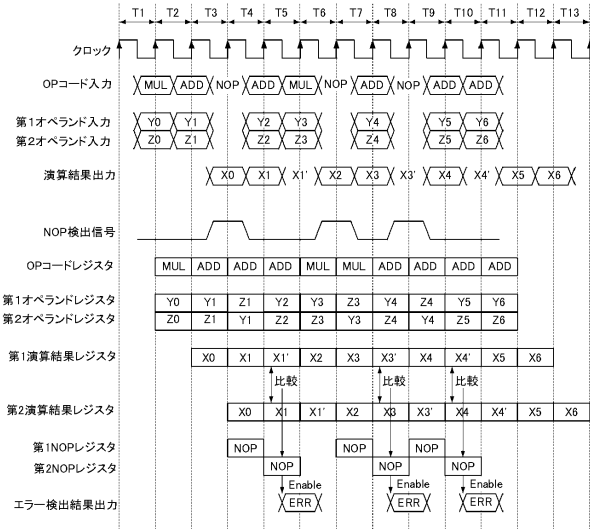
【図1】



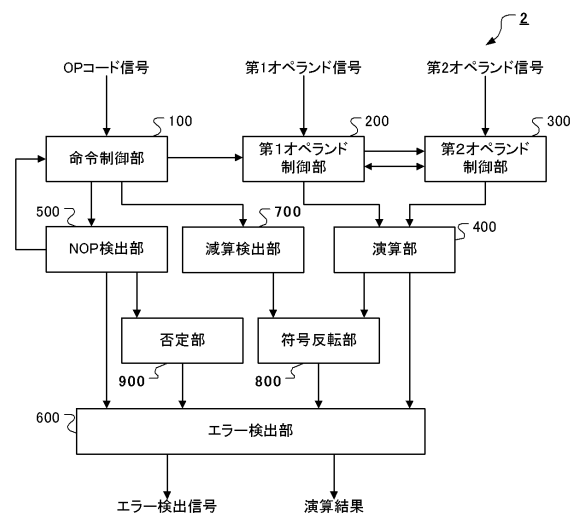
【図2】



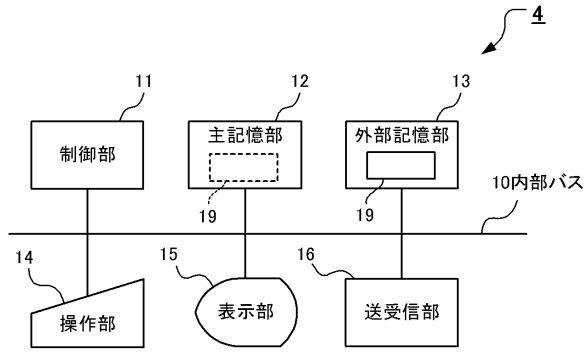
【図3】



【図4】



【図9】



フロントページの続き

- (56)参考文献 特開平09-305423(JP,A)
特開平10-161875(JP,A)
特開昭57-212539(JP,A)
特開2006-286015(JP,A)
特開2006-209374(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 9/30
G06F 9/38
G06F 11/22