

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】令和 6 年 8 月 15 日(2024.8.15)

【公開番号】特開 2024-36328(P2024-36328A)

【公開日】令和 6 年 3 月 15 日(2024.3.15)

【年通号数】公開公報(特許)2024-049

【出願番号】特願 2023-218224(P2023-218224)

【国際特許分類】

H 0 3 K 19/0175(2006.01)

10

H 0 3 K 19/094(2006.01)

H 0 3 K 3/356(2006.01)

G 0 9 G 3/20(2006.01)

G 0 9 G 3/36(2006.01)

G 0 9 G 3/3266(2016.01)

G 0 9 G 3/3275(2016.01)

G 1 1 C 19/28(2006.01)

H 0 1 L 29/786(2006.01)

H 0 1 L 21/336(2006.01)

【F I】

20

H 0 3 K 19/0175 2 2 0

H 0 3 K 19/094 2 1 0

H 0 3 K 3/356 Z

G 0 9 G 3/20 6 2 1 M

G 0 9 G 3/20 6 8 0 G

G 0 9 G 3/20 6 2 3 H

G 0 9 G 3/20 6 2 2 E

G 0 9 G 3/20 6 7 0 J

G 0 9 G 3/20 6 7 0 E

G 0 9 G 3/36

30

G 0 9 G 3/3266

G 0 9 G 3/3275

G 1 1 C 19/28 2 3 0

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 3 Z

H 0 1 L 29/78 6 1 4

H 0 1 L 29/78 6 1 2 Z

【手続補正書】

【提出日】令和 6 年 8 月 6 日(2024.8.6)

40

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 乃至第 10 のトランジスタを有し、

前記第 1 のトランジスタのソース又はドレインの一方は、ハイレベルとロウレベルとを有する信号を伝える機能を有する第 1 の配線と常に導通し、

50

前記第 1 のトランジスタのソース又はドレインの他方は、出力信号線と常に導通し、
前記第 2 のトランジスタのソース又はドレインの一方は、前記出力信号線と常に導通し

、
前記第 2 のトランジスタのソース又はドレインの他方は、電源線と常に導通し、
前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 3 のトランジスタのゲートは、第 1 の信号線と常に導通し、
前記第 4 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 4 のトランジスタのゲートは、第 2 の信号線と常に導通し、
前記第 5 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 5 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと常に導通し、
前記第 6 のトランジスタのソース又はドレインの一方は、第 3 の信号線と常に導通し、
前記第 6 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 3 の信号線と常に導通し、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 6 のトランジスタのゲートと常に導通し、

前記第 8 のトランジスタのゲートは、前記第 3 の信号線と常に導通し、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと常に導通し、

前記第 9 のトランジスタのゲートは、前記第 7 のトランジスタのゲートと常に導通し、

前記第 10 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと常に導通し、

前記第 10 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと常に導通し

、

前記第 3 のトランジスタのソース又はドレインの他方が、少なくとも前記第 3 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲート、前記第 5 のトランジスタのゲート及び前記第 10 のトランジスタのゲートと導通状態であるとき、前記第 1 のトランジスタのゲートの電位を制御する電位、前記第 5 のトランジスタのゲートの電位を制御する電位及び前記第 10 のトランジスタのゲートの電位を制御する電位が少なくとも前記第 3 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲート、前記第 5 のトランジスタのゲート及び前記第 10 のトランジスタのゲートに入力され、

前記第 4 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 4 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートと導通状態であるとき、前記第 1 のトランジスタがオフする電位が少なくとも前記第 4 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートに入力され、

前記第 5 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 5 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートと導通状態であるとき、前記第 2 のトランジスタがオフする電位が少なくとも前記第 5 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートに入力され、

前記第 7 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 7 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートと導通状態であるとき、前記第 2 のトランジスタがオフする電位が少なくとも前記第 7 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートに入力され、

前記第 9 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 9 のトラン

10

20

30

40

50

ンジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートと導通状態であるとき、前記第 6 のトランジスタがオフする電位が少なくとも前記第 9 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートに入力され、

前記第 10 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 10 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートと導通状態であるとき、前記第 6 のトランジスタがオフする電位が少なくとも前記第 10 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートに入力されている半導体装置。

【請求項 2】

第 1 乃至第 10 のトランジスタを有し、

10

前記第 1 のトランジスタのソース又はドレインの一方は、ハイレベルとロウレベルとを有する信号を伝える機能を有する第 1 の配線と常に導通し、

前記第 1 のトランジスタのソース又はドレインの他方は、出力信号線と常に導通し、

前記第 2 のトランジスタのソース又はドレインの一方は、前記出力信号線と常に導通し

、
前記第 2 のトランジスタのソース又はドレインの他方は、電源線と常に導通し、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 3 のトランジスタのゲートは、第 1 の信号線と常に導通し、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

20

前記第 4 のトランジスタのゲートは、第 2 の信号線と常に導通し、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 5 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと常に導通し、

前記第 6 のトランジスタのソース又はドレインの一方は、第 3 の信号線と常に導通し、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、

30

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 3 の信号線と常に導通し、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 6 のトランジスタのゲートと常に導通し、

前記第 8 のトランジスタのゲートは、前記第 3 の信号線と常に導通し、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと常に導通し、

前記第 9 のトランジスタのゲートは、前記第 7 のトランジスタのゲートと常に導通し、

前記第 10 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと常に導通し、

40

前記第 10 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと常に導通し

、
前記第 3 のトランジスタのソース又はドレインの他方が、少なくとも前記第 3 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲート、前記第 5 のトランジスタのゲート及び前記第 10 のトランジスタのゲートと導通状態であるとき、前記第 1 のトランジスタのゲートの電位を制御する電位、前記第 5 のトランジスタのゲートの電位を制御する電位及び前記第 10 のトランジスタのゲートの電位を制御する電位が少なくとも前記第 3 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲート、前記第 5 のトランジスタのゲート及び前記第 10 のトランジスタのゲートに入力され、

前記第 4 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 4 のトラン

50

ンジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートと導通状態であるとき、前記第 1 のトランジスタがオフする電位が少なくとも前記第 4 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートに入力され、

前記第 5 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 5 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートと導通状態であるとき、前記第 2 のトランジスタがオフする電位が少なくとも前記第 5 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートに入力され、

前記第 7 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 7 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートと導通状態であるとき、前記第 2 のトランジスタがオフする電位が少なくとも前記第 7 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートに入力され、

前記第 9 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 9 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートと導通状態であるとき、前記第 6 のトランジスタがオフする電位が少なくとも前記第 9 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートに入力され、

前記第 10 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 10 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートと導通状態であるとき、前記第 6 のトランジスタがオフする電位が少なくとも前記第 10 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートに入力され、

平面視において、前記第 3 の信号線は、前記第 1 の配線と前記第 3 のトランジスタのチャネル形成領域との間に位置する領域を有する半導体装置。

【請求項 3】

第 1 乃至第 10 のトランジスタを有し、

前記第 1 のトランジスタのソース又はドレインの一方は、ハイレベルとロウレベルとを有する信号を伝える機能を有する第 1 の配線と常に導通し、

前記第 1 のトランジスタのソース又はドレインの他方は、出力信号線と常に導通し、

前記第 2 のトランジスタのソース又はドレインの一方は、前記出力信号線と常に導通し、

前記第 2 のトランジスタのソース又はドレインの他方は、電源線と常に導通し、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 3 のトランジスタのゲートは、第 1 の信号線と常に導通し、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 4 のトランジスタのゲートは、第 2 の信号線と常に導通し、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 5 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと常に導通し、

前記第 6 のトランジスタのソース又はドレインの一方は、第 3 の信号線と常に導通し、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 3 の信号線と常に導通し、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 6 のトランジスタのゲートと常に導通し、

前記第 8 のトランジスタのゲートは、前記第 3 の信号線と常に導通し、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと常に導通し、

10

20

30

40

50

前記第 9 のトランジスタのゲートは、前記第 7 のトランジスタのゲートと常に導通し、
前記第 10 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと常に導通し、

前記第 10 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと常に導通し

、
前記第 3 のトランジスタのソース又はドレインの他方が、少なくとも前記第 3 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲート、前記第 5 のトランジスタのゲート及び前記第 10 のトランジスタのゲートと導通状態であるとき、前記第 1 のトランジスタのゲートの電位を制御する電位、前記第 5 のトランジスタのゲートの電位を制御する電位及び前記第 10 のトランジスタのゲートの電位を制御する電位が少なくとも前記第 3 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲート、前記第 5 のトランジスタのゲート及び前記第 10 のトランジスタのゲートに入力され、

10

前記第 4 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 4 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートと導通状態であるとき、前記第 1 のトランジスタがオフする電位が少なくとも前記第 4 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートに入力され、

前記第 5 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 5 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートと導通状態であるとき、前記第 2 のトランジスタがオフする電位が少なくとも前記第 5 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートに入力され、

20

前記第 7 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 7 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートと導通状態であるとき、前記第 2 のトランジスタがオフする電位が少なくとも前記第 7 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートに入力され、

前記第 9 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 9 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートと導通状態であるとき、前記第 6 のトランジスタがオフする電位が少なくとも前記第 9 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートに入力され、

前記第 10 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 10 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートと導通状態であるとき、前記第 6 のトランジスタがオフする電位が少なくとも前記第 10 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートに入力され、

30

前記第 8 のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有する第 1 の導電層は、前記第 9 のトランジスタのソース電極またはドレイン電極の一方として機能する領域と、前記第 10 のトランジスタのソース電極またはドレイン電極の一方として機能する領域と、を有する半導体装置。

【請求項 4】

第 1 乃至第 10 のトランジスタを有し、

前記第 1 のトランジスタのソース又はドレインの一方は、ハイレベルとロウレベルとを有する信号を伝える機能を有する第 1 の配線と常に導通し、

40

前記第 1 のトランジスタのソース又はドレインの他方は、出力信号線と常に導通し、

前記第 2 のトランジスタのソース又はドレインの一方は、前記出力信号線と常に導通し

、
前記第 2 のトランジスタのソース又はドレインの他方は、電源線と常に導通し、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 3 のトランジスタのゲートは、第 1 の信号線と常に導通し、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 4 のトランジスタのゲートは、第 2 の信号線と常に導通し、

50

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 5 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと常に導通し、

前記第 6 のトランジスタのソース又はドレインの一方は、第 3 の信号線と常に導通し、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 3 の信号線と常に導通し、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 6 のトランジスタのゲートと常に導通し、

前記第 8 のトランジスタのゲートは、前記第 3 の信号線と常に導通し、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと常に導通し、

前記第 9 のトランジスタのゲートは、前記第 7 のトランジスタのゲートと常に導通し、

前記第 10 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのゲートと常に導通し、

前記第 10 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと常に導通し

、
前記第 3 のトランジスタのソース又はドレインの他方が、少なくとも前記第 3 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲート、前記第 5 のトランジスタのゲート及び前記第 10 のトランジスタのゲートと導通状態であるとき、前記第 1 のトランジスタのゲートの電位を制御する電位、前記第 5 のトランジスタのゲートの電位を制御する電位及び前記第 10 のトランジスタのゲートの電位を制御する電位が少なくとも前記第 3 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲート、前記第 5 のトランジスタのゲート及び前記第 10 のトランジスタのゲートに入力され、

前記第 4 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 4 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートと導通状態であるとき、前記第 1 のトランジスタがオフする電位が少なくとも前記第 4 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートに入力され、

前記第 5 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 5 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートと導通状態であるとき、前記第 2 のトランジスタがオフする電位が少なくとも前記第 5 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートに入力され、

前記第 7 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 7 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートと導通状態であるとき、前記第 2 のトランジスタがオフする電位が少なくとも前記第 7 のトランジスタのチャネル形成領域を介して前記第 2 のトランジスタのゲートに入力され、

前記第 9 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 9 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートと導通状態であるとき、前記第 6 のトランジスタがオフする電位が少なくとも前記第 9 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートに入力され、

前記第 10 のトランジスタのソースまたはドレインの他方が、少なくとも前記第 10 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートと導通状態であるとき、前記第 6 のトランジスタがオフする電位が少なくとも前記第 10 のトランジスタのチャネル形成領域を介して前記第 6 のトランジスタのゲートに入力され、

平面視において、前記第 3 の信号線は、前記第 1 の配線と前記第 3 のトランジスタのチャネル形成領域との間に位置する領域を有し、

前記第 8 のトランジスタのソース電極またはドレイン電極の一方として機能する領域を

10

20

30

40

50

有する第 1 の導電層は、前記第 9 のトランジスタのソース電極またはドレイン電極の一方として機能する領域と、前記第 10 のトランジスタのソース電極またはドレイン電極の一方として機能する領域と、を有する半導体装置。

10

20

30

40

50