

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】令和6年8月15日(2024.8.15)

【公開番号】特開2024-36328(P2024-36328A)

【公開日】令和6年3月15日(2024.3.15)

【年通号数】公開公報(特許)2024-049

【出願番号】特願2023-218224(P2023-218224)

【国際特許分類】

H 03K 19/0175(2006.01)

10

H 03K 19/094(2006.01)

H 03K 3/356(2006.01)

G 09G 3/20(2006.01)

G 09G 3/36(2006.01)

G 09G 3/3266(2016.01)

G 09G 3/3275(2016.01)

G 11C 19/28(2006.01)

H 01L 29/786(2006.01)

H 01L 21/336(2006.01)

【F I】

20

H 03K 19/0175 2 2 0

H 03K 19/094 2 1 0

H 03K 3/356 Z

G 09G 3/20 6 2 1 M

G 09G 3/20 6 8 0 G

G 09G 3/20 6 2 3 H

G 09G 3/20 6 2 2 E

G 09G 3/20 6 7 0 J

G 09G 3/20 6 7 0 E

G 09G 3/36

30

G 09G 3/3266

G 09G 3/3275

G 11C 19/28 2 3 0

H 01L 29/78 6 1 8 B

H 01L 29/78 6 1 3 Z

H 01L 29/78 6 1 4

H 01L 29/78 6 1 2 Z

【手続補正書】

【提出日】令和6年8月6日(2024.8.6)

40

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1乃至第10のトランジスタを有し、

前記第1のトランジスタのソース又はドレインの一方は、ハイレベルとロウレベルとを有する信号を伝える機能を有する第1の配線と常に導通し、

50

前記第1のトランジスタのソース又はドレインの他方は、出力信号線と常に導通し、前記第2のトランジスタのソース又はドレインの一方は、前記出力信号線と常に導通し

前記第2のトランジスタのソース又はドレインの他方は、電源線と常に導通し、
前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと常に導通し、

前記第3のトランジスタのゲートは、第1の信号線と常に導通し、

前記第4のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと常に導通し、

前記第4のトランジスタのゲートは、第2の信号線と常に導通し、

前記第5のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと常に導通し、

前記第5のトランジスタのゲートは、前記第1のトランジスタのゲートと常に導通し、前記第6のトランジスタのソース又はドレインの一方は、第3の信号線と常に導通し、前記第6のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと常に導通し、

前記第7のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと常に導通し、

前記第8のトランジスタのソース又はドレインの一方は、前記第3の信号線と常に導通し、

前記第8のトランジスタのソース又はドレインの他方は、前記第6のトランジスタのゲートと常に導通し、

前記第8のトランジスタのゲートは、前記第3の信号線と常に導通し、

前記第9のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのゲートと常に導通し、

前記第9のトランジスタのゲートは、前記第7のトランジスタのゲートと常に導通し、前記第10のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのゲートと常に導通し、

前記第10のトランジスタのゲートは、前記第1のトランジスタのゲートと常に導通し

前記第3のトランジスタのソース又はドレインの他方が、少なくとも前記第3のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲート、前記第5のトランジスタのゲート及び前記第10のトランジスタのゲートと導通状態であるとき、前記第1のトランジスタのゲートの電位を制御する電位、前記第5のトランジスタのゲートの電位を制御する電位及び前記第10のトランジスタのゲートの電位を制御する電位が少なくとも前記第3のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲート

前記第4のトランジスタのソースまたはドレインの他方が、少なくとも前記第4のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲートと導通状態であるとき、前記第1のトランジスタがオフする電位が少なくとも前記第4のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲートに入力され、

前記第5のトランジスタのソースまたはドレインの他方が、少なくとも前記第5のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートと導通状態であるとき、前記第2のトランジスタがオフする電位が少なくとも前記第5のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートに入力され、

前記第7のトランジスタのソースまたはドレインの他方が、少なくとも前記第7のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートと導通状態であるとき、前記第2のトランジスタがオフする電位が少なくとも前記第7のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートに入力され、

前記第9のトランジスタのソースまたはドレインの他方が、少なくとも前記第9のトランジ

ンジスタのチャネル形成領域を介して前記第6のトランジスタのゲートと導通状態であるとき、前記第6のトランジスタがオフする電位が少なくとも前記第9のトランジスタのチャネル形成領域を介して前記第6のトランジスタのゲートに入力され、

前記第10のトランジスタのソースまたはドレインの他方が、少なくとも前記第10のトランジスタのチャネル形成領域を介して前記第6のトランジスタのゲートと導通状態であるとき、前記第6のトランジスタがオフする電位が少なくとも前記第10のトランジスタのチャネル形成領域を介して前記第6のトランジスタのゲートに入力されている半導体装置。

【請求項2】

第1乃至第10のトランジスタを有し、

10

前記第1のトランジスタのソース又はドレインの一方は、ハイレベルとロウレベルとを有する信号を伝える機能を有する第1の配線と常に導通し、

前記第1のトランジスタのソース又はドレインの他方は、出力信号線と常に導通し、

前記第2のトランジスタのソース又はドレインの一方は、前記出力信号線と常に導通し、

前記第2のトランジスタのソース又はドレインの他方は、電源線と常に導通し、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと常に導通し、

前記第3のトランジスタのゲートは、第1の信号線と常に導通し、

20

前記第4のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと常に導通し、

前記第4のトランジスタのゲートは、第2の信号線と常に導通し、

前記第5のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと常に導通し、

前記第5のトランジスタのゲートは、前記第1のトランジスタのゲートと常に導通し、

前記第6のトランジスタのソース又はドレインの一方は、第3の信号線と常に導通し、

前記第6のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと常に導通し、

前記第7のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと常に導通し、

30

前記第8のトランジスタのソース又はドレインの一方は、前記第3の信号線と常に導通し、

前記第8のトランジスタのゲートは、前記第6のトランジスタのゲートと常に導通し、

前記第9のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのゲートと常に導通し、

前記第9のトランジスタのゲートは、前記第7のトランジスタのゲートと常に導通し、

前記第10のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのゲートと常に導通し、

前記第10のトランジスタのゲートは、前記第1のトランジスタのゲートと常に導通し、

前記第3のトランジスタのソース又はドレインの他方が、少なくとも前記第3のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲート、前記第5のトランジスタのゲート及び前記第10のトランジスタのゲートと導通状態であるとき、前記第1のトランジスタのゲートの電位を制御する電位、前記第5のトランジスタのゲートの電位を制御する電位及び前記第10のトランジスタのゲートの電位を制御する電位が少なくとも前記第3のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲート、前記第5のトランジスタのゲート及び前記第10のトランジスタのゲートに入力され、

前記第4のトランジスタのソースまたはドレインの他方が、少なくとも前記第4のトランジ

40

ンジスタのチャネル形成領域を介して前記第1のトランジスタのゲートと導通状態であるとき、前記第1のトランジスタがオフする電位が少なくとも前記第4のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲートに入力され、

前記第5のトランジスタのソースまたはドレインの他方が、少なくとも前記第5のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートと導通状態であるとき、前記第2のトランジスタがオフする電位が少なくとも前記第5のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートに入力され、

前記第7のトランジスタのソースまたはドレインの他方が、少なくとも前記第7のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートと導通状態であるとき、前記第2のトランジスタがオフする電位が少なくとも前記第7のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートに入力され、10

前記第9のトランジスタのソースまたはドレインの他方が、少なくとも前記第9のトランジスタのチャネル形成領域を介して前記第6のトランジスタのゲートと導通状態であるとき、前記第6のトランジスタがオフする電位が少なくとも前記第9のトランジスタのチャネル形成領域を介して前記第6のトランジスタのゲートに入力され、

前記第10のトランジスタのソースまたはドレインの他方が、少なくとも前記第10のトランジスタのチャネル形成領域を介して前記第6のトランジスタのゲートと導通状態であるとき、前記第6のトランジスタがオフする電位が少なくとも前記第10のトランジスタのチャネル形成領域を介して前記第6のトランジスタのゲートに入力され、20

平面視において、前記第3の信号線は、前記第1の配線と前記第3のトランジスタのチャネル形成領域との間に位置する領域を有する半導体装置。

【請求項3】

第1乃至第10のトランジスタを有し、

前記第1のトランジスタのソース又はドレインの一方は、ハイレベルとロウレベルとを有する信号を伝える機能を有する第1の配線と常に導通し、

前記第1のトランジスタのソース又はドレインの他方は、出力信号線と常に導通し、

前記第2のトランジスタのソース又はドレインの一方は、前記出力信号線と常に導通し、30

、前記第2のトランジスタのソース又はドレインの他方は、電源線と常に導通し、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと常に導通し、

前記第3のトランジスタのゲートは、第1の信号線と常に導通し、

前記第4のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと常に導通し、

前記第4のトランジスタのゲートは、第2の信号線と常に導通し、

前記第5のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと常に導通し、

前記第5のトランジスタのゲートは、前記第1のトランジスタのゲートと常に導通し、40

前記第6のトランジスタのソース又はドレインの一方は、第3の信号線と常に導通し、

前記第6のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと常に導通し、

前記第7のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと常に導通し、

前記第8のトランジスタのソース又はドレインの一方は、前記第3の信号線と常に導通し、

前記第8のトランジスタのソース又はドレインの他方は、前記第6のトランジスタのゲートと常に導通し、

前記第8のトランジスタのゲートは、前記第3の信号線と常に導通し、

前記第9のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのゲートと常に導通し、50

前記第9のトランジスタのゲートは、前記第7のトランジスタのゲートと常に導通し、前記第10のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのゲートと常に導通し、

前記第10のトランジスタのゲートは、前記第1のトランジスタのゲートと常に導通し、

前記第3のトランジスタのソース又はドレインの他方が、少なくとも前記第3のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲート、前記第5のトランジスタのゲート及び前記第10のトランジスタのゲートと導通状態であるとき、前記第1のトランジスタのゲートの電位を制御する電位、前記第5のトランジスタのゲートの電位を制御する電位及び前記第10のトランジスタのゲートの電位を制御する電位が少なくとも前記第3のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲート、前記第5のトランジスタのゲート及び前記第10のトランジスタのゲートに入力され、

前記第4のトランジスタのソースまたはドレインの他方が、少なくとも前記第4のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲートと導通状態であるとき、前記第1のトランジスタがオフする電位が少なくとも前記第4のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲートに入力され、

前記第5のトランジスタのソースまたはドレインの他方が、少なくとも前記第5のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートと導通状態であるとき、前記第2のトランジスタがオフする電位が少なくとも前記第5のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートに入力され、

前記第7のトランジスタのソースまたはドレインの他方が、少なくとも前記第7のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートと導通状態であるとき、前記第2のトランジスタがオフする電位が少なくとも前記第7のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートに入力され、

前記第9のトランジスタのソースまたはドレインの他方が、少なくとも前記第9のトランジスタのチャネル形成領域を介して前記6のトランジスタのゲートと導通状態であるとき、前記6のトランジスタがオフする電位が少なくとも前記第9のトランジスタのチャネル形成領域を介して前記6のトランジスタのゲートに入力され、

前記第10のトランジスタのソースまたはドレインの他方が、少なくとも前記第10のトランジスタのチャネル形成領域を介して前記6のトランジスタのゲートと導通状態であるとき、前記6のトランジスタがオフする電位が少なくとも前記第10のトランジスタのチャネル形成領域を介して前記6のトランジスタのゲートに入力され、

前記第8のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有する第1の導電層は、前記第9のトランジスタのソース電極またはドレイン電極の一方として機能する領域と、前記第10のトランジスタのソース電極またはドレイン電極の一方として機能する領域と、を有する半導体装置。

【請求項4】

第1乃至第10のトランジスタを有し、

前記第1のトランジスタのソース又はドレインの一方は、ハイレベルとロウレベルとを有する信号を伝える機能を有する第1の配線と常に導通し、

前記第1のトランジスタのソース又はドレインの他方は、出力信号線と常に導通し、

前記第2のトランジスタのソース又はドレインの一方は、前記出力信号線と常に導通し、

前記第2のトランジスタのソース又はドレインの他方は、電源線と常に導通し、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと常に導通し、

前記第3のトランジスタのゲートは、第1の信号線と常に導通し、

前記第4のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと常に導通し、

前記第4のトランジスタのゲートは、第2の信号線と常に導通し、

10

20

30

40

50

前記第5のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと常に導通し、

前記第5のトランジスタのゲートは、前記第1のトランジスタのゲートと常に導通し、

前記第6のトランジスタのソース又はドレインの一方は、第3の信号線と常に導通し、

前記第6のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと常に導通し、

前記第7のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと常に導通し、

前記第8のトランジスタのソース又はドレインの一方は、前記第3の信号線と常に導通し、

前記第8のトランジスタのソース又はドレインの他方は、前記第6のトランジスタのゲートと常に導通し、

前記第8のトランジスタのゲートは、前記第3の信号線と常に導通し、

前記第9のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのゲートと常に導通し、

前記第9のトランジスタのゲートは、前記第7のトランジスタのゲートと常に導通し、

前記第10のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのゲートと常に導通し、

前記第10のトランジスタのゲートは、前記第1のトランジスタのゲートと常に導通し、

前記第3のトランジスタのソース又はドレインの他方が、少なくとも前記第3のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲート、前記第5のトランジスタのゲート及び前記第10のトランジスタのゲートと導通状態であるとき、前記第1のトランジスタのゲートの電位を制御する電位、前記第5のトランジスタのゲートの電位を制御する電位及び前記第10のトランジスタのゲートの電位を制御する電位が少なくとも前記第3のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲート、前記第5のトランジスタのゲート及び前記第10のトランジスタのゲートに入力され、

前記第4のトランジスタのソースまたはドレインの他方が、少なくとも前記第4のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲートと導通状態であるとき、前記第1のトランジスタがオフする電位が少なくとも前記第4のトランジスタのチャネル形成領域を介して前記第1のトランジスタのゲートに入力され、

前記第5のトランジスタのソースまたはドレインの他方が、少なくとも前記第5のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートと導通状態であるとき、前記第2のトランジスタがオフする電位が少なくとも前記第5のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートに入力され、

前記第7のトランジスタのソースまたはドレインの他方が、少なくとも前記第7のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートと導通状態であるとき、前記第2のトランジスタがオフする電位が少なくとも前記第7のトランジスタのチャネル形成領域を介して前記第2のトランジスタのゲートに入力され、

前記第9のトランジスタのソースまたはドレインの他方が、少なくとも前記第9のトランジスタのチャネル形成領域を介して前記第6のトランジスタのゲートと導通状態であるとき、前記第6のトランジスタがオフする電位が少なくとも前記第9のトランジスタのチャネル形成領域を介して前記第6のトランジスタのゲートに入力され、

前記第10のトランジスタのソースまたはドレインの他方が、少なくとも前記第10のトランジスタのチャネル形成領域を介して前記第6のトランジスタのゲートと導通状態であるとき、前記第6のトランジスタがオフする電位が少なくとも前記第10のトランジスタのチャネル形成領域を介して前記第6のトランジスタのゲートに入力され、

平面視において、前記第3の信号線は、前記第1の配線と前記第3のトランジスタのチャネル形成領域との間に位置する領域を有し、

前記第8のトランジスタのソース電極またはドレイン電極の一方として機能する領域を

10

20

30

40

50

有する第1の導電層は、前記第9のトランジスタのソース電極またはドレイン電極の一方として機能する領域と、前記第10のトランジスタのソース電極またはドレイン電極の一方として機能する領域と、を有する半導体装置。

10

20

30

40

50