

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年2月2日(02.02.2023)



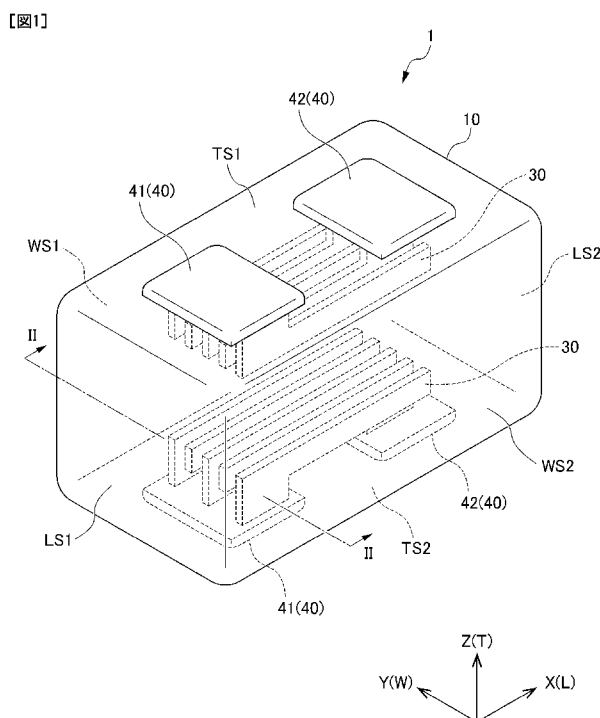
(10) 国際公開番号

WO 2023/007923 A1

- (51) 国際特許分類:
H01G 4/30 (2006.01) *H01G 4/38* (2006.01)
H01G 2/06 (2006.01) *H01G 4/40* (2006.01)
H01G 2/10 (2006.01) *H01L 25/04* (2014.01)
H01G 4/224 (2006.01) *H01L 25/18* (2006.01)
- (21) 国際出願番号: PCT/JP2022/021066
- (22) 国際出願日: 2022年5月23日(23.05.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-125896 2021年7月30日(30.07.2021) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
- JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 上田 知奈(UEDA China); 〒6178555 京
都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP). 小泉 信
幸(KOIZUMI Nobuyuki); 〒6178555 京都府長
岡京市東神足 1 丁目 10 番 1 号 株式会
社村田製作所内 Kyoto (JP).
- (74) 代理人: 加藤 竜太, 外 (KATO Ryuta et al.);
〒1000005 東京都千代田区丸の内 1 - 7 -
12 サピアタワー Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: MULTILAYER CERAMIC CAPACITOR, CIRCUIT MODULE AND METHOD FOR PRODUCING CIRCUIT MODULE

(54) 発明の名称: 積層セラミックコンデンサ、回路モジュール、および、回路モジュールの製造方法



(57) Abstract: The present invention provides a multilayer ceramic capacitor which is able to be formed thinner when mounted to a circuit module without being decreased in the flexural strength as a component. This multilayer ceramic capacitor 1 is provided with: a multilayer body 10 which is obtained by staking a plurality of dielectric layers 20 that contain a ceramic material and a plurality of internal electrode layers 30; and two pairs of external electrodes 40 which are respectively arranged on two main surfaces TS1, TS2 of the multilayer body 10. The multilayer body 10 has: a first



WO 2023/007923 A1

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

capacitor unit which comprises some internal electrode layers 30 among the plurality of internal electrode layers 30; and a second capacitor unit which comprises the other internal electrode layers 30 among the plurality of internal electrode layers 30. The some internal electrode layers 30 in the first capacitor unit are connected to one pair of external electrodes 40 among the two pairs of external electrodes 40; and the other internal electrode layers 30 in the second capacitor unit are connected to the other pair of external electrodes 40 among the two pairs of external electrodes 40.

(57) 要約 : 部品としての抗折強度を低減することなく、回路モジュール実装時に薄型化が可能な積層セラミックコンデンサを提供する。積層セラミックコンデンサ1は、セラミック材料を含む複数の誘電体層20と複数の内部電極層30とが積層された積層体10と、積層体10の2つの主面TS1およびTS2にそれぞれ配置された2つの外部電極対40とを備える。積層体10は、複数の内部電極層30のうちの一部の内部電極層30を含む第1の容量部と、複数の内部電極層30のうちの一部以外の他部の内部電極層30を含む第2の容量部とを有する。第1の容量部における一部の内部電極層30は、2つの外部電極対40のうち一方の外部電極対40に接続されており、第2の容量部における他部の内部電極層30は、2つの外部電極対40のうち他方の外部電極対40に接続されている。

明 細 書

発明の名称：

積層セラミックコンデンサ、回路モジュール、および、回路モジュールの製造方法

技術分野

[0001] 本発明は、積層セラミックコンデンサ、および、それを用いた回路モジュール、並びにその回路モジュールの製造方法に関する。

背景技術

[0002] 特許文献1には、積層セラミックコンデンサが開示されている。このような積層セラミックコンデンサは、セラミック材料を含む複数の誘電体層と複数の内部電極層とが積層された積層体と、積層体の端面に設けられた外部電極とを備える。

先行技術文献

特許文献

[0003] 特許文献1：特開2016-76582号公報

発明の概要

発明が解決しようとする課題

[0004] このような積層セラミックコンデンサを含む電子回路部品が回路基板に実装された回路モジュールにおいて、薄型化の要求がある。そのため、積層セラミックコンデンサにおいても、薄型化の要求がある。しかし、積層セラミックコンデンサを構成する誘電体層および内部電極層は極めて薄いため、積層セラミックコンデンサの薄型化を図ると、すなわち誘電体層および内部電極層の層数を低減すると、抗折強度が弱くなり、取り扱いが難しくなる。

[0005] 本発明は、部品としての抗折強度を低減することなく、回路モジュール実装時に薄型化が可能な積層セラミックコンデンサ、および、それを用いた回路モジュール、並びにその回路モジュールの製造方法を提供することを目的

とする。

課題を解決するための手段

- [0006] 本発明に係る積層セラミックコンデンサは、セラミック材料を含む複数の誘電体層と複数の内部電極層とが積層された積層体であって、厚さ方向に相對する2つの主面と、前記厚さ方向に交差する幅方向に相對する2つの側面と、前記厚さ方向および前記幅方向に交差する長さ方向に相對する2つの端面とを有する積層体と、前記積層体の前記2つの主面にそれぞれ配置された2つの外部電極対とを備える。前記積層体は、前記複数の内部電極層のうちの一部の内部電極層を含み、前記一部の内部電極層のうち隣り合う内部電極層が對向している第1の容量部と、前記複数の内部電極層のうちの前記一部以外の他部の内部電極層を含み、前記他部の内部電極層のうち隣り合う内部電極層が對向している第2の容量部とを有する。前記第1の容量部における前記一部の内部電極層は、前記2つの外部電極対のうち一方の外部電極対に接続されており、前記第2の容量部における前記他部の内部電極層は、前記2つの外部電極対のうち他方の外部電極対に接続されている。
- [0007] 本発明に係る回路モジュールは、回路基板に電子回路部品が実装された回路モジュールであって、前記回路基板と、前記回路基板に実装された前記電子回路部品である上記の積層セラミックコンデンサと、前記積層セラミックコンデンサの周囲に配置された樹脂モールド部材とを備える。前記積層セラミックコンデンサは、前記厚さ方向の一部が除去されて、前記第1の容量部および前記第2の容量部のうちいずれか一方からなり、前記積層セラミックコンデンサの周囲に配置された樹脂モールド部材と相對する前記積層セラミックコンデンサの積層体の表面粗さより、前記積層セラミックコンデンサの前記回路基板と反対側の主面の表面粗さが大きい。
- [0008] 本発明に係る回路モジュールの製造方法は、上記の回路モジュールの製造方法であって、前記回路基板に、前記電子回路部品である前記積層セラミックコンデンサを実装し、前記積層セラミックコンデンサの周囲を前記樹脂モールド部材で埋め、前記積層セラミックコンデンサおよび前記樹脂モールド

部材を、前記厚さ方向から研磨する。

発明の効果

[0009] 本発明によれば、部品としての抗折強度を低減することなく、回路モジュール実装時に薄型化が可能な積層セラミックコンデンサを提供することができる。また、本発明によれば、その積層セラミックコンデンサを用いて、薄型化が可能な回路モジュール、および、その回路モジュールの製造方法を提供することができる。

図面の簡単な説明

- [0010] [図1]本実施形態に係る積層セラミックコンデンサを示す斜視図である。
[図2]図1に示す積層セラミックコンデンサのII-II線断面図である。
[図3A]図2に示す積層セラミックコンデンサのIIIA-IIIA線断面図である。
[図3B]図2に示す積層セラミックコンデンサのIIIB-IIIB線断面図である。
[図4]図1～図3Bに示す積層セラミックコンデンサにおける内部電極層を示す斜視図である。
[図5A]本実施形態に係る回路モジュールの一例を示す断面図である。
[図5B]図5Aに示す回路モジュールにおける研磨後の積層セラミックコンデンサを示す側面図である。
[図5C]図5Aに示す回路モジュールにおける研磨後の積層セラミックコンデンサを示す斜視図である。
[図6A]図5Aに示す回路モジュールの製造プロセスにおける研磨後の回路モジュールを示す断面図である。
[図6B]図6Aに示す研磨前の回路モジュールにおける研磨前の積層セラミックコンデンサを示す側面図である。
[図6C]図6Aに示す研磨前の回路モジュールにおける研磨前の積層セラミックコンデンサを示す斜視図である。
[図7]本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図である。
[図8]図7に示す積層セラミックコンデンサのVIII-VIII線断面図である。

[図9A]図 8 に示す積層セラミックコンデンサのIXA-IXA線断面図である。

[図9B]図 8 に示す積層セラミックコンデンサのIXB-IXB線断面図である。

[図10]図 7 ～図 9 B に示す積層セラミックコンデンサにおける内部電極層を示す斜視図である。

[図11]本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図である。

[図12]図 1 1 に示す積層セラミックコンデンサのXII-XII線断面図である。

[図13]図 1 1 に示す積層セラミックコンデンサのXIII-XIII線断面図である。

[図14]図 1 1 ～図 1 3 に示す積層セラミックコンデンサにおける内部電極層を示す斜視図である。

発明を実施するための形態

[0011] 以下、添付の図面を参照して本発明の実施形態の一例について説明する。なお、各図面において同一または相当の部分に対しては同一の符号を附すこととする。

[0012] (積層セラミックコンデンサ)

図 1 は、本実施形態に係る積層セラミックコンデンサを示す斜視図であり、図 2 は、図 1 に示す積層セラミックコンデンサのII-II線断面図である。図 3 A は、図 2 に示す積層セラミックコンデンサのIIIA-IIIA線断面図であり、図 3 B は、図 2 に示す積層セラミックコンデンサのIIIB-IIIB線断面図である。図 1 ～図 3 B に示す積層セラミックコンデンサ 1 は、積層体 1 0 と 2 つの外部電極対 4 0 とを備える。外部電極対 4 0 の各々は、第 1 の外部電極 4 1 と第 2 の外部電極 4 2 とを含む。

[0013] 図 1 ～図 3 B には、XYZ 直交座標系が示されている。X 方向は積層セラミックコンデンサ 1 および積層体 1 0 の長さ方向 L であり、Y 方向は積層セラミックコンデンサ 1 および積層体 1 0 の幅方向 W であり、Z 方向は積層セラミックコンデンサ 1 および積層体 1 0 の厚さ方向 T である。これにより、図 2 に示す断面は WT 断面とも称され、図 3 A および図 3 B に示す断面は LT 断面とも称される。なお、長さ方向 L、幅方向 W および厚さ方向 T は、必

ずしも互いに直交する関係になるとは限らず、互いに交差する関係であってもよい。

[0014] また、図4は、図1～図3Bに示す積層セラミックコンデンサにおける内部電極層を示す斜視図であり、図1には、図4に示す内部電極層、および外部電極対の一方が透かして示されている。

[0015] 積層体10は、略直方体形状であり、厚さ方向Tに相対する第1の主面TS1および第2の主面TS2と、幅方向Wに相対する第1の側面WS1および第2の側面WS2と、長さ方向Lに相対する第1の端面LS1および第2の端面LS2とを有する。積層体10の角部および稜線部には、丸みがつけられていると好ましい。角部は、積層体10の3面が交る部分であり、稜線部は、積層体10の2面が交る部分である。

[0016] 図2、図3Aおよび図3Bに示すように、積層体10は、幅方向Wに積層された複数の誘電体層20と複数の内部電極層30とを有する。これにより、積層体10は、幅方向W、すなわち積層方向に、内層部100と、内層部100を挟み込むように配置された第1の外層部101および第2の外層部102とを有する。

[0017] また、積層体10は、厚さ方向Tに、第1の容量部110と、第2の容量部120と、非容量部130とを有する。第1の容量部110は、積層体10の第1の主面TS1側に配置されており、第2の容量部120は、積層体10の第2の主面TS2側に配置されている。非容量部130は、第1の容量部110と第2の容量部120との間に位置する。

[0018] 内層部100は、複数の誘電体層20の一部と複数の内部電極層30とを含む。より具体的には、内層部100における第1の容量部110は、複数の誘電体層20の一部と複数の内部電極層30の一部とを含む。内層部100における第2の容量部120は、複数の誘電体層20の一部と、複数の内部電極層30のうち第1の容量部110のための一部以外の部分とを含む。第1の容量部110および第2の容量部120では、隣り合う内部電極層30が誘電体層20を介して対向して配置されている。第1の容量部110お

よび第2の容量部120は、静電容量を発生させ実質的にコンデンサとして機能する部分である。一方、内層部100における非容量部130は、内部電極層30を含まず、複数の誘電体層20を含む。

[0019] 第1の外層部101は、積層体10の第1の側面WS1側に配置されており、第2の外層部102は、積層体10の第2の側面WS2側に配置されている。より具体的には、第1の外層部101は、複数の内部電極層30のうち第1の側面WS1に最も近い内部電極層30と第1の側面WS1との間に配置されており、第2の外層部102は、複数の内部電極層30のうち第2の側面WS2に最も近い内部電極層30と第2の側面WS2との間に配置されている。第1の外層部101および第2の外層部102は、内部電極層30を含まず、複数の誘電体層20のうち内層部100のための一部以外の部分をそれぞれ含む。第1の外層部101および第2の外層部102は、内層部100における第1の容量部110および第2の容量部120の保護層として機能する部分である。

[0020] 誘電体層20の材料としては、例えば、 $BaTiO_3$ 、 $CaTiO_3$ 、 $SrTiO_3$ 、または $CaZrO_3$ 等を主成分として含む誘電体セラミックを用いることができる。また、誘電体層20の材料としては、Mn化合物、Fe化合物、Cr化合物、Co化合物、またはNi化合物等を副成分として添加されてもよい。

[0021] 誘電体層20の厚さは、特に限定されないが、例えば $0.4\mu m$ 以上 $2.0\mu m$ 以下であると好ましい。誘電体層20の枚数は、特に限定されないが、例えば50枚以上450枚以下であると好ましい。なお、この誘電体層20の枚数は、内層部の誘電体層の枚数と外層部の誘電体層の枚数との総数である。

[0022] 図2～図4に示すように、第1の容量部110および第2の容量部120の各々は、複数の内部電極層30として、複数の第1の内部電極層31および複数の第2の内部電極層32を含む。第1の内部電極層31は、対向電極部311と引出電極部312とを含み、第2の内部電極層32は、対向電極

部321と引出電極部322とを含む。

[0023] 第1の容量部110において、対向電極部311と対向電極部321とは、積層体10の積層方向、すなわち幅方向Wにおいて、誘電体層20を介して互いに対向している。対向電極部311および対向電極部321の形状は、特に限定されず、例えば略矩形形状であればよい。対向電極部311と対向電極部321とは、静電容量を発生させ実質的にコンデンサとして機能する部分である。

[0024] 第1の容量部110において、引出電極部312は、対向電極部311における積層体10の第1の端面LS1側の部分から、積層体10の第1の主面TS1に向けて延在し、第1の主面TS1において露出している。引出電極部322は、対向電極部321における積層体10の第2の端面LS2側の部分から、積層体10の第1の主面TS1に向けて延在し、第1の主面TS1において露出している。引出電極部312および引出電極部322の形状は、特に限定されず、例えば略矩形形状であればよい。

[0025] これにより、第1の容量部110において、第1の内部電極層31は、積層体10の第1の主面TS1に配置された外部電極対40における第1の外部電極41に接続され、第1の主面TS1に配置された外部電極対40における第2の外部電極42と離間する。また、第2の内部電極層32は、積層体10の第1の主面TS1に配置された外部電極対40における第2の外部電極42に接続され、第1の主面TS1に配置された外部電極対40における第1の外部電極41と離間する。

[0026] 同様に、第2の容量部120において、対向電極部311と対向電極部321とは、積層体10の積層方向、すなわち幅方向Wにおいて誘電体層20を介して互いに対向している。第2の容量部120において、引出電極部312は、対向電極部311における積層体10の第1の端面LS1側の部分から、積層体10の第2の主面TS2に向けて延在し、第2の主面TS2において露出している。引出電極部322は、対向電極部321における積層体10の第2の端面LS2側の部分から、積層体10の第2の主面TS2に

向けて延在し、第2の主面TS2において露出している。

[0027] これにより、第2の容量部120において、第1の内部電極層31は、積層体10の第2の主面TS2に配置された外部電極対40における第1の外部電極41に接続され、第2の主面TS2に配置された外部電極対40における第2の外部電極42と離間する。また、第2の内部電極層32は、積層体10の第2の主面TS2に配置された外部電極対40における第2の外部電極42に接続され、第2の主面TS2に配置された外部電極対40における第1の外部電極41と離間する。

[0028] 第1の容量部110における複数の内部電極層30と、第2の容量部120における複数の内部電極層30とは、厚さ方向Tの中央に対して面对称であってもよい。或いは、第1の容量部110における複数の内部電極層30と、第2の容量部120における複数の内部電極層30とは、厚さ方向Tの中央、かつ、幅方向Wの中央に対して、回転対称であってもよい。なお、第1の外層部101の幅方向Wの厚さと第2の外層部102の幅方向Wの厚さとが異なる場合、第1の容量部110における複数の内部電極層30と、第2の容量部120における複数の内部電極層30とは、積層体10の厚さ方向Tの中央、かつ、積層体10の内層部100の幅方向Wの中央に対して、回転対称であってもよい。

[0029] 第1の容量部110における内部電極層30の厚さ方向Tの厚さT1、換言すれば第1の容量部110における内部電極層30の第1の主面TS1からの厚さT1は、25 μ m以上70 μ m以下であると好ましい。また、第2の容量部120における内部電極層30の厚さ方向Tの厚さT1、換言すれば第2の容量部120における内部電極層30の第2の主面TS2からの厚さT1は、25 μ m以上70 μ m以下であると好ましい。

[0030] 第1の内部電極層31および第2の内部電極層32は、金属Niを主成分として含む。また、第1の内部電極層31および第2の内部電極層32は、例えば、Cu、Ag、Pd、またはAu等の金属、またはAg-Pd合金等の、それらの金属の少なくとも一種を含む合金、から選ばれる少なくとも1

つを主成分として含んでもよいし、主成分以外の成分として含んでもよい。更に、第1の内部電極層31および第2の内部電極層32は、誘電体層20に含まれるセラミックと同一組成系の誘電体の粒子を主成分以外の成分として含んでいてもよい。なお、本明細書において、主成分の金属とは、最も重量%が高い金属成分であると定める。

[0031] 第1の内部電極層31および第2の内部電極層32の厚さは、特に限定されないが、例えば0.2 μ m以上1.0 μ m以下であると好ましい。第1の内部電極層31および第2の内部電極層32の枚数は、特に限定されないが、例えば2枚以上430枚以下であると好ましい。

[0032] 上述した積層体10の寸法は、特に限定されないが、例えば長さ方向Lの長さが0.2mm以上0.6mm以下であり、幅方向Wの幅が0.1mm以上0.3mm以下であり、厚さ方向Tの厚さが0.1mm以上0.3mm以下であると好ましい。

[0033] 2つの外部電極対40のうち一方の外部電極対40は、積層体10の第1の主面TS1に配置されており、2つの外部電極対40のうち他方の外部電極対40は、積層体10の第2の主面TS2に配置されている。各外部電極対40は、第1の外部電極41と第2の外部電極42とを含む。

[0034] 一方の外部電極対40における第1の外部電極41は、積層体10の第1の主面TS1における第1の端面LS1側に配置されており、一方の外部電極対40における第2の外部電極42は、積層体10の第1の主面TS1における第2の端面LS2側に配置されている。第1の外部電極41は、第1の容量部110における第1の内部電極層31に接続されており、第2の外部電極42は、第1の容量部110における第2の内部電極層32に接続されている。

[0035] 他方の外部電極対40における第1の外部電極41は、積層体10の第2の主面TS2における第1の端面LS1側に配置されており、他方の外部電極対40における第2の外部電極42は、積層体10の第2の主面TS2における第2の端面LS2側に配置されている。第1の外部電極41は、第2

の容量部120における第1の内部電極層31に接続されており、第2の外部電極42は、第2の容量部120における第2の内部電極層32に接続されている。

[0036] 第1の外部電極41および第2の外部電極42は、めっきからなる (consist of) 金属層であると好ましい。すなわち、第1の外部電極41および第2の外部電極42は、めっき層のみを含む金属層であると好ましい。めっきからなる金属層としては、例えば、Cu、Ni、Ag、Pd、またはAu等の金属、またはAg-Pd合金等の合金から選ばれる少なくとも1つを含む。

[0037] めっきからなる金属層は複数層により形成されていてもよい。好ましくは、Cuめっき、NiめっきおよびSnめっきの3層構造である。Niめっき層は、下地電極層がセラミック電子部品を実装する際にはんだによって侵食されることを防止することができ、Snめっき層は、セラミック電子部品を実装する際にはんだの濡れ性を向上させ、容易に実装することができる。めっきからなる金属層の一層あたりの厚さとしては、特に限定されず、1 μ m以上10 μ m以下であってもよい。

[0038] なお、第1の外部電極41および第2の外部電極42は、めっきからなる金属層の下地層を有していてもよい。下地層は、スパッタ法または蒸着法等の薄膜形成法により形成され、金属粒子が堆積された1 μ m以下の薄膜層であってもよい。第1の外部電極41および第2の外部電極42全体の厚みは4 μ m以上16 μ m以下であることが好ましい。

[0039] 或いは、下地層は、金属とガラスとを含む焼成層であってもよい。ガラスとしては、B、Si、Ba、Mg、Al、またはLi等から選ばれる少なくとも1つを含むガラス成分が挙げられる。具体例として、ホウケイ酸ガラスを用いることができる。金属としては、Cuを主成分として含む。また、金属としては、例えばNi、Ag、Pd、またはAu等の金属、またはAg-Pd合金等の合金、から選ばれる少なくとも1つを主成分として含んでもよいし、主成分以外の成分として含んでもよい。

[0040] 焼成層は、金属およびガラスを含む導電性ペーストをディップ法によって

積層体に塗布して焼成した層である。なお、内部電極層の焼成後に焼成されてもよく、内部電極層と同時に焼成されてもよい。また、焼成層は、複数層であってもよい。

[0041] 或いは、下地層は、導電性粒子と熱硬化性樹脂とを含む樹脂層であってもよい。樹脂層は、上述した焼成層上に形成されてもよいし、焼成層を形成せずに積層体に直接形成されてもよい。

[0042] 樹脂層は、導電性粒子と熱硬化性樹脂とを含む導電性ペーストを塗布法によって積層体に塗布して焼成した層である。なお、内部電極層の焼成後に焼成されてもよく、内部電極層と同時に焼成されてもよい。また、樹脂層は、複数層であってもよい。

[0043] 焼成層または樹脂層としての下地層の一層あたりの厚さとしては、特に限定されず、 $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。

[0044] (回路モジュール)

次に、上述した積層セラミックコンデンサ1を実装した回路モジュールについて説明する。図5Aは、本実施形態に係る回路モジュールの一例を示す断面図である。図5Bは、図5Aに示す回路モジュールにおける研磨後の積層セラミックコンデンサを示す側面図であり、図5Cは、図5Aに示す回路モジュールにおける研磨後の積層セラミックコンデンサを示す斜視図である。研磨後、研磨された面は、側面WS1およびWS2、および端面LS1およびLS2より表面粗さが大きい。なお、表面粗さRAはレーザー変位計などにより測定される。

[0045] 図5Aに示すように、回路モジュール500は、回路基板CBと、電子回路部品と、樹脂モールド部材RMMとを備える。図5Aでは、電子回路部品として、積層セラミックコンデンサ1Aと集積回路ICとを例示するが、これに限定されず、種々の電子回路部品が適用可能である。例えば、電子回路部品としては、コンデンサ、インダクタ、抵抗、半導体IC（スイッチIC、LNA IC、コントローラIC、PA IC、等）、フィルタ（SAW、BAW、LCフィルタ、等）等を含んでもよい。

- [0046] 電子回路部品、例えば積層セラミックコンデンサ1 Aおよび集積回路1 Cは、回路基板C Bの一方の主面に実装されている。積層セラミックコンデンサ1 Aおよび集積回路1 Cの周囲は、樹脂モールド部材R MMによって埋められている。これにより、積層セラミックコンデンサ1 Aおよび集積回路1 Cの周囲には、樹脂モールド部材R MMが配置されている。なお、回路基板C Bの他方の主面にも、電子回路部品が実装されていてもよい。
- [0047] 後述するように、積層セラミックコンデンサ1 Aおよび集積回路1 Cは、樹脂モールド部材R MMによってモールドされた後に研磨されて除去される。これにより、積層セラミックコンデンサ1 Aの回路基板C Bと反対側の主面と、樹脂モールド部材R MMの回路基板C Bと反対側の主面とは、厚さ方向Tにおいて揃っている。また、積層セラミックコンデンサ1 Aの回路基板C Bと反対側の主面の表面粗さ（研磨された面）は、積層セラミックコンデンサ1 Aの周囲に配置された樹脂モールド部材R MMと相対する積層セラミックコンデンサ1 Aの表面粗さ（側面WS 1およびWS 2、および端面LS 1およびLS 2）よりも大きい。
- [0048] また、図5 Bおよび図5 Cに示すように、積層セラミックコンデンサ1 Aは、上述した積層セラミックコンデンサ1を厚さ方向Tから研磨し、厚さ方向Tの一部が除去された態様である。より具体的には、積層セラミックコンデンサ1 Aは、上述した積層セラミックコンデンサ1における第1の容量部1 1 0および第2の容量部1 2 0のうちいずれか一方からなる（consist of）。すなわち、積層セラミックコンデンサ1 Aは、上述した積層セラミックコンデンサ1における第1の容量部1 1 0および第2の容量部1 2 0のうち他方が除去され、第1の容量部1 1 0および第2の容量部1 2 0のうち一方のみを含む。
- [0049] なお、積層セラミックコンデンサ1 Aの回路基板C Bと反対側の主面と、端面LS 1およびLS 2とが交わる稜線部、および、積層セラミックコンデンサ1 Aの回路基板C Bと反対側の主面と、側面WS 1およびWS 2とが交わる稜線部は面取りされておらず、これらの稜線部には丸みがつけられてい

ない。より詳細には、これらの稜線部の曲率半径は $10\ \mu\text{m}$ 以下である。なお、積層体10の主面TS1およびTS2と端面LS1およびLS2とが交わる稜線部、および、積層体10の主面TS1およびTS2と側面WS1およびWS2とが交わる稜線部、すなわち面取りされた稜線部、の曲率半径は、例えば $10\ \mu\text{m}$ 以上 $35\ \mu\text{m}$ 以下である。積層セラミックコンデンサ1Aの回路基板CBからの厚さT2は、 $29\ \mu\text{m}$ 以上 $86\ \mu\text{m}$ 以下であると好ましい。

[0050] (積層セラミックコンデンサの製造方法)

次に、上述した積層セラミックコンデンサ1の製造方法について説明する。まず、誘電体層20用の誘電体シート、および内部電極層30用の導電性ペーストを準備する。誘電体シートおよび導電性ペーストには、バインダおよび溶剤が含まれる。バインダおよび溶剤としては公知の材料を用いることができる。

[0051] 次に、誘電体シート上に導電性ペーストを、例えば所定のパターンで印刷することにより、誘電体シート上に内部電極パターンを形成する。内部電極パターンの形成方法としては、スクリーン印刷またはグラビア印刷等を用いることができる。

[0052] 次に、内部電極パターンが印刷されていない第2の外層部102用の誘電体シートを所定枚数積層する。その上に、内部電極パターンが印刷された内層部100用の誘電体シートを順次積層する。その上に、内部電極パターンが印刷されていない第1の外層部101用の誘電体シートを所定枚数積層する。これにより、積層シートが作製される。

[0053] 次に、静水圧プレス等の手段により、積層シートを積層方向にプレスし、積層ブロックを作製する。次に、積層ブロックを所定のサイズにカットし、積層チップを切り出す。このとき、バレル研磨等により積層チップの角部および稜線部に丸みをつける。次に、積層チップを焼成し、積層体10を作製する。焼成温度は、誘電体や内部電極の材料にもよるが、 900°C 以上 1400°C 以下であることが好ましい。

[0054] 次に、積層体10の第1の主面TS1に、めっきからなる (consist of) 金属層を形成して一方の外部電極対40を形成する。また、積層体10の第2の主面TS2にめっきからなる (consist of) 金属層を形成して他方の外部電極対40を形成する。以上の工程により、上述した積層セラミックコンデンサ1が得られる。

[0055] (回路モジュールの製造方法)

次に、上述した回路モジュール500の製造方法について説明する。図6Aは、図5Aに示す回路モジュールの製造プロセスにおける研磨後の回路モジュールを示す断面図である。図6Bは、図6Aに示す研磨前の回路モジュールにおける研磨前の積層セラミックコンデンサを示す側面図であり、図6Cは、図6Aに示す研磨前の回路モジュールにおける研磨前の積層セラミックコンデンサを示す斜視図である。

[0056] まず、図6Aに示すように、回路基板CBの一方の主面に、電子回路部品、例えば上述した積層セラミックコンデンサ1と集積回路ICとを実装する。次に、電子回路部品、例えば積層セラミックコンデンサ1および集積回路ICの周囲を樹脂モールド部材RMMによって埋める。

[0057] 次に、図5Aに示すように、電子回路部品、例えば積層セラミックコンデンサ1および集積回路IC、および樹脂モールド部材RMMを、厚さ方向Tから研磨する。このとき、電子回路部品の露出面を再モールドしてもよい。

[0058] なお、その後、回路基板CBの他方の主面にも、電子回路部品を実装してもよいし、電子回路部品の周囲を樹脂モールド部材によって埋めてもよい。

これにより、図5Aに示す回路モジュール500が得られる。

[0059] 以上説明したように、本実施形態の積層セラミックコンデンサ1によれば、2つの容量部110および120と、2つの容量部110および120にそれぞれ対応する2つの外部電極対40とを備える。より具体的には、本実施形態の積層セラミックコンデンサ1によれば、厚さ方向Tに2つの容量部110および120を備える。これにより、厚さ方向Tに一方の容量部を研磨除去することにより、もう一方の容量部によって薄型のコンデンサを得る

ことができる。このように、研磨前の部品としては抗折強度を低減することがない。一方、回路モジュール実装時には、厚さ方向Tに研磨することにより、薄型化が可能である。

[0060] また、本実施形態の積層セラミックコンデンサ1によれば、外部電極対40がめっきからなる金属層であると、換言すれば、焼成層または樹脂層を含まないと、更なる薄型化が可能である。

[0061] また、本実施形態の積層セラミックコンデンサ1によれば、第1の容量部110における内部電極層30と第2の容量部120における内部電極層30とは、厚さ方向Tの中央に対して面对称、或いは回転対称である。これにより、積層セラミックコンデンサ1の表裏の判別が不要である。

[0062] 以上、本発明の実施形態について説明したが、本発明は上述した実施形態に限定されることなく、種々の変更および変形が可能である。例えば、上述した実施形態では、2つの外部電極対40が積層体10の第1の主面TS1および第2の主面TS2のそれぞれに配置された積層セラミックコンデンサ1を例示した。しかし、外部電極対40の形状はこれに限定されず、外部電極対40は、主面TS1またはTS2から端面LS1またはLS2に延びていてもよい（後述の変形例1を参照）。更には、外部電極対40は、主面TS1またはTS2から側面WS1またはWS2に延びていてもよい（後述の変形例2を参照）。

[0063] （変形例1）

図7は、本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図であり、図8は、図7に示す積層セラミックコンデンサのVIII-VIII線断面図である。図9Aは、図8に示す積層セラミックコンデンサのIXA-IXA線断面図であり、図9Bは、図8に示す積層セラミックコンデンサのIXB-IXB線断面図である。また、図10は、図7～図9Bに示す積層セラミックコンデンサにおける内部電極層を示す斜視図であり、図7には、図10に示す内部電極層、および外部電極対の一方が透かして示されている。

[0064] 図7～図9Bに示す積層セラミックコンデンサ1は、図1～図3Bに示す

積層セラミックコンデンサ１と比較して、２つの外部電極対４０の形状、および、積層体１０の第１の容量部１１０および第２の容量部１２０における内部電極層３０の形状が異なる。

[0065] 具体的には、積層体１０の第１の主面ＴＳ１に配置された一方の外部電極対４０における第１の外部電極４１は、第１の主面ＴＳ１から第１の端面ＬＳ１の一部まで延びていてもよく、一方の外部電極対４０における第２の外部電極４２は、第１の主面ＴＳ１から第２の端面ＬＳ２の一部まで延びていてもよい。これにより、回路基板に実装する際、はんだの濡れ性を利用して、接合強度を向上することができる。

[0066] 同様に、積層体１０の第２の主面ＴＳ２に配置された他方の外部電極対４０における第１の外部電極４１は、第２の主面ＴＳ２から第１の端面ＬＳ１の一部まで延びていてもよく、他方の外部電極対４０における第２の外部電極４２は、第２の主面ＴＳ２から第２の端面ＬＳ２の一部まで延びていてもよい。これにより、回路基板に実装する際、はんだの濡れ性を利用して、接合強度を向上することができる。

[0067] 第１の容量部１１０において、第１の内部電極層３１は、より具体的には引出電極部３１２は、対向電極部３１１における積層体１０の第１の端面ＬＳ１側の部分から、積層体１０の第１の端面ＬＳ１にも向けて延在し、第１の端面ＬＳ１においても露出している。これにより、第１の内部電極層３１と第１の外部電極４１とは、第１の主面ＴＳ１のみならず、第１の端面ＬＳ１、および第１の主面ＴＳ１と第１の端面ＬＳ１とが交わる稜線部においても接続される。そのため、第１の内部電極層３１と第１の外部電極４１との接触領域を増大することができ、第１の内部電極層３１と第１の外部電極４１との接触抵抗を低減することができる。

[0068] また、第１の容量部１１０において、第２の内部電極層３２は、より具体的には引出電極部３２２は、対向電極部３２１における積層体１０の第２の端面ＬＳ２側の部分から、積層体１０の第２の端面ＬＳ２にも向けて延在し、第２の端面ＬＳ２においても露出している。これにより、第２の内部電極

層32と第2の外部電極42とは、第1の主面TS1のみならず、第2の端面LS2、および第1の主面TS1と第2の端面LS2とが交わる積層体10の稜線部においても接続される。そのため、第2の内部電極層32と第2の外部電極42との接触領域を増大することができ、第2の内部電極層32と第2の外部電極42との接触抵抗を低減することができる。

[0069] 同様に、第2の容量部120において、第1の内部電極層31は、より具体的には引出電極部312は、対向電極部311における積層体10の第1の端面LS1側の部分から、積層体10の第1の端面LS1にも向けて延在し、第1の端面LS1においても露出している。これにより、第1の内部電極層31と第1の外部電極41とは、第2の主面TS2のみならず、第1の端面LS1、および第2の主面TS2と第1の端面LS1とが交わる積層体10の稜線部においても接続される。そのため、第1の内部電極層31と第1の外部電極41との接触領域を増大することができ、第1の内部電極層31と第1の外部電極41との接触抵抗を低減することができる。

[0070] また、第2の内部電極層32は、より具体的には引出電極部322は、対向電極部321における積層体10の第2の端面LS2側の部分から、積層体10の第2の端面LS2にも向けて延在し、第2の端面LS2においても露出している。これにより、第2の内部電極層32と第2の外部電極42とは、第2の主面TS2のみならず、第2の端面LS2、および第2の主面TS2と第2の端面LS2とが交わる積層体10の稜線部においても接続される。そのため、第2の内部電極層32と第2の外部電極42との接触領域を増大することができ、第2の内部電極層32と第2の外部電極42との接触抵抗を低減することができる。

[0071] なお、第1の内部電極層31の角部は、積層体10の主面TS1またはTS2と端面LS1とが交わる稜線部に沿って丸みがつけられていると好ましく、第2の内部電極層32の角部は、積層体10の主面TS1またはTS2と端面LS2とが交わる稜線部に沿って丸みがつけられていると好ましい。

[0072] (変形例2)

図11は、本実施形態の変形例に係る積層セラミックコンデンサを示す斜視図であり、図12は、図11に示す積層セラミックコンデンサのXII-XII線断面図であり、図13は、図11に示す積層セラミックコンデンサのXIII-XIII線断面図である。また、図14は、図11～図13に示す積層セラミックコンデンサにおける内部電極層を示す斜視図であり、図11には、図14に示す内部電極層、および外部電極対の一方が透かして示されている。

[0073] 図11～図13に示す積層セラミックコンデンサ1は、図1～図3Bに示す積層セラミックコンデンサ1と比較して、2つの外部電極対40の形状、および、積層体10の形状が異なる。

[0074] 具体的には、積層体10の第1の主面TS1に配置された一方の外部電極対40における第1の外部電極41は、第1の主面TS1から、第1の端面LS1の一部、第1の側面WS1の一部および第2の側面WS2の一部まで延びていてもよい。また、一方の外部電極対40における第2の外部電極42は、第1の主面TS1から、第2の端面LS2の一部、第1の側面WS1の一部および第2の側面WS2の一部まで延びていてもよい。これにより、回路基板に実装する際、はんだの濡れ性を利用して、接合強度を向上することができる。

[0075] 同様に、積層体10の第2の主面TS2に配置された他方の外部電極対40における第1の外部電極41は、第2の主面TS2から、第1の端面LS1の一部、第1の側面WS1の一部および第2の側面WS2の一部まで延びていてもよい。また、他方の外部電極対40における第2の外部電極42は、第2の主面TS2から、第2の端面LS2の一部、第1の側面WS1の一部および第2の側面WS2の一部まで延びていてもよい。これにより、回路基板に実装する際、はんだの濡れ性を利用して、接合強度を向上することができる。

[0076] この場合、内部電極層と外部電極層とは、積層体の端面および側面において接続することができる。そのため、積層体は、厚さ方向を積層方向としてもよい。具体的には、図12および図13に示すように、積層体10は、厚

さ方向Tに積層された複数の誘電体層20と複数の内部電極層30とを有していてもよい。これにより、積層体10は、厚さ方向T、すなわち積層方向に、内層部100と、内層部100を挟み込むように配置された第1の外層部101および第2の外層部102とを有する。

[0077] また、上述した実施形態と同様に、積層体10は、厚さ方向Tに、第1の容量部110と、第2の容量部120と、非容量部130とを有する。

[0078] 内層部100は、複数の誘電体層20の一部と複数の内部電極層30とを含む。より具体的には、内層部100における第1の容量部110は、複数の誘電体層20の一部と複数の内部電極層30の一部とを含む。内層部100における第2の容量部120は、複数の誘電体層20の一部と、複数の内部電極層30のうち第1の容量部110のための一部以外の部分とを含む。第1の容量部110および第2の容量部120では、隣り合う内部電極層30が誘電体層20を介して対向して配置されている。第1の容量部110および第2の容量部120は、静電容量を発生させ実質的にコンデンサとして機能する部分である。一方、内層部100における非容量部130は、内部電極層30を含まず、複数の誘電体層20を含む。

[0079] 第1の外層部101は、積層体10の第1の主面TS1側に配置されており、第2の外層部102は、積層体10の第2の主面TS2側に配置されている。より具体的には、第1の外層部101は、複数の内部電極層30のうち第1の主面TS1に最も近い内部電極層30と第1の主面TS1との間に配置されており、第2の外層部102は、複数の内部電極層30のうち第2の主面TS2に最も近い内部電極層30と第2の主面TS2との間に配置されている。第1の外層部101および第2の外層部102は、内部電極層30を含まず、複数の誘電体層20のうち内層部100のための一部以外の部分をそれぞれ含む。第1の外層部101および第2の外層部102は、内層部100における第1の容量部110および第2の容量部120の保護層として機能する部分である。

[0080] 図12～図14に示すように、第1の容量部110および第2の容量部1

20の各々は、複数の内部電極層30として、複数の第1の内部電極層31および複数の第2の内部電極層32を含む。第1の内部電極層31は、対向電極部311と引出電極部312とを含み、第2の内部電極層32は、対向電極部321と引出電極部322とを含む。

[0081] 第1の容量部110において、対向電極部311と対向電極部321とは、積層体10の積層方向、すなわち厚さ方向Tにおいて、誘電体層20を介して互いに対向している。対向電極部311と対向電極部321とは、静電容量を発生させ実質的にコンデンサとして機能する部分である。

[0082] 第1の容量部110において、引出電極部312は、対向電極部311における積層体10の第1の端面LS1側の部分から、積層体10の第1の端面LS1、第1の側面WS1および第2の側面WS2に向けて延在し、第1の端面LS1、第1の側面WS1および第2の側面WS2において露出している。引出電極部322は、対向電極部321における積層体10の第2の端面LS2側の部分から、積層体10の第2の端面LS2、第1の側面WS1および第2の側面WS2に向けて延在し、第2の端面LS2、第1の側面WS1および第2の側面WS2において露出している。

[0083] これにより、第1の容量部110において、第1の内部電極層31は、積層体10の第1の主面TS1に配置された外部電極対40における第1の外部電極41と、第1の端面LS1、第1の側面WS1、第2の側面WS2、およびこれらの端面LS1と側面WS1およびWS2とが交わる積層体10の稜線部において接続される。また、第2の内部電極層32は、積層体10の第1の主面TS1に配置された外部電極対40における第2の外部電極42と、第2の端面LS2、第1の側面WS1、第2の側面WS2、およびこれらの端面LS2と側面WS1およびWS2とが交わる積層体10の稜線部において接続される。

[0084] 同様に、第2の容量部120において、引出電極部312は、対向電極部311における積層体10の第1の端面LS1側の部分から、積層体10の第1の端面LS1、第1の側面WS1および第2の側面WS2に向けて延在

し、第1の端面LS1、第1の側面WS1および第2の側面WS2において露出している。引出電極部322は、対向電極部321における積層体10の第2の端面LS2側の部分から、積層体10の第2の端面LS2、第1の側面WS1および第2の側面WS2に向けて延在し、第2の端面LS2、第1の側面WS1および第2の側面WS2において露出している。

[0085] これにより、第2の容量部120において、第1の内部電極層31は、積層体10の第2の主面TS2に配置された外部電極対40における第1の外部電極41と、第1の端面LS1、第1の側面WS1、第2の側面WS2、およびこれらの端面LS1と側面WS1およびWS2とが交わる積層体10の稜線部において接続される。また、第2の内部電極層32は、積層体10の第2の主面TS2に配置された外部電極対40における第2の外部電極42と、第2の端面LS2、第1の側面WS1、第2の側面WS2、およびこれらの端面LS2と側面WS1およびWS2とが交わる積層体10の稜線部において接続される。

[0086] なお、第1の内部電極層31の角部は、積層体10の端面LS1と側面WS1およびWS2とが交わる稜線部に沿って丸みがつけられていると好ましく、第2の内部電極層32の角部は、積層体10の端面LS2と側面WS1またはWS2とが交わる稜線部に沿って丸みがつけられていると好ましい。

[0087] 第1の容量部110における複数の内部電極層30と、第2の容量部120における複数の内部電極層30とは、厚さ方向Tの中央に対して面对称であってもよい。或いは、第1の容量部110における複数の内部電極層30と、第2の容量部120における複数の内部電極層30とは、厚さ方向Tの中央、かつ、幅方向Wの中央に対して、回転対称であってもよい。なお、第1の外層部101の幅方向Wの厚さと第2の外層部102の幅方向Wの厚さとが異なる場合、第1の容量部110における複数の内部電極層30と、第2の容量部120における複数の内部電極層30とは、積層体10の内層部100の厚さ方向Tの中央に対して面对称であってもよいし、或いは、積層体10の内層部100の厚さ方向Tの中央、かつ、積層体10の幅方向Wの

中央に対して、回転対称であってもよい。

- [0088] 第1の容量部110における内部電極層30の厚さ方向Tの厚さT1、換言すれば第1の容量部110における内部電極層30の第1の主面TS1からの厚さT1は、 $25\mu\text{m}$ 以上 $70\mu\text{m}$ 以下であると好ましい。また、第2の容量部120における内部電極層30の厚さ方向Tの厚さT1、換言すれば第2の容量部120における内部電極層30の第2の主面TS2からの厚さT1は、 $25\mu\text{m}$ 以上 $70\mu\text{m}$ 以下であると好ましい。
- [0089] 第1の内部電極層31および第2の内部電極層32の厚さは、特に限定されないが、例えば $0.4\mu\text{m}$ 以上 $2.0\mu\text{m}$ 以下であると好ましい。第1の内部電極層31および第2の内部電極層32の枚数は、特に限定されないが、例えば2枚以上35枚以下であると好ましい。
- [0090] また、第1の外層部101および第2の外層部102は、複数の導体部50を含んでいてもよい。複数の導体部50は、第1の導体部511および512、および第2の導体部521および522を有する。
- [0091] 第1の導体部511は、第1の外層部101の第1の端面LS1側に配置されており、第1の導体部512は、第1の外層部101の第2の端面LS2側に配置されている。また、第2の導体部521は、第2の外層部102の第1の端面LS1側に配置されており、第2の導体部522は、第2の外層部102の第2の端面LS2側に配置されている。
- [0092] 第1の導体部511および512、および第2の導体部521および522の各々は、複数の導体層50Mを有する。導体層50Mの形状は、特に限定されず、例えば略矩形状であればよい。複数の導体層50Mは、厚さ方向T、すなわち積層方向に、誘電体層20を介して積層されている。
- [0093] 第1の導体部511の導体層50Mの端部は、第1の端面LS1、第1の側面WS1および第2の側面WS2に露出している。これにより、第1の導体部511の導体層50Mの端部は、積層体10の第1の主面TS1に配置された外部電極対40における第1の外部電極41と、第1の端面LS1、第1の側面WS1、第2の側面WS2、およびこれらの端面LS1と側面W

S 1 およびWS 2 とが交わる積層体 1 0 の稜線部において接続される。また、第 1 の導体部 5 1 2 の導体層 5 0 M の端部は、第 2 の端面 LS 2、第 1 の側面 WS 1 および第 2 の側面 WS 2 に露出している。これにより、第 1 の導体部 5 1 2 の導体層 5 0 M の端部は、積層体 1 0 の第 1 の主面 TS 1 に配置された外部電極対 4 0 における第 2 の外部電極 4 2 と、第 2 の端面 LS 2、第 1 の側面 WS 1、第 2 の側面 WS 2、およびこれらの端面 LS 2 と側面 WS 1 および WS 2 とが交わる積層体 1 0 の稜線部において第 2 の外部電極 4 2 と接続される。

[0094] 同様に、第 2 の導体部 5 2 1 の導体層 5 0 M の端部は、第 1 の端面 LS 1、第 1 の側面 WS 1 および第 2 の側面 WS 2 に露出している。これにより、第 2 の導体部 5 2 1 の導体層 5 0 M の端部は、積層体 1 0 の第 2 の主面 TS 2 に配置された外部電極対 4 0 における第 1 の外部電極 4 1 と、第 1 の端面 LS 1、第 1 の側面 WS 1、第 2 の側面 WS 2、およびこれらの端面 LS 1 と側面 WS 1 および WS 2 とが交わる積層体 1 0 の稜線部において第 1 の外部電極 4 1 と接続される。また、第 2 の導体部 5 2 2 の導体層 5 0 M の端部は、第 2 の端面 LS 2、第 1 の側面 WS 1 および第 2 の側面 WS 2 に露出している。これにより、第 2 の導体部 5 2 2 の導体層 5 0 M の端部は、積層体 1 0 の第 2 の主面 TS 2 に配置された外部電極対 4 0 における第 2 の外部電極 4 2 と、第 2 の端面 LS 2、第 1 の側面 WS 1、第 2 の側面 WS 2、およびこれらの端面 LS 2 と側面 WS 1 および WS 2 とが交わる積層体 1 0 の稜線部において第 2 の外部電極 4 2 と接続される。

[0095] なお、導体層 5 0 M の角部は、積層体 1 0 の端面 LS 1 と側面 WS 1 および WS 2 とが交わる稜線部、または、積層体 1 0 の端面 LS 2 と側面 WS 1 または WS 2 とが交わる稜線部に沿って丸みがつけられていると好ましい。

[0096] 導体層 5 0 M の材料は、特に限定されないが、例えば内部電極層 3 0 と同じ材料を含む。複数の導体層 5 0 M の厚さは、特に限定されないが、例えば $0.2\ \mu\text{m}$ 以上 $1.0\ \mu\text{m}$ 以下であると好ましい。第 1 の導体部 5 1 1 および 5 1 2、および第 2 の導体部 5 2 1 および 5 2 2 の各々において、複数の

導体層50Mの枚数は、特に限定されないが、例えば2枚以上30枚以下であると好ましい。

[0097] このように導体層50Mを設けることにより、積層体10に対する外部電極対40の接着性を向上することができる。特に外部電極対40がメッキのみからなる場合、導体層50Mはめっきの成長起点となる。

符号の説明

- [0098]
- 1 積層セラミックコンデンサ
 - 1A 研磨後の積層セラミックコンデンサ
 - 10 積層体
 - 20 誘電体層
 - 30 内部電極層
 - 31 第1の内部電極層
 - 311 対向電極部
 - 312 引出電極部
 - 32 第2の内部電極層
 - 321 対向電極部
 - 322 引出電極部
 - 40 外部電極対
 - 41 第1の外部電極
 - 42 第2の外部電極
 - 50 導体部
 - 511, 512 第1の導体部
 - 521, 522 第2の導体部
 - 50M 導体層
 - 100 内層部
 - 101 第1の外層部
 - 102 第2の外層部
 - 110 第1の容量部

1 2 0 第2の容量部
1 3 0 非容量部
5 0 0 回路モジュール
C B 回路基板
R M M 樹脂モールド部材
I C 集積回路
L 長さ方向
T 厚さ方向
W 幅方向
L S 1 第1の端面
L S 2 第2の端面
T S 1 第1の主面
T S 2 第2の主面
W S 1 第1の側面
W S 2 第2の側面

請求の範囲

[請求項1] セラミック材料を含む複数の誘電体層と複数の内部電極層とが積層された積層体であって、厚さ方向に相對する2つの主面と、前記厚さ方向に交差する幅方向に相對する2つの側面と、前記厚さ方向および前記幅方向に交差する長さ方向に相對する2つの端面とを有する積層体と、

前記積層体の前記2つの主面にそれぞれ配置された2つの外部電極対と、

を備え、

前記積層体は、

前記複数の内部電極層のうちの一部の内部電極層を含み、前記一部の内部電極層のうち隣り合う内部電極層が對向している第1の容量部と、

前記複数の内部電極層のうちの前記一部以外の他部の内部電極層を含み、前記他部の内部電極層のうち隣り合う内部電極層が對向している第2の容量部と、

を有し、

前記第1の容量部における前記一部の内部電極層は、前記2つの外部電極対のうち一方の外部電極対に接続されており、

前記第2の容量部における前記他部の内部電極層は、前記2つの外部電極対のうち他方の外部電極対に接続されている、
積層セラミックコンデンサ。

[請求項2] 前記2つの外部電極対は、めっきからなる金属層である、請求項1に記載の積層セラミックコンデンサ。

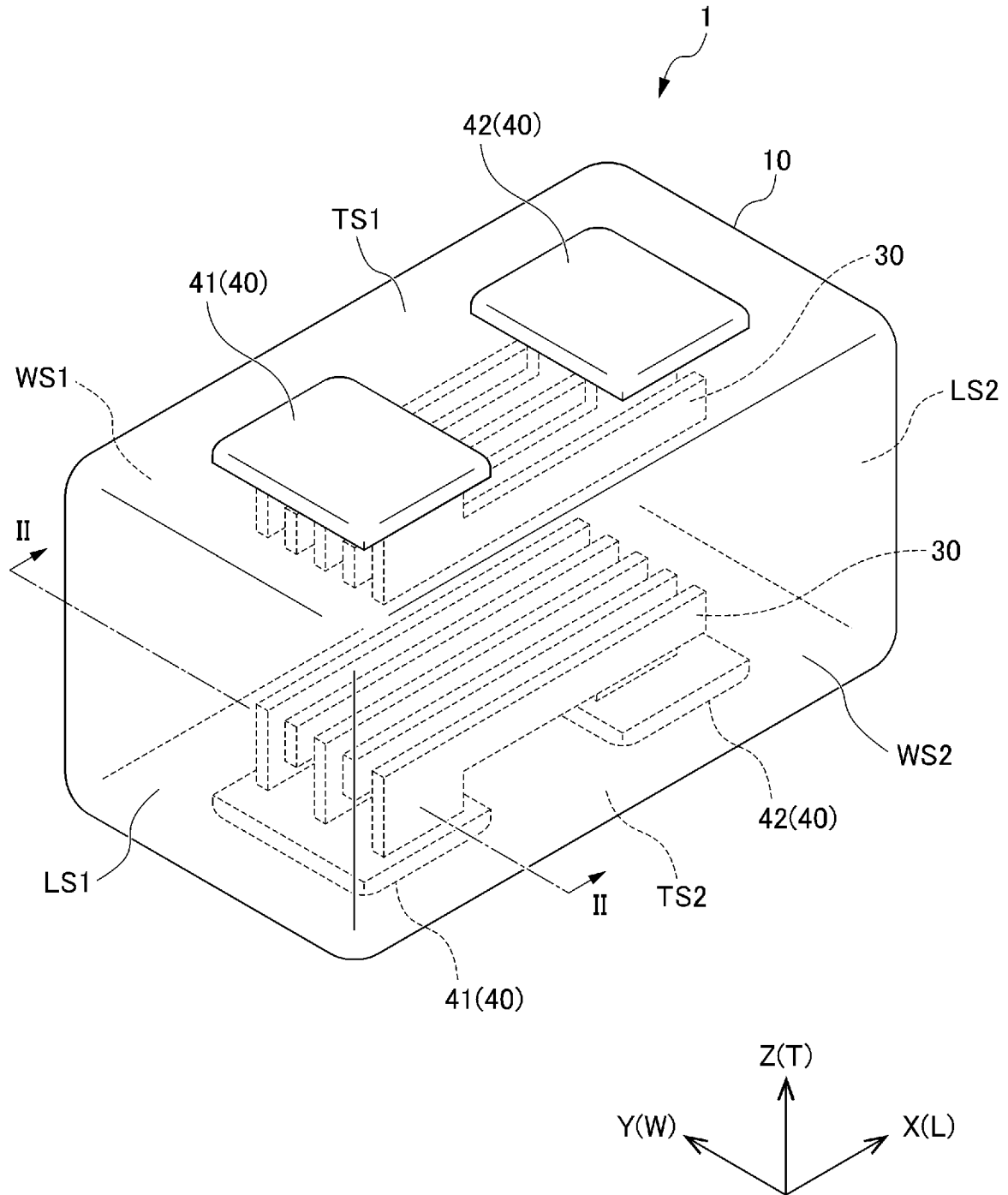
[請求項3] 前記第1の容量部における前記一部の内部電極層と前記第2の容量部における前記他部の内部電極層とは、前記厚さ方向の中央に対して面対称である、請求項1または2に記載の積層セラミックコンデンサ。

- [請求項4] 前記第1の容量部における前記一部の内部電極層と前記第2の容量部における前記他部の内部電極層とは、前記厚さ方向の中央に対して回転対称である、請求項1または2に記載の積層セラミックコンデンサ。
- [請求項5] 前記第1の容量部における前記一部の内部電極層および前記第2の容量部における前記他部の内部電極層の前記厚さ方向の厚さは、 $25\mu\text{m}$ 以上 $70\mu\text{m}$ 以下である、請求項1～4のいずれか1項に記載の積層セラミックコンデンサ。
- [請求項6] 回路基板に電子回路部品が実装された回路モジュールであって、
前記回路基板と、
前記回路基板に実装された前記電子回路部品である、請求項1～5のいずれか1項に記載の積層セラミックコンデンサと、
前記積層セラミックコンデンサの周囲に配置された樹脂モールド部材と、
を備え、
前記積層セラミックコンデンサは、前記厚さ方向の一部が除去されて、前記第1の容量部および前記第2の容量部のうちいずれか一方からなり、
前記積層セラミックコンデンサの周囲に配置された樹脂モールド部材と相対する前記積層セラミックコンデンサの積層体の表面粗さより、前記積層セラミックコンデンサの前記回路基板と反対側の主面の表面粗さが大きい、
回路モジュール。
- [請求項7] 請求項6に記載の回路モジュールの製造方法であって、
前記回路基板に、前記電子回路部品である前記積層セラミックコンデンサを実装し、
前記積層セラミックコンデンサの周囲を前記樹脂モールド部材で埋め、

前記積層セラミックコンデンサおよび前記樹脂モールド部材を、前記厚さ方向から研磨する、回路モジュールの製造方法。

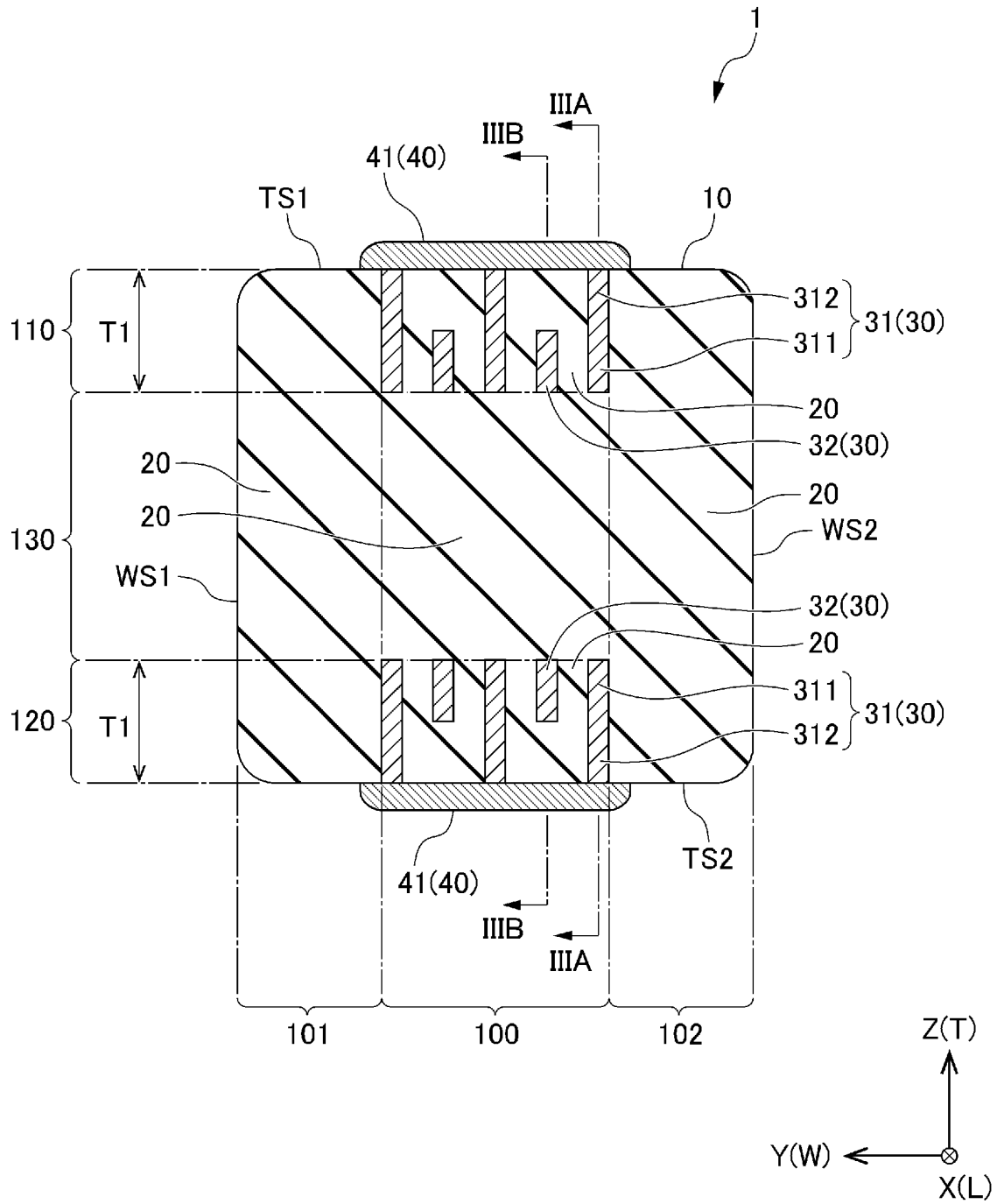
[図1]

図 1

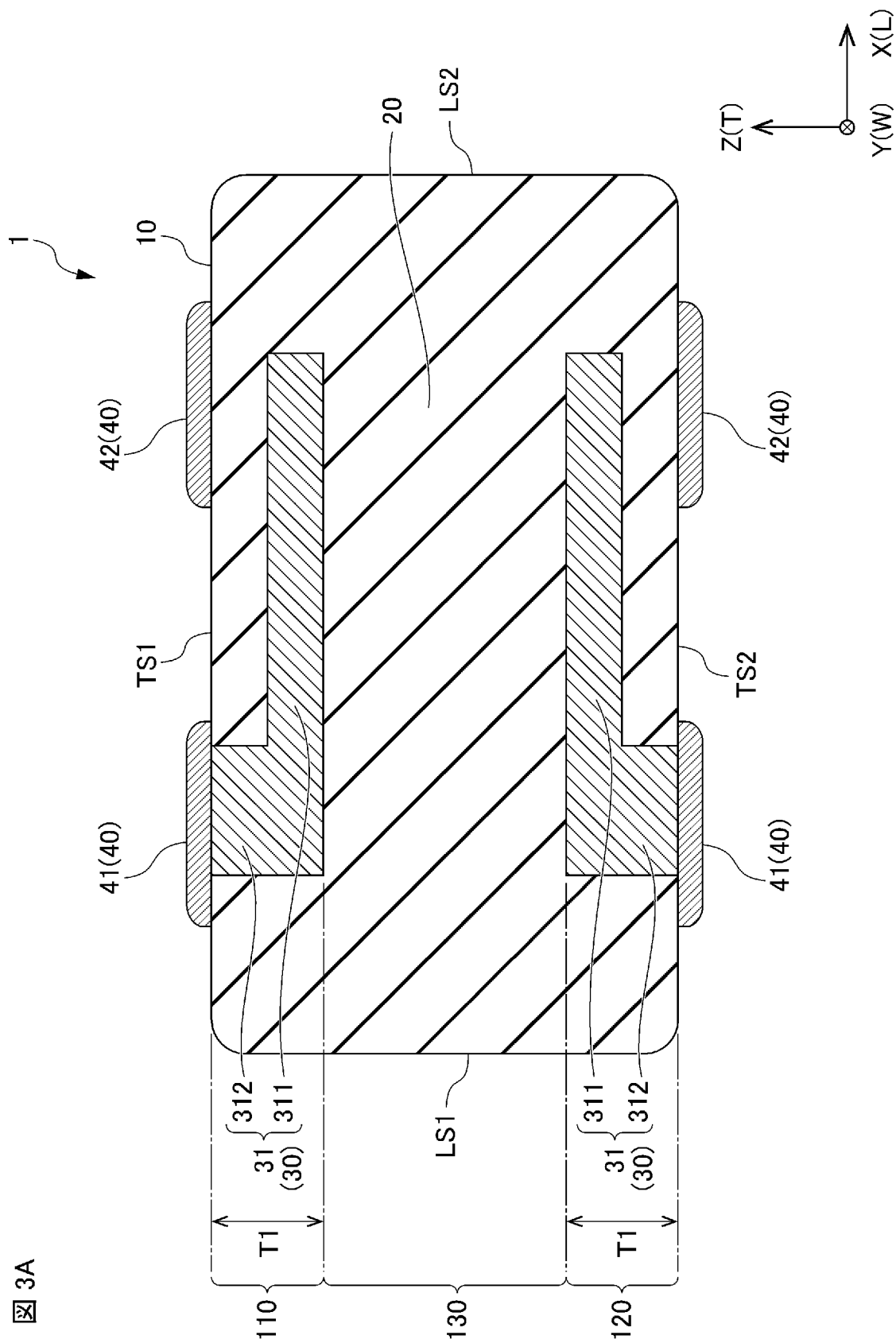


[図2]

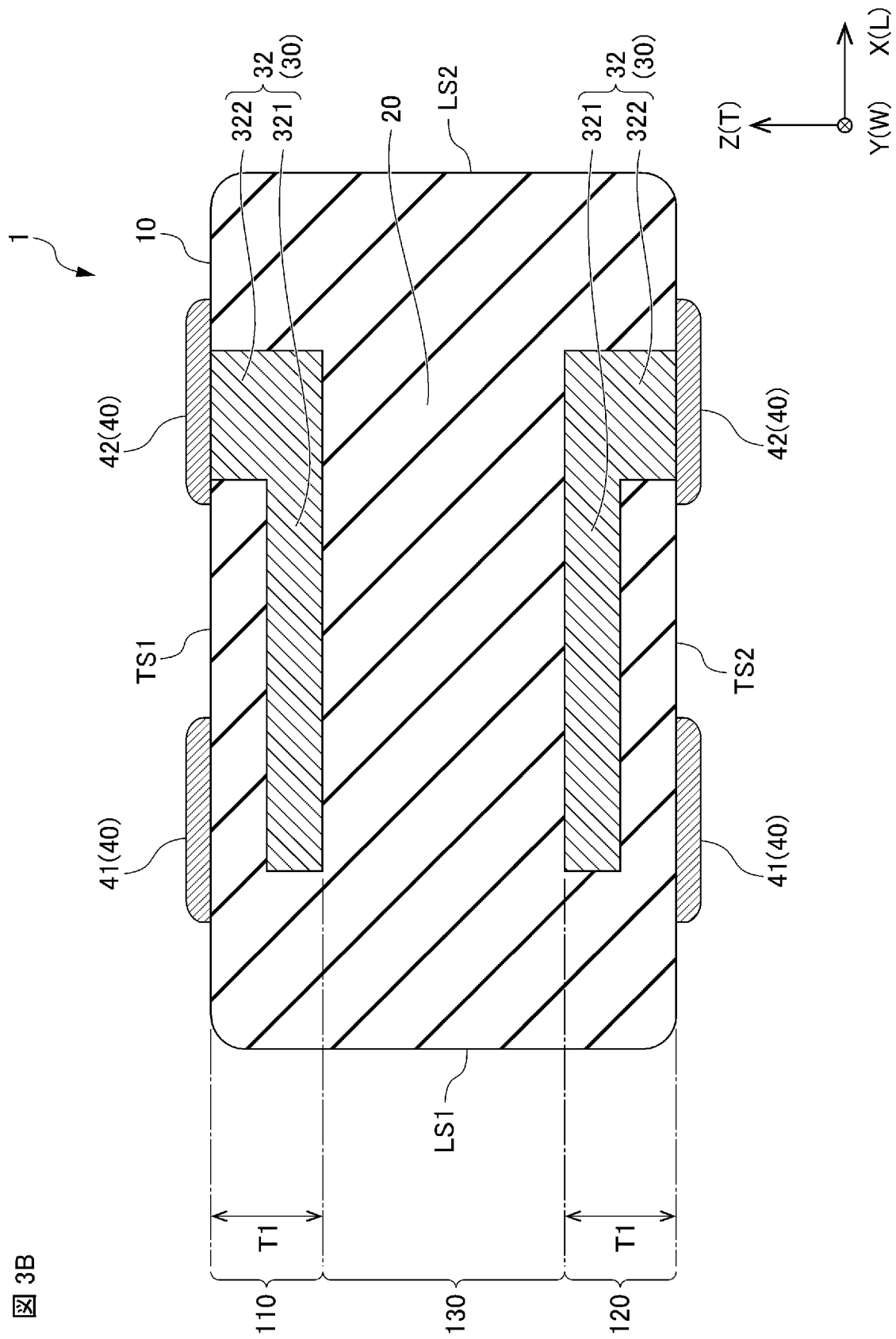
図 2



[3A]

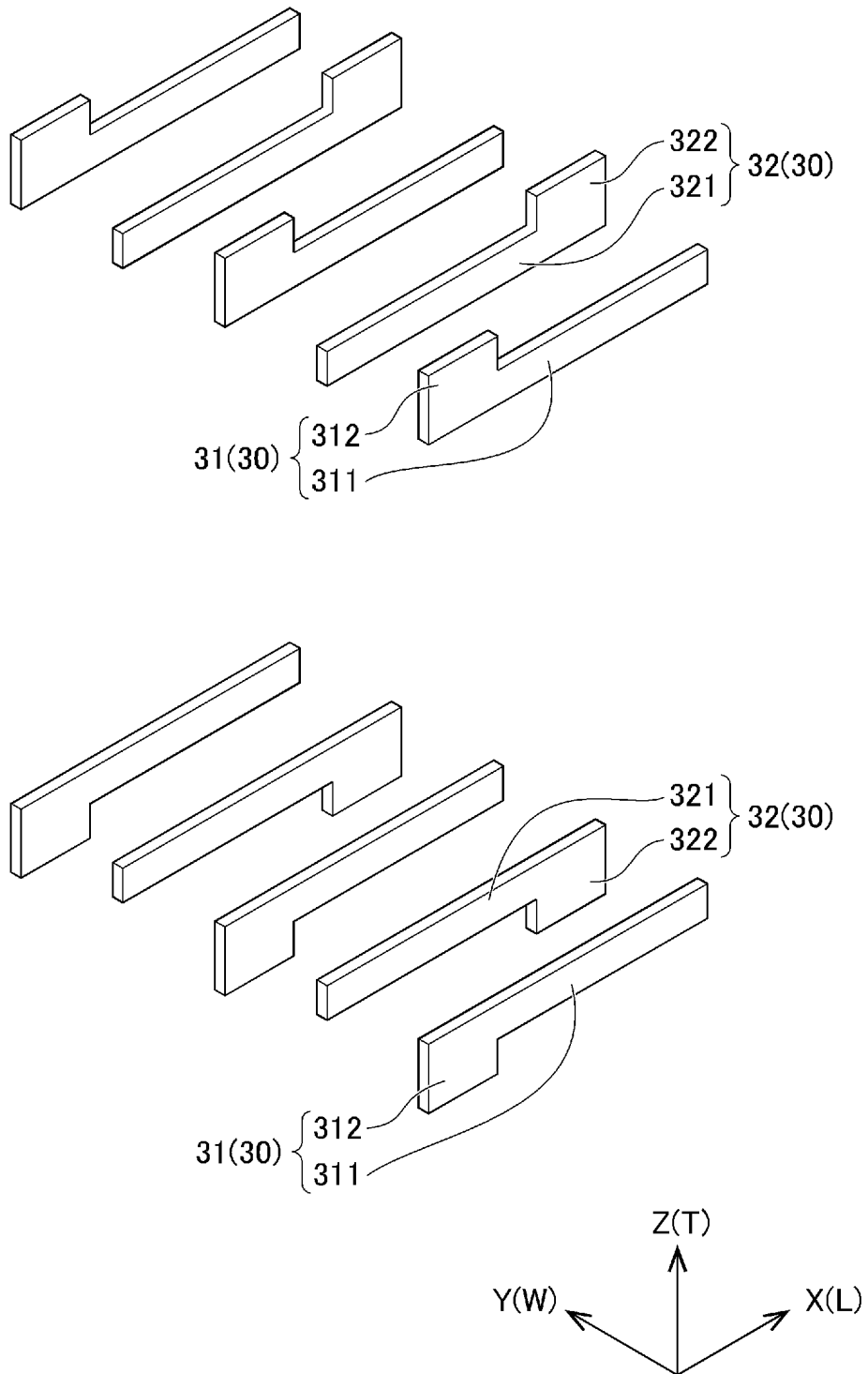


[3B]



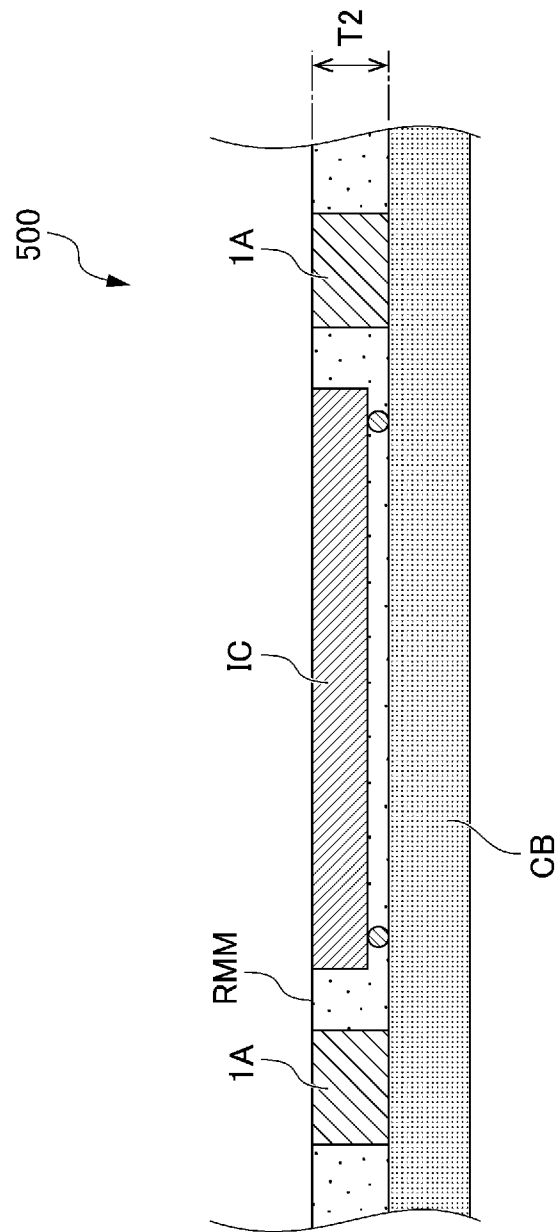
[図4]

図 4



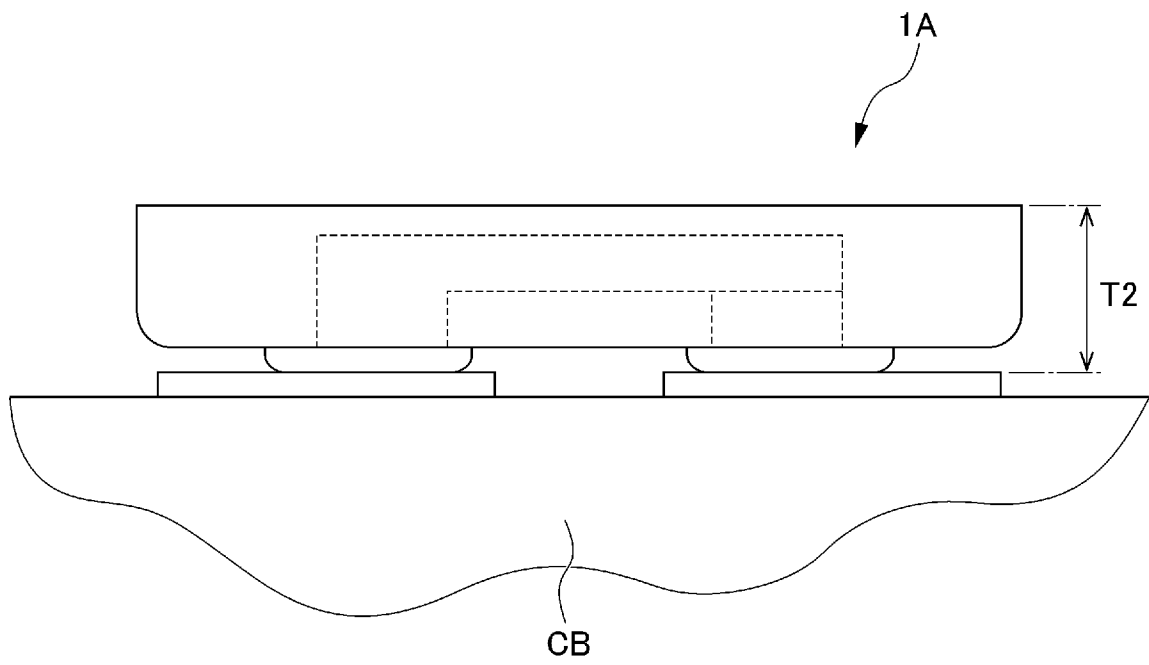
[5A]

[5A]



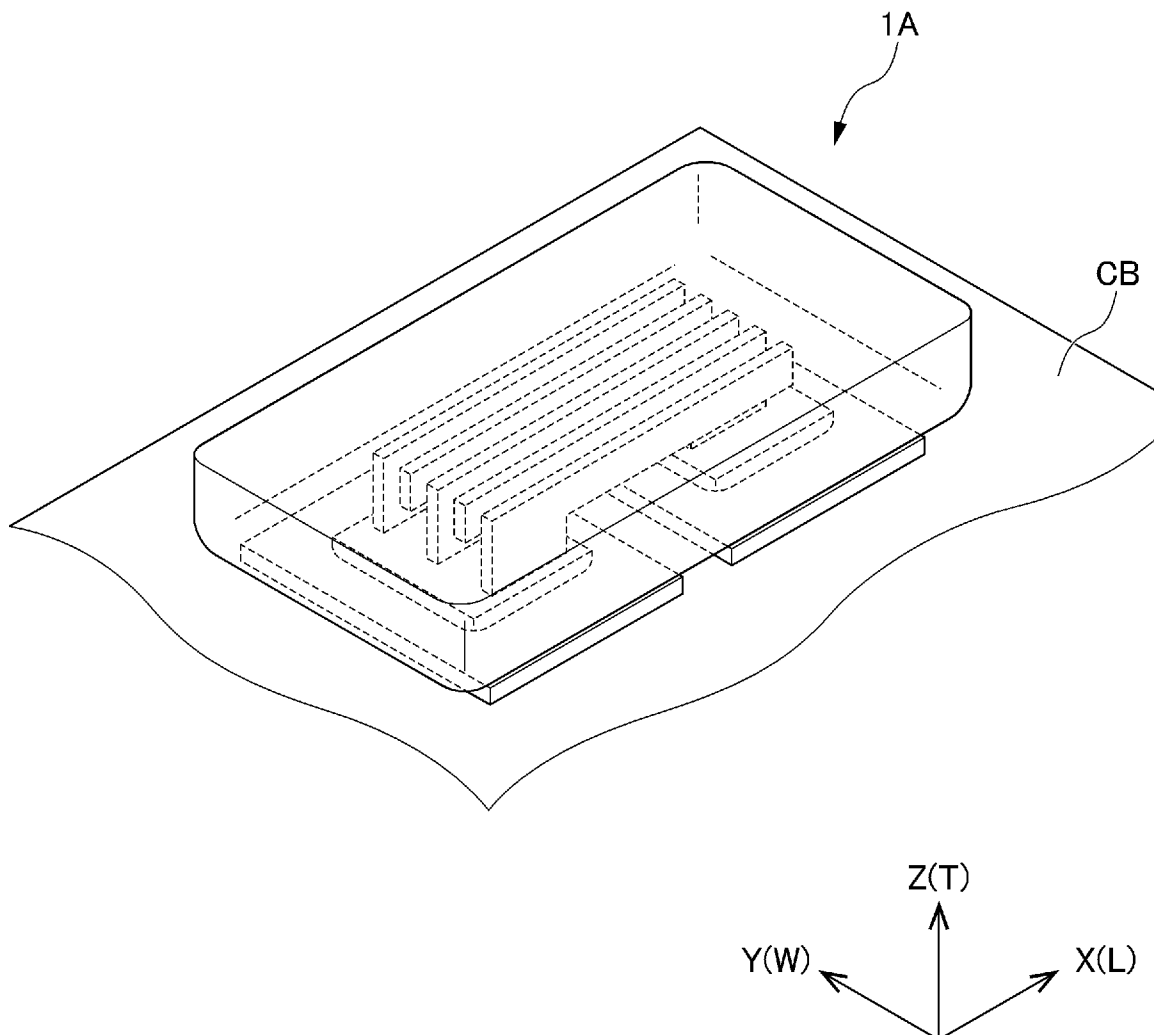
[図5B]

図 5B

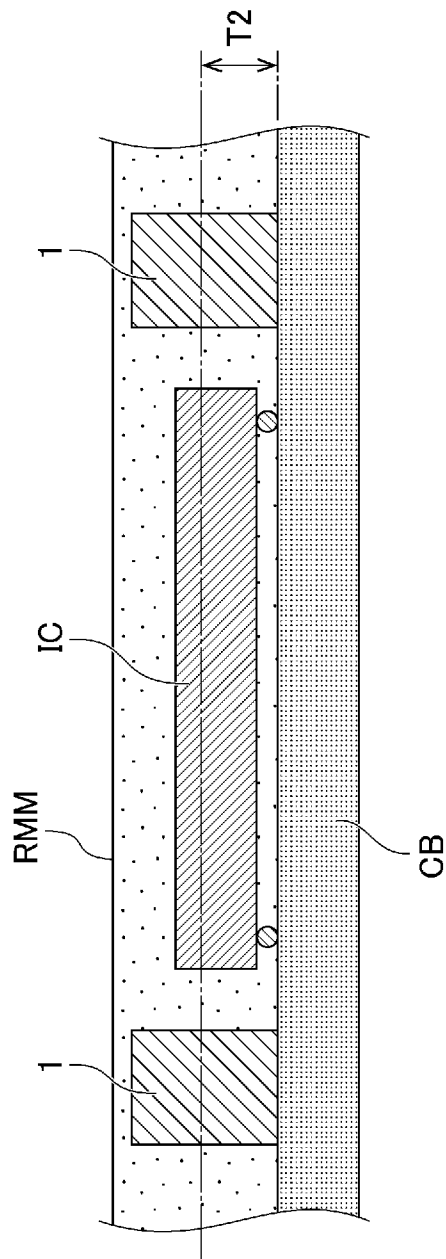


[図5C]

図 5C



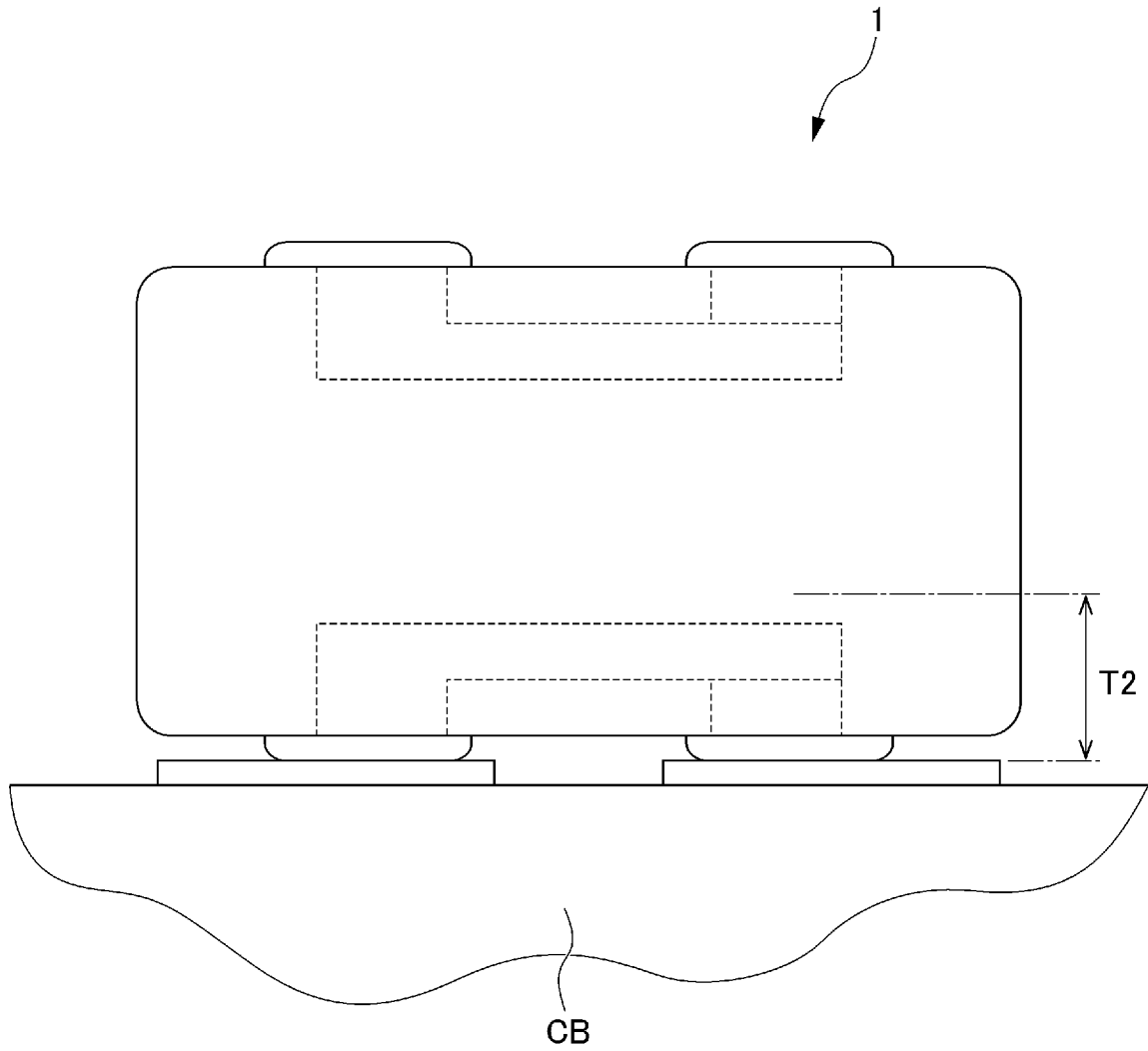
[図6A]



[図6A]

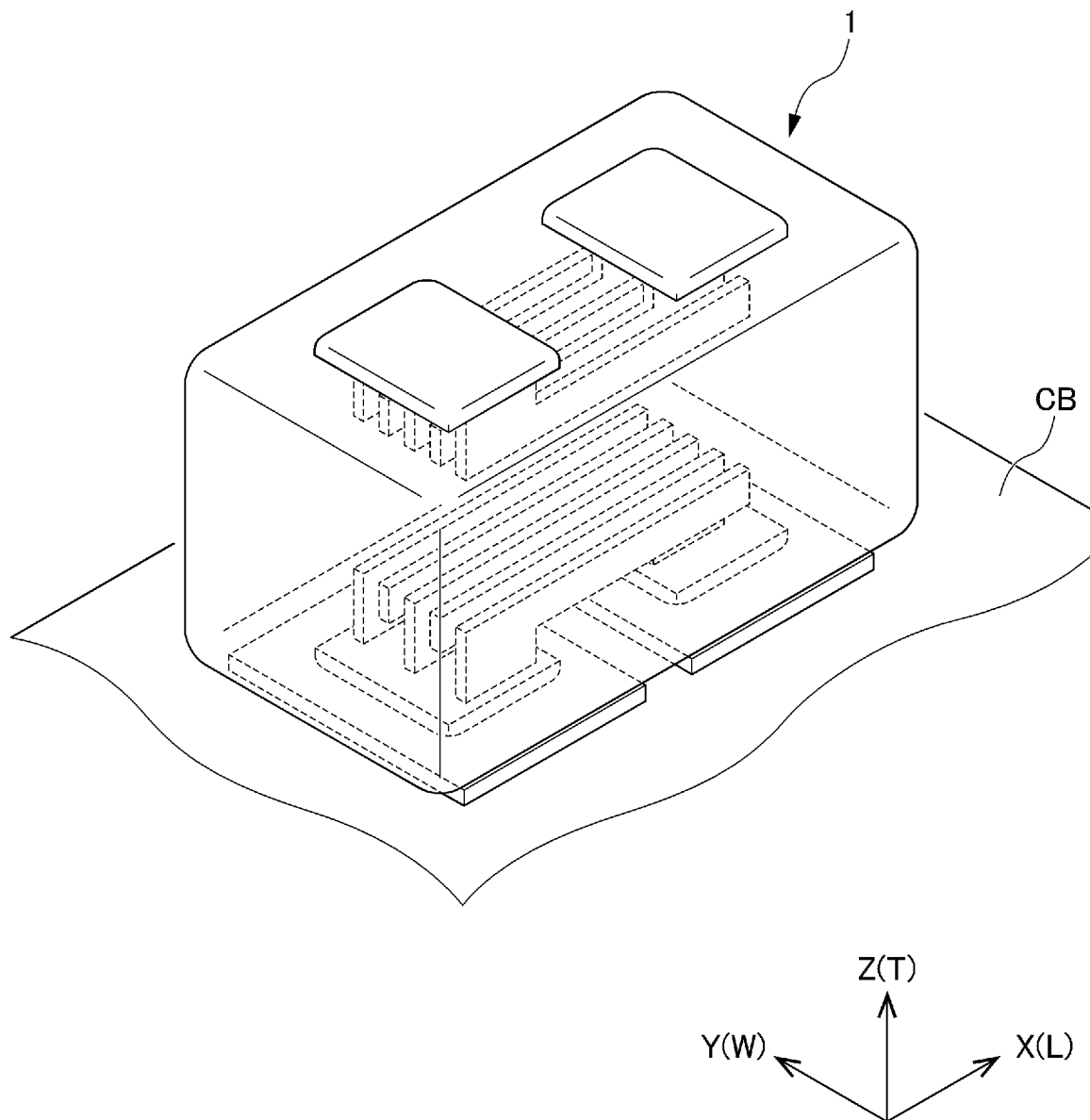
[図6B]

図 6B



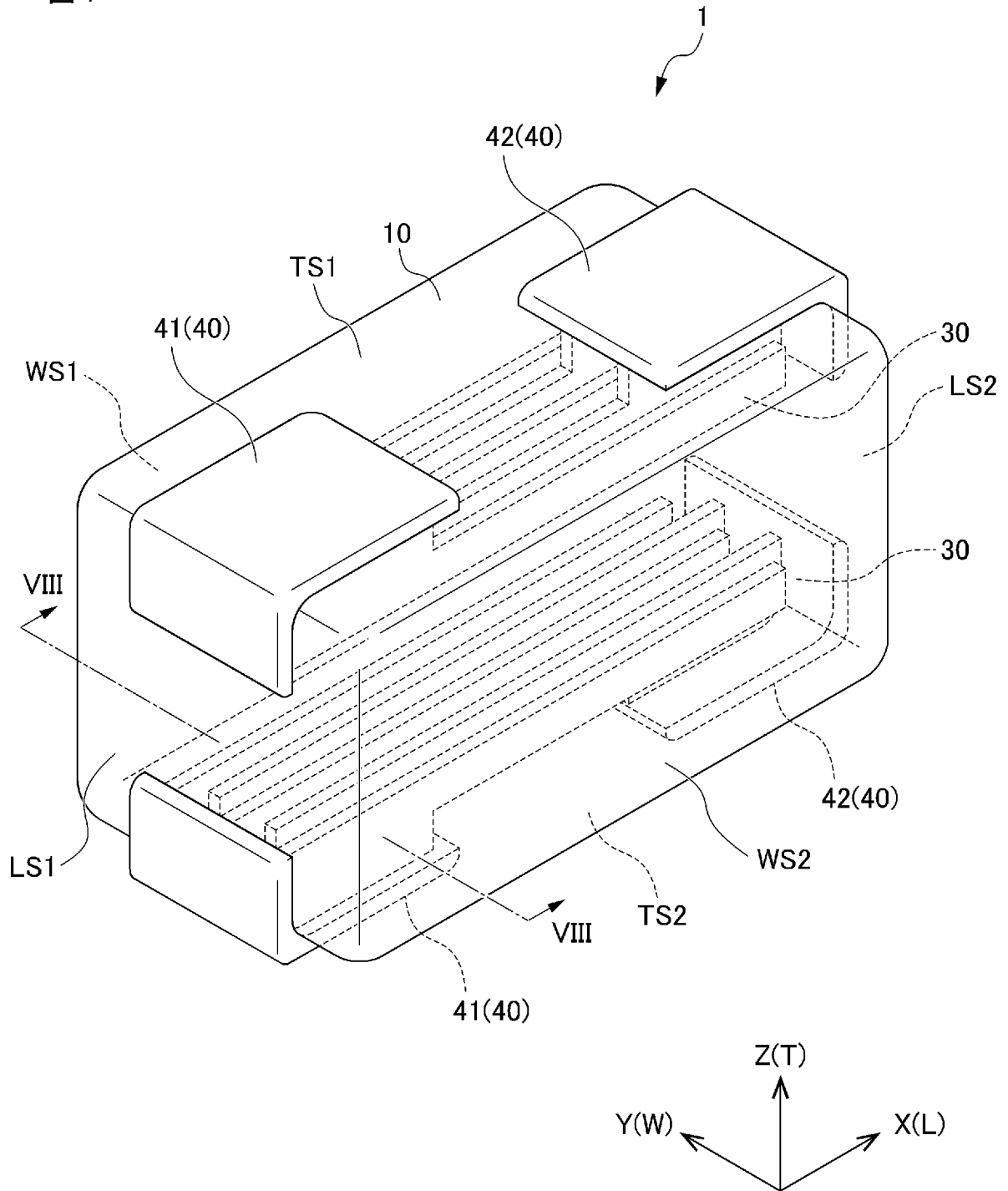
[図6C]

図 6C

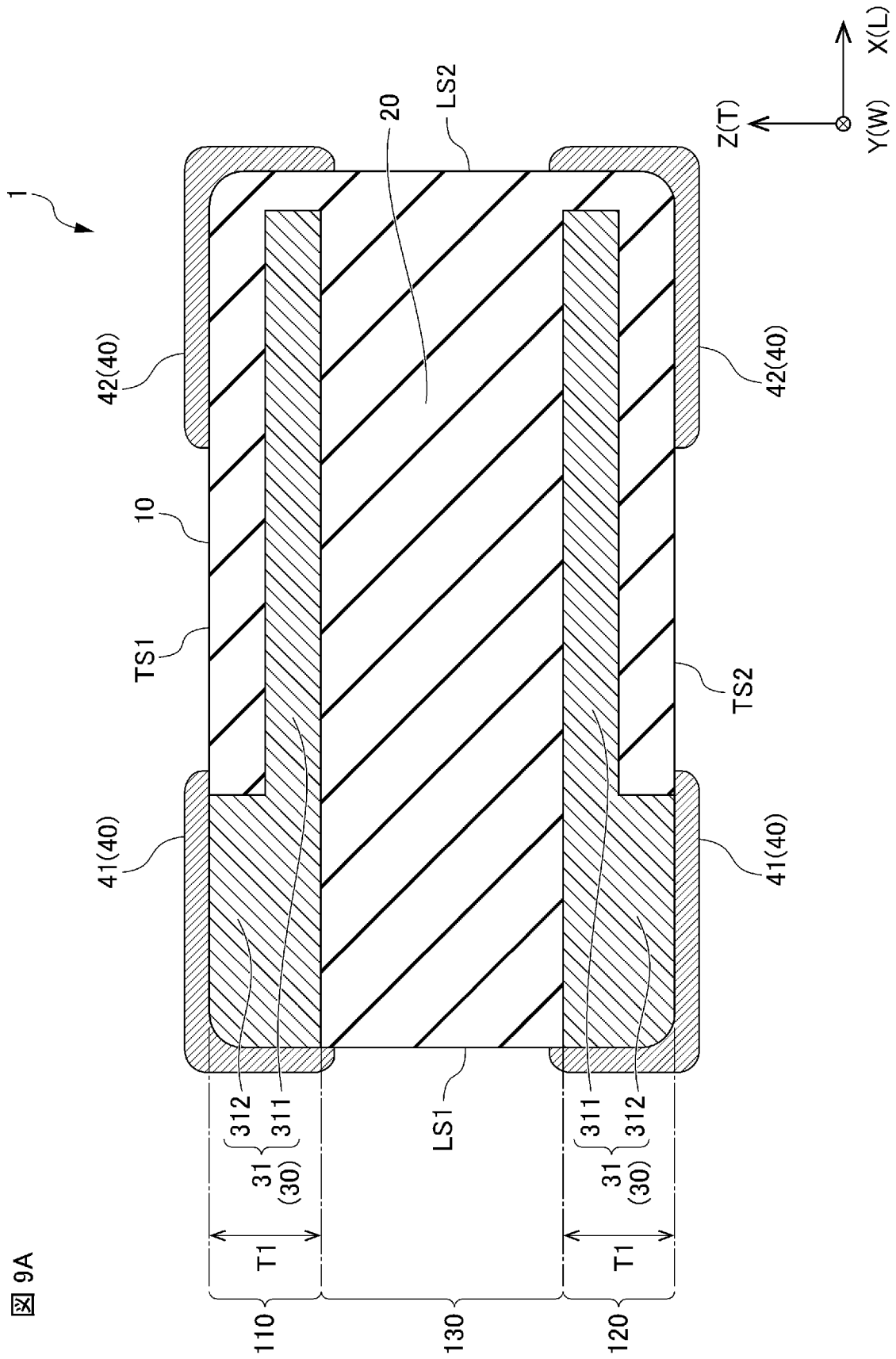


[図7]

図 7

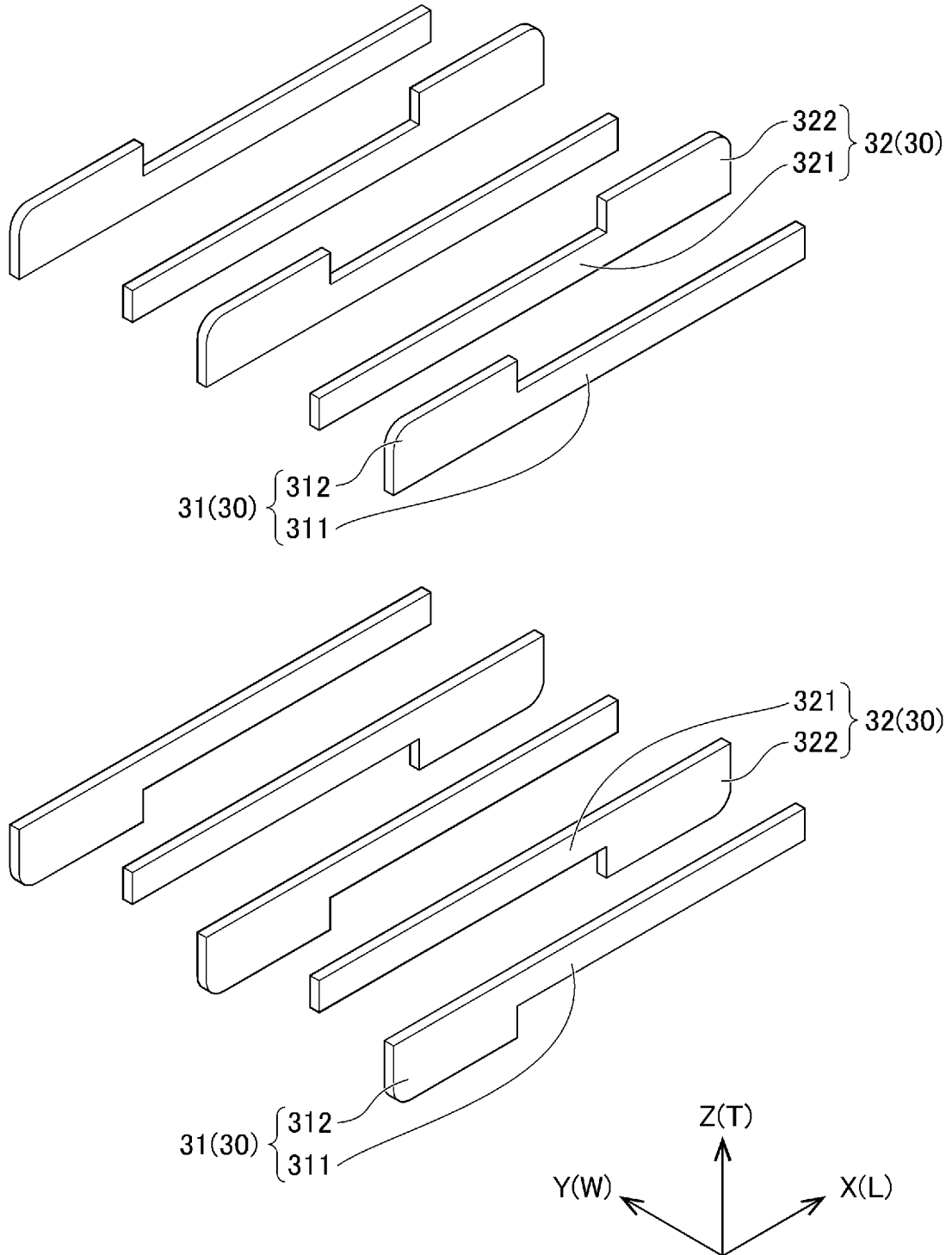


[9A]



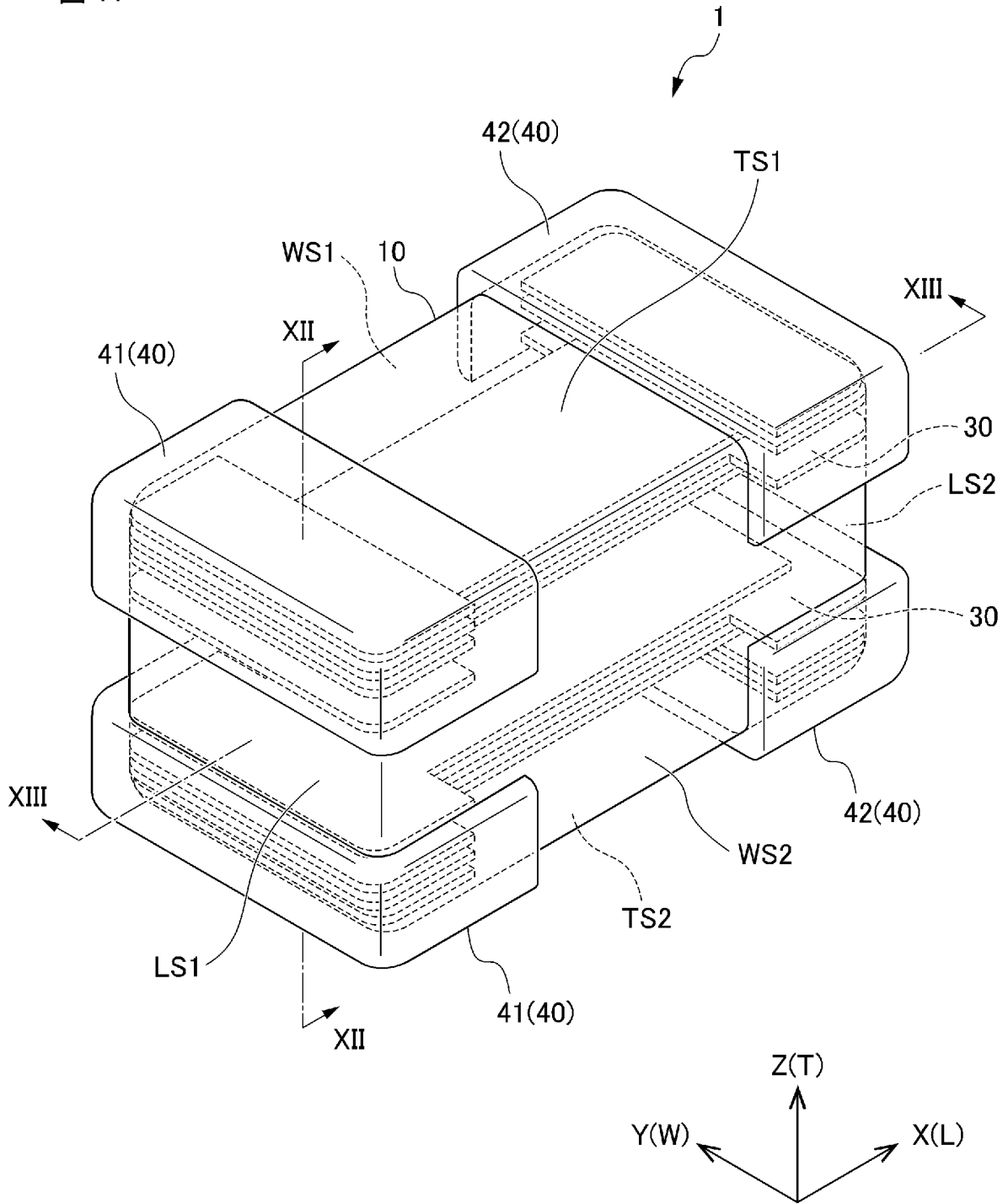
[図10]

図 10



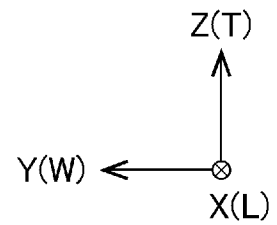
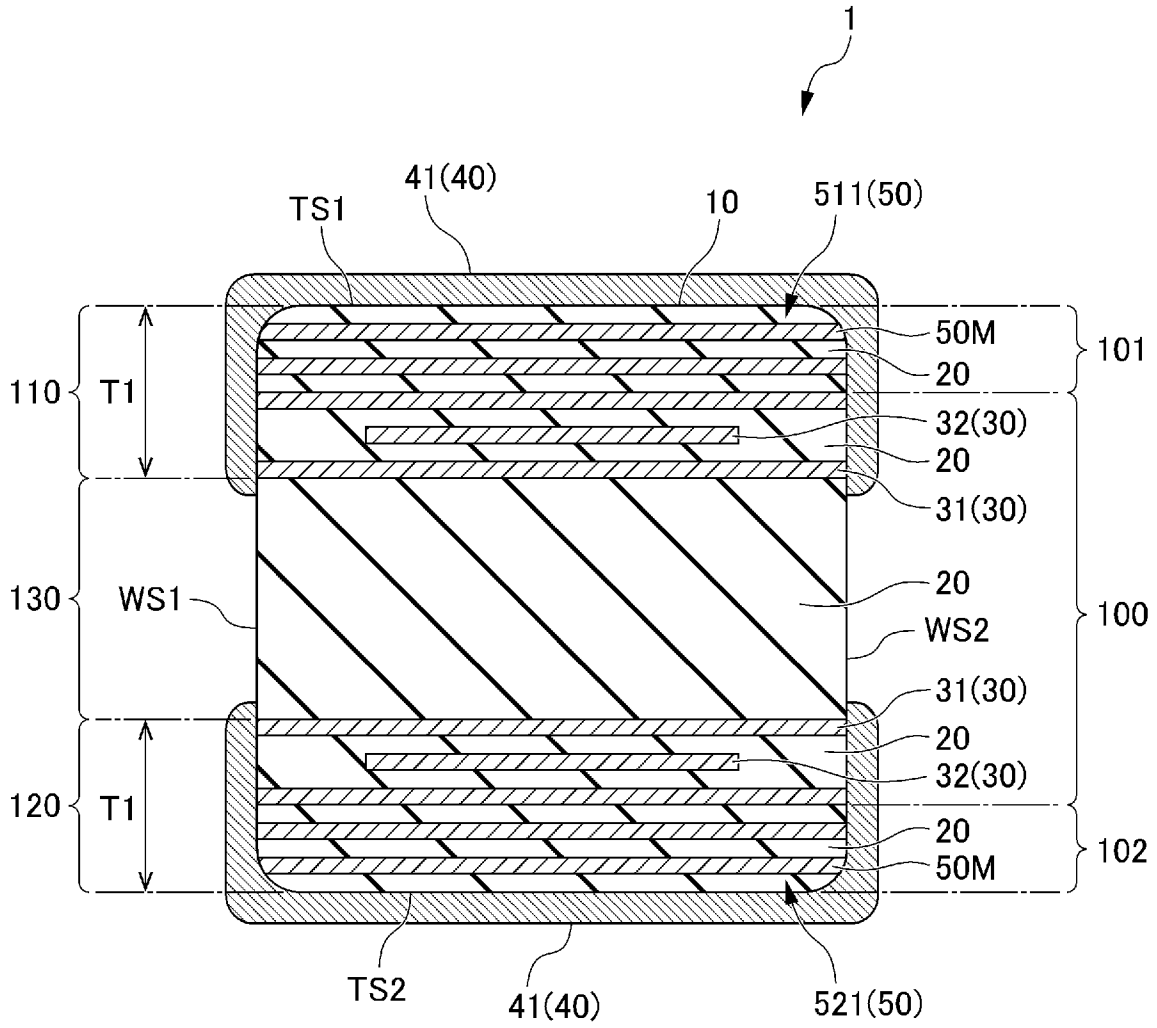
[図11]

図 11



[図12]

図 12



[図13]

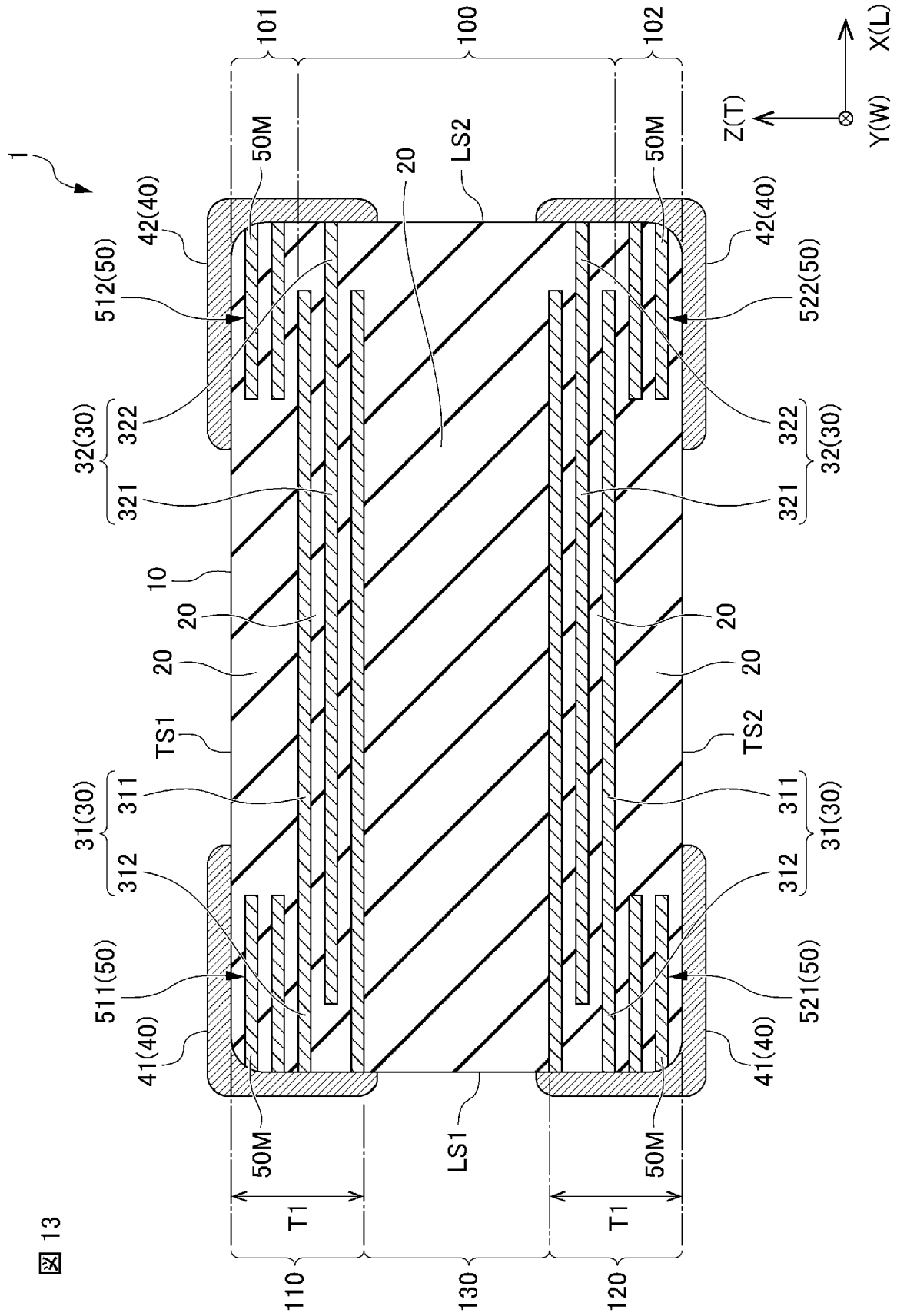
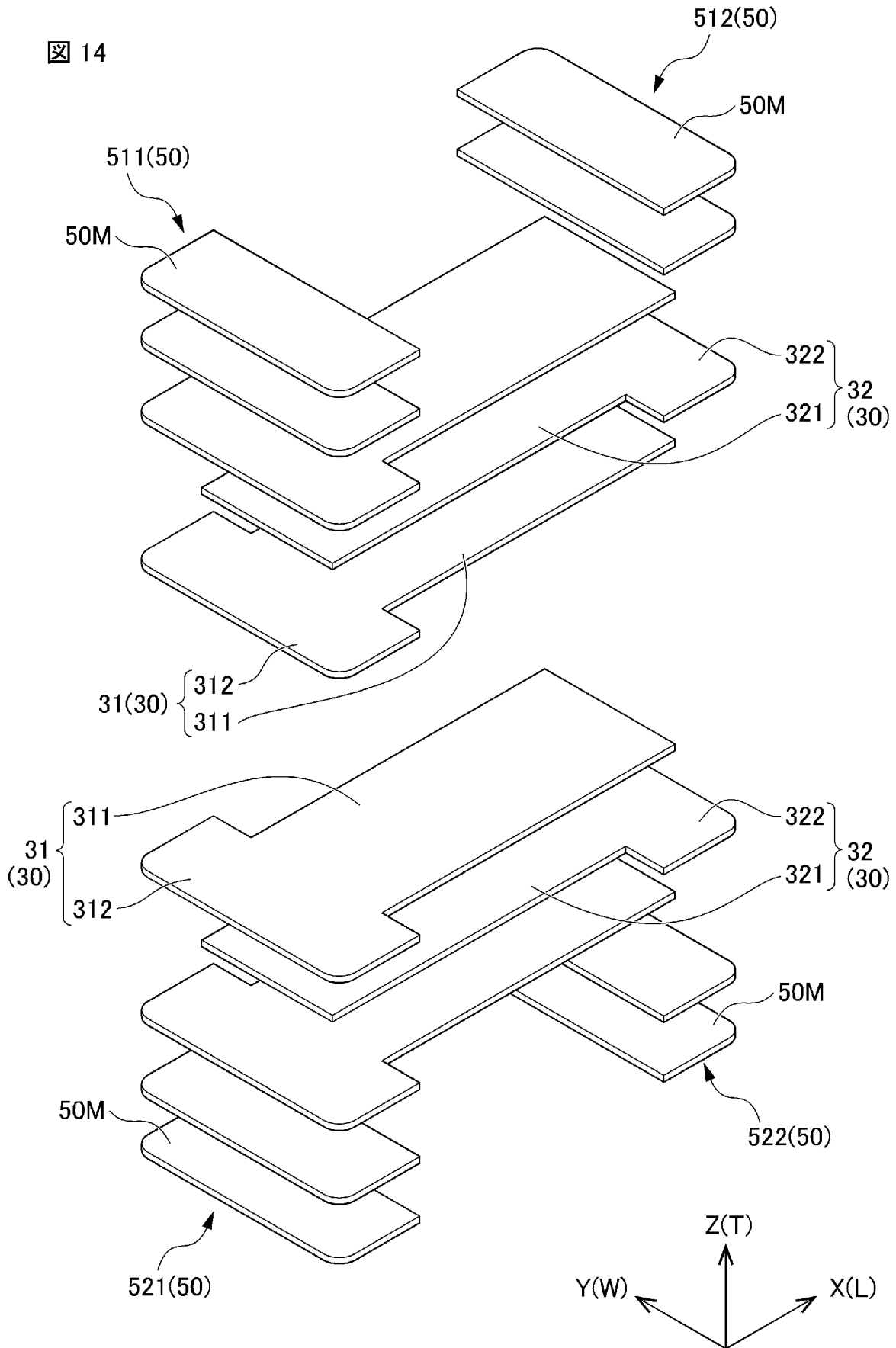


図 13

[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/021066

A. CLASSIFICATION OF SUBJECT MATTER		
<p>H01G 4/30(2006.01)i; H01G 2/06(2006.01)i; H01G 2/10(2006.01)i; H01G 4/224(2006.01)i; H01G 4/38(2006.01)i; H01G 4/40(2006.01)i; H01L 25/04(2014.01)i; H01L 25/18(2006.01)i FI: H01G4/30 201C; H01G2/06 500; H01G2/10 K; H01G4/224 100; H01G4/30 201F; H01G4/30 311Z; H01G4/30 513; H01G4/38 B; H01G4/40 A; H01L25/04 Z</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L25/18; H01L25/04; H01G2/06; H01G2/10; H01G4/224; H01G4/30; H01G4/38; H01G4/40		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-258070 A (MURATA MANUFACTURING CO., LTD.) 11 November 2010 (2010-11-11) paragraphs [0027]-[0097], fig. 1-6	1-5
A		6-7
A	JP 2002-299496 A (FUJITSU LTD) 11 October 2002 (2002-10-11) paragraphs [0064]-[0065], fig. 7	1-7
A	JP 2001-332654 A (MATSUSHITA ELECTRIC IND CO LTD) 30 November 2001 (2001-11-30) fig. 2	1-7
A	JP 2015-53469 A (NITTO DENKO CORP) 19 March 2015 (2015-03-19) fig. 1	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 29 July 2022		Date of mailing of the international search report 09 August 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/021066

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2010-258070	A	11 November 2010	US 2010/0271752 A1 paragraphs [0038]-[0109], fig. 1-6	
JP	2002-299496	A	11 October 2002	US 2002/0102768 A1 paragraphs [0261]-[0262], fig. 23	
JP	2001-332654	A	30 November 2001	US 2002/0159242 A1 fig. 2 EP 1189272 A1 CN 1381069 A KR 10-2002-0005749 A	
JP	2015-53469	A	19 March 2015	WO 2015/019816 A1	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01G 4/30(2006.01)i; H01G 2/06(2006.01)i; H01G 2/10(2006.01)i; H01G 4/224(2006.01)i; H01G 4/38(2006.01)i; H01G 4/40(2006.01)i; H01L 25/04(2014.01)i; H01L 25/18(2006.01)i FI: H01G4/30 201C; H01G2/06 500; H01G2/10 K; H01G4/224 100; H01G4/30 201F; H01G4/30 311Z; H01G4/30 513; H01G4/38 B; H01G4/40 A; H01L25/04 Z</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L25/18; H01L25/04; H01G2/06; H01G2/10; H01G4/224; H01G4/30; H01G4/38; H01G4/40</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2022年																
日本国実用新案登録公報	1996 - 2022年																
日本国登録実用新案公報	1994 - 2022年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X A</td> <td>JP 2010-258070 A（株式会社村田製作所）11.11.2010（2010-11-11） 段落[0027]-[0097], 図1-6</td> <td>1-5 6-7</td> </tr> <tr> <td>A</td> <td>JP 2002-299496 A（富士通株式会社）11.10.2002（2002-10-11） 段落[0064]-[0065], 図7</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>JP 2001-332654 A（松下電器産業株式会社）30.11.2001（2001-11-30） 図2</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>JP 2015-53469 A（日東電工株式会社）19.03.2015（2015-03-19） 図1</td> <td>1-7</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X A	JP 2010-258070 A（株式会社村田製作所）11.11.2010（2010-11-11） 段落[0027]-[0097], 図1-6	1-5 6-7	A	JP 2002-299496 A（富士通株式会社）11.10.2002（2002-10-11） 段落[0064]-[0065], 図7	1-7	A	JP 2001-332654 A（松下電器産業株式会社）30.11.2001（2001-11-30） 図2	1-7	A	JP 2015-53469 A（日東電工株式会社）19.03.2015（2015-03-19） 図1	1-7
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
X A	JP 2010-258070 A（株式会社村田製作所）11.11.2010（2010-11-11） 段落[0027]-[0097], 図1-6	1-5 6-7															
A	JP 2002-299496 A（富士通株式会社）11.10.2002（2002-10-11） 段落[0064]-[0065], 図7	1-7															
A	JP 2001-332654 A（松下電器産業株式会社）30.11.2001（2001-11-30） 図2	1-7															
A	JP 2015-53469 A（日東電工株式会社）19.03.2015（2015-03-19） 図1	1-7															
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																	
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>																	
<p>国際調査を完了した日</p> <p>29.07.2022</p>	<p>国際調査報告の発送日</p> <p>09.08.2022</p>																
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>鈴木 駿平 5D 5588</p> <p>電話番号 03-3581-1101 内線 3551</p>																

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/021066

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-258070 A	11.11.2010	US 2010/0271752 A1 段落[0038]-[0109], 図1-6	
JP 2002-299496 A	11.10.2002	US 2002/0102768 A1 段落[0261]-[0262], 図23	
JP 2001-332654 A	30.11.2001	US 2002/0159242 A1 図2	
		EP 1189272 A1	
		CN 1381069 A	
		KR 10-2002-0005749 A	
JP 2015-53469 A	19.03.2015	WO 2015/019816 A1	