

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年6月7日(07.06.2018)



(10) 国際公開番号

WO 2018/100597 A1

(51) 国際特許分類:
H03M 1/12 (2006.01)

(21) 国際出願番号: PCT/JP2016/085257

(22) 国際出願日: 2016年11月29日(29.11.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: サンケン電気株式会社 (SANKEN ELECTRIC CO.,LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).

(72) 発明者: 林 秀樹 (HAYASHI, Hideki); 〒3528666 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内 Saitama (JP). 竹本 義孝 (TAKEMOTO, Yoshitaka); 〒3528666 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内 Saitama (JP).

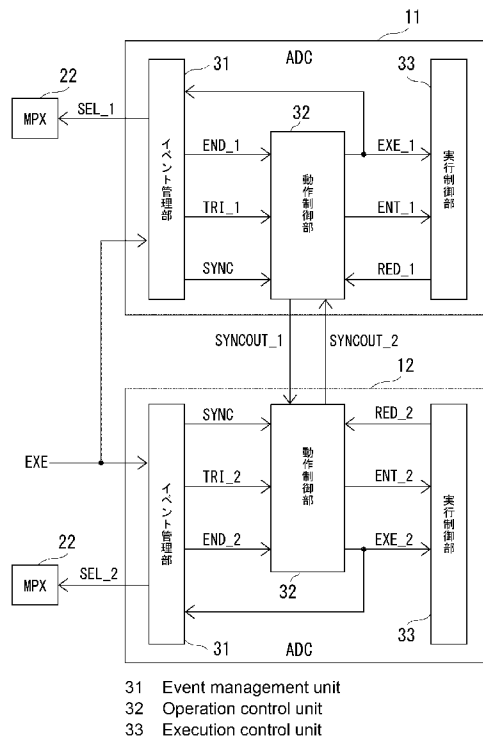
(74) 代理人: 堀 城 之, 外 (HORI, Shiroyuki et al.); 〒1000013 東京都千代田区霞が関3-3-1 尚友会館1階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: AD CONVERSION DEVICE

(54) 発明の名称: A/D変換装置



(57) Abstract: Provided is an AD conversion device with which it is possible to perform synchronization control of a plurality of AD converters independently of a higher-level device. An ADC (11, 12), provided with: an execution control unit (33) for controlling the execution of AD conversion; an event management unit 31 for switching a synchronization command signal SYNC to a high level and issuing a notification of a synchronization command when there has been a command for a simultaneous conversion event, in which a simultaneous conversion operation is set as an event; and an operation control unit (32). When there has been a notification of a synchronization command, and it has been confirmed that preparation for AD conversion is complete in the execution control unit (33), the operation control unit (32) switches the synchronization output signal SYNCOUT to a high level and notifies another ADC (12, 11) that the preparation for AD conversion is complete, and after confirming that all of the synchronization output signals SYNCOUT have switched to a high level and that preparation for AD conversion is complete in all of the ADCs (11, 12), commands the execution control unit (33) to execute a simultaneous conversion event.

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：上位装置から独立して複数のAD変換器の同期制御を行うことができるAD変換装置を提供する。ADC（11、12）は、AD変換の実行を制御する実行制御部（33）と、イベントとして同時変換動作が設定された同時変換イベントが指示されると、シンクロ指示信号SYNCをハイレベルに切り換えてシンクロ指示を通知するイベント管理部31と、シンクロ指示が通知され、実行制御部（33）においてAD変換の準備が整ったことを確認すると、シンクロ出力信号SYNCOUTをハイレベルに切り換えてAD変換の準備が整ったことを他のADC（12、11）に通知すると共に、シンクロ出力信号SYNCOUTのいずれもがハイレベルに切り換わり、全てのADC（11、12）においてAD変換の準備が整ったことを確認した後に、実行制御部（33）に同時変換イベントの実行を指示する動作制御部（32）と、を備えている。

明 細 書

発明の名称： A D 変換装置

技術分野

[0001] 本発明は、アナログ信号をデジタル信号に A D 変換する A D 変換装置に関する。

背景技術

[0002] 多数のアナログ信号をデジタル信号に A D 変換する場合、アナログ信号ごとに A D 変換器を設けることは効率がよくない。そこで、複数のアナログ信号に対して 1 つの A D 変換器を設け、複数のアナログ信号を切替えて A D 変換を行うことが提案されている（例えば、特許文献 1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開 2 0 0 5 - 3 0 3 5 7 5 号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、電源回路を制御計算するには、複数のアナログ信号を同時刻に A D 変換する必要があり、同時刻に A D 変換するアナログ信号の数と同数の A D 変換器を設けている。この場合、上位装置で複数の A D 変換器の同期制御が必要となり、上位装置に負担がかかってしまうという問題点があった。

[0005] 本発明の目的は、従来技術の上記問題を解決し、上位装置から独立して複数の A D 変換器の同期制御を行うことができる A D 変換装置を提供することにある。

課題を解決するための手段

[0006] 本発明の A D 変換装置は、入力されたアナログ信号をデジタル信号に A D 変換する複数の A D 変換器を備え、複数の前記 A D 変換器が上位装置から指示されたイベントをそれぞれ独立して実行する A D 変換装置であって、前記

A D変換器は、A D変換の実行を制御する実行制御部と、前記イベントとして同時変換動作が設定された同時変換イベントが指示されると、シンクロ指示を通知するイベント管理部と、前記シンクロ指示が通知され、前記実行制御部においてA D変換の準備が整ったことを確認すると、A D変換の準備が整ったことを他の前記A D変換器に通知すると共に、全ての前記A D変換器においてA D変換の準備が整ったことを確認した後に、前記実行制御部に前記同時変換イベントの実行を指示する動作制御部と、を具備することを特徴とする。

さらに、本発明のA D変換装置において、前記イベントが前記同時変換イベントでなく、前記シンクロ指示が通知されない状態では、前記動作制御部は、前記実行制御部においてA D変換の準備が整ったことを確認すると、A D変換の準備が整ったことを他の前記A D変換器に通知することなく、前記実行制御部に前記イベントの実行を指示しても良い。

さらに、本発明のA D変換装置において、前記同時変換イベントには、前記イベントの中で最も高い優先順位が設定されており、前記イベント管理部は、前記同時変換イベントを含む複数の前記イベントが待機状態である場合、前記同時変換イベントを優先して実行させても良い。

発明の効果

[0007] 本発明によれば、複数のA D変換器の間で互いの準備が整ったことを確認することができるため、上位装置に負担をかけることなく、上位装置から独立して複数のA D変換器の同期制御を行うことができるという効果を奏する。

図面の簡単な説明

[0008] [図1]本発明に係るA D変換装置の実施の形態の回路構成を示す回路構成図である。

[図2]図1に示すA D変換器の回路構成を示す回路構成図である。

[図3]図2に示すイベント管理部に記憶されているイベント対応テーブル例を示す図である。

[図4]本発明に係るAD変換装置の実施の形態における同時変換動作を説明するための波形図である。

[図5]本発明に係るAD変換装置の他の実施の形態の回路構成を示す回路構成図である。

発明を実施するための形態

[0009] 本実施の形態のAD変換装置1は、図1を参照すると、入力されたアナログ信号をデジタル信号にAD変換する2つのAD変換器(ADC)11、12と、ADC11に入力するアナログ信号を切替える切替器(MPX)21と、ADC12に入力するアナログ信号を切替える切替器(MPX)22とを備えている。そして、ADC11、12と、MPX21、22は、所定期(サンプリング周期)のサンプリングクロックに従って動作する。

[0010] ADC11、12は、図示しない上位装置から入力されるイベント信号EVEによって指定されたイベントに応じたアナログ信号をデジタル信号にAD変換する。イベント信号EVEは、優先順位が設定された複数のイベントのいずれかを指定する。また、各イベントには、MPX21、22に接続されている複数のアナログ入力CH__0~CH__nの中から、ADC11、12によってAD変換するアナログ入力の設定されている。なお、本実施の形態では、便宜上、MPX21、22に同一のアナログ入力CH__0~CH__nが接続されることにしたが、MPX21とMPX22とにそれぞれ接続するアナログ入力CHは任意であることは言うまでもない。

[0011] ADC11、12は、図2を参照すると、イベント信号EVEによって指定されたイベント毎の動作を管理するイベント管理部31と、AD変換の開始タイミングを制御する動作制御部32と、AD変換の実行を制御する実行制御部33とをそれぞれ備えている。

[0012] イベント管理部31には、図3に示すようなイベント対応テーブルが設定されている。イベント対応テーブルは、イベント信号EVEによって指定される複数のイベント(イベント「0」~イベント「4」)の優先順位と、MPX21、22に接続されている複数のアナログ入力CH__0~CH__nの

中から、ADC 11、12によってAD変換するアナログ入力とが設定されている。なお、図3に示すイベント対応テーブルでは、イベント「0」の優先順位が最も高く設定され、アナログ入力CH__0をADC 11で、アナログ入力CH__1をADC 12でそれぞれAD変換する設定になっている。

[0013] イベント管理部31は、イベント信号EVEが入力されると、イベント対応テーブルを参照することで、AD変換するアナログ入力CHが割り当てられているか否かを判断し、トリガ信号TRIを動作制御部32に出力する。

[0014] なお、AD変換装置1は、上位装置から独立して動作する。従って、上位装置からのイベント信号EVEは、イベントの実行中であってもイベント管理部31に入力され、複数のイベントが待機状態となる場合がある。この場合、イベント管理部31は、実行中のイベントが終了後、待機状態のイベントの中で最も優先順位が高いものを次に実行させる。また、トリガ信号TRIは、次に実行するイベントが存在することを通知する信号である。従って、1つ以上のイベントが待機状態で、イベント信号EVEが入力された場合は、実行中のイベントが終了後に出力される。

[0015] 動作制御部32は、トリガ信号TRIが入力されると、エントリー信号ENTを実行制御部33に出力する。そして、実行制御部33は、エントリー信号ENTに応じて、AD変換の準備が整うと、レディ信号REDを動作制御部32に出力する。エントリー信号ENTは、実行制御部33に対してAD変換の実行準備を依頼するための信号であり、実行制御部33からレディ信号REDが入力されるまで、出力状態が維持される。

[0016] 動作制御部32は、レディ信号REDが入力されると、AD変換の実行を指示する実行信号EXEをイベント管理部31と実行制御部33とに出力する。これにより、イベント管理部31は、切替信号SELによってアナログ入力を切替え、実行制御部33は、イベント管理部31によって切替えられるアナログ入力のアナログ信号を順次デジタル信号にAD変換する。なお、イベント管理部31は、実行中のイベントにおいて最後のアナログ入力に切替えると、エンド信号ENDを動作制御部32に出力して、動作制御部32

による実行信号E X Eの出力を停止させる。

[0017] 優先順位が最も高いイベント「0」は、ADC 1 1とADC 1 2との変換値を同時刻のものとする同時変換動作に設定されている。なお、ADC 1 1、1 2は変換処理する際に、内部の容量に電圧を保存し、その容量の電圧を測定することで値を求める。そのため、ADC 1 1とADC 1 2との変換値を同時刻のものにするためには、ADC 1 1とADC 1 2とが電圧を保存する開始時刻が同じであれば良く、同時変換動作では、ADC 1 1とADC 1 2とでAD変換の開始時刻を同じに制御する。

[0018] 次に、AD変換装置1による同時変換動作について図4を参照して説明する。なお、図4において、(a)はADC 1 1及びADC 1 2のイベント管理部3 1からそれぞれ出力されるシンクロ指示信号SYNC、(b)はADC 1 1のイベント管理部3 1から出力されるトリガ信号TRI__1、(c)はADC 1 1の動作制御部3 2から出力されるエントリー信号ENT__1、(d)はADC 1 1の動作制御部3 2から出力されるシンクロ出力信号SYNCOUT__1、(e)はADC 1 1の動作制御部3 2から出力されるエントリー信号ENT__1、(f)はADC 1 1の実行制御部3 3から出力されるレディ信号RED__1、(g)はADC 1 2のイベント管理部3 1から出力されるトリガ信号TRI__2、(h)はADC 1 2の動作制御部3 2から出力されるエントリー信号ENT__2、(i)はADC 1 2の動作制御部3 2から出力されるシンクロ出力信号SYNCOUT__2、(j)はADC 1 2の動作制御部3 2から出力されるエントリー信号ENT__2、(k)はADC 1 1の実行制御部3 3から出力されるレディ信号RED__2をそれぞれ示している。

[0019] ADC 1 1とADC 1 2とのそれぞれのイベント管理部3 1は、入力されたイベント信号EVEによってイベント「0」が指定されると、シンクロ指示信号SYNCをハイレベルに切り換え、動作制御部3 2に同時変換動作を指示する。また、図2に示すように、イベント「0」には、アナログ入力CH__0がADC 1 1に、アナログ入力CH__1がADC 1 2にそれぞれ割り

当てられているため、ADC 1 1とADC 1 2とのそれぞれのイベント管理部 3 1は、トリガ信号TRI__1とトリガ信号TRI__2とをそれぞれ所定期間ハイレベルとすることで、実行するイベントが存在することを通知する。

[0020] トリガ信号TRI__1とトリガ信号TRI__2との入力により、ADC 1 1とADC 1 2とのそれぞれの動作制御部 3 2は、エントリー信号ENT__1とエントリー信号ENT__2とをそれぞれハイレベルに切り換えることで、実行制御部 3 3に対してAD変換の実行準備を依頼する。

[0021] ここで、ADC 1 1が他のイベントを実行しておらず、待機中であった場合には、ADC 1 1の実行制御部 3 3は、エントリー信号ENT__1の入力に対応して、レディ信号RED__1を所定時間ハイレベルに切り換えることで、動作制御部 3 2に準備ができていることを通知する。

[0022] レディ信号RED__1が入力されたADC 1 1の動作制御部 3 2は、シンクロ指示信号SYNCがローレベルである通常動作では、実行信号EXEをハイレベルに切り換えることで、イベント管理部 3 1及び実行制御部 3 3にAD変換の実行を指示するが、シンクロ指示信号SYNCがハイレベルである同時変換動作では、シンクロ出力信号SYNCOUT__1をハイレベルに切り換えることで、ADC 1 1でのAD変換の準備が整ったことをADC 1 2の動作制御部 3 2に通知する。

[0023] 一方、ADC 1 2が他のイベントを実行中であった場合、ADC 1 2の実行制御部 3 3は、エントリー信号ENT__2の入力後、実行中のイベントが終了後、レディ信号RED__2を所定時間ハイレベルに切り換えることで、動作制御部 3 2に準備ができていることを通知する。

[0024] レディ信号RED__2が入力されたADC 1 2の動作制御部 3 2は、シンクロ指示信号SYNCがハイレベルである同時変換動作では、シンクロ出力信号SYNCOUT__2をハイレベルに切り換えることで、ADC 1 2でのAD変換の準備が整ったことをADC 1 1の動作制御部 3 2に通知する。

[0025] そして、ADC 1 1とADC 1 2とのそれぞれの動作制御部 3 2は、シン

クロ出力信号SYNCOUT__1と、シンクロ出力信号SYNCOUT__2とのいずれもがハイレベルに切り換わると、実行信号EXEをハイレベルに切り換えることで、イベント管理部31及び実行制御部33にAD変換の実行を指示する。これにより、ADC11の動作制御部32は、ADC12の準備が整うのを待ち、ADC11とADC12とでAD変換の開始時刻を同じに制御されることになる。

[0026] なお、本実施の形態では、2つのADC11、12を設けた例について説明したが、3つ以上のADCを設けた場合も、全てのADCからそれぞれ出力されるシンクロ出力信号SYNCOUTの論理積をとって、実行信号EXEをハイレベルに切り換えれば簡単に適用することができる。

[0027] さらに、図5に示すように、設定により、MPX21、22に接続されている複数のアナログ入力CH__0～CH__nの固有番号（チャンネル）を変更するレジスタ40を設けるようにしても良い。ADC11、12は、切替信号SELチャンネルを指定することでアナログ入力CHを切替える。従って、レジスタ40の設定によって固有番号（チャンネル）を変更可能に構成することで、アナログ入力CH__0～CH__nの接続を変更することなく、イベントとアナログ入力CH__0～CH__nとの対応を変更することが可能になる。

[0028] 例えば、チャンネルがそれぞれ「00」、「01」、「10」、「11」のアナログ入力CH__a～CH__dを順番にAD変換するイベントの場合、レジスタ40の設定によって「0」と「1」を入れ替えることで、AD変換の順番がCH__d～CH__aに変更される。

[0029] 以上説明したように、本実施の形態によれば、入力されたアナログ信号をデジタル信号にAD変換する複数のAD変換器（ADC11、12）を備え、ADC11、12が上位装置から指示されたイベントをそれぞれ独立して実行するAD変換装置1であって、ADC11、12は、AD変換の実行を制御する実行制御部33と、イベントとして同時変換動作が設定された同時変換イベント（イベント「0」）が指示されると、シンクロ指示信号SYN

Cをハイレベルに切り換えてシンクロ指示を通知するイベント管理部31と、シンクロ指示が通知され、実行制御部33においてAD変換の準備が整ったことを確認すると、シンクロ出力信号SYNCOUT__1、SYNCOUT__2をハイレベルに切り換えてAD変換の準備が整ったことを他のADC11、12に通知すると共に、シンクロ出力信号SYNCOUT__1、SYNCOUT__2のいずれもがハイレベルに切り換わり、全てのADC11、12においてAD変換の準備が整ったことを確認した後に、実行制御部33にイベント「0」の実行を指示する動作制御部32とを備えている。

この構成により、シンクロ出力信号SYNCOUT__1、SYNCOUT__2によって、ADC11、12との間で互いの準備が整ったことを確認することができるため、上位装置に負担をかけることなく、上位装置から独立してADC11、12の同期制御を行うことができる。

[0030] さらに、本実施の形態によれば、イベントがイベント「0」でなく、シンクロ指示が通知されない状態では、動作制御部32は、実行制御部33においてAD変換の準備が整ったことを確認すると、AD変換の準備が整ったことを他のADC11、12に通知することなく、実行制御部33にイベントの実行を指示する。

この構成により、シンクロ指示信号SYNC（シンクロ指示）によって、同時変換動作と独立した動作とを簡単に切り換えることができる。

[0031] さらに、本実施の形態によれば、イベント「0」には、イベントの中で最も高い優先順位が設定されており、イベント管理部31は、イベント「0」を含む複数のイベントが待機状態である場合、イベント「0」を優先して実行させる。

この構成により、同時変換動作が設定された同時変換イベントを簡単に優先して実行することができるため、同時変換動作のための待ち時間を最小限にとどめることが可能になる。

[0032] 以上、本発明を具体的な実施形態で説明したが、上記実施形態は一例であって、本発明の趣旨を逸脱しない範囲で変更して実施できることは言うまで

も無い。

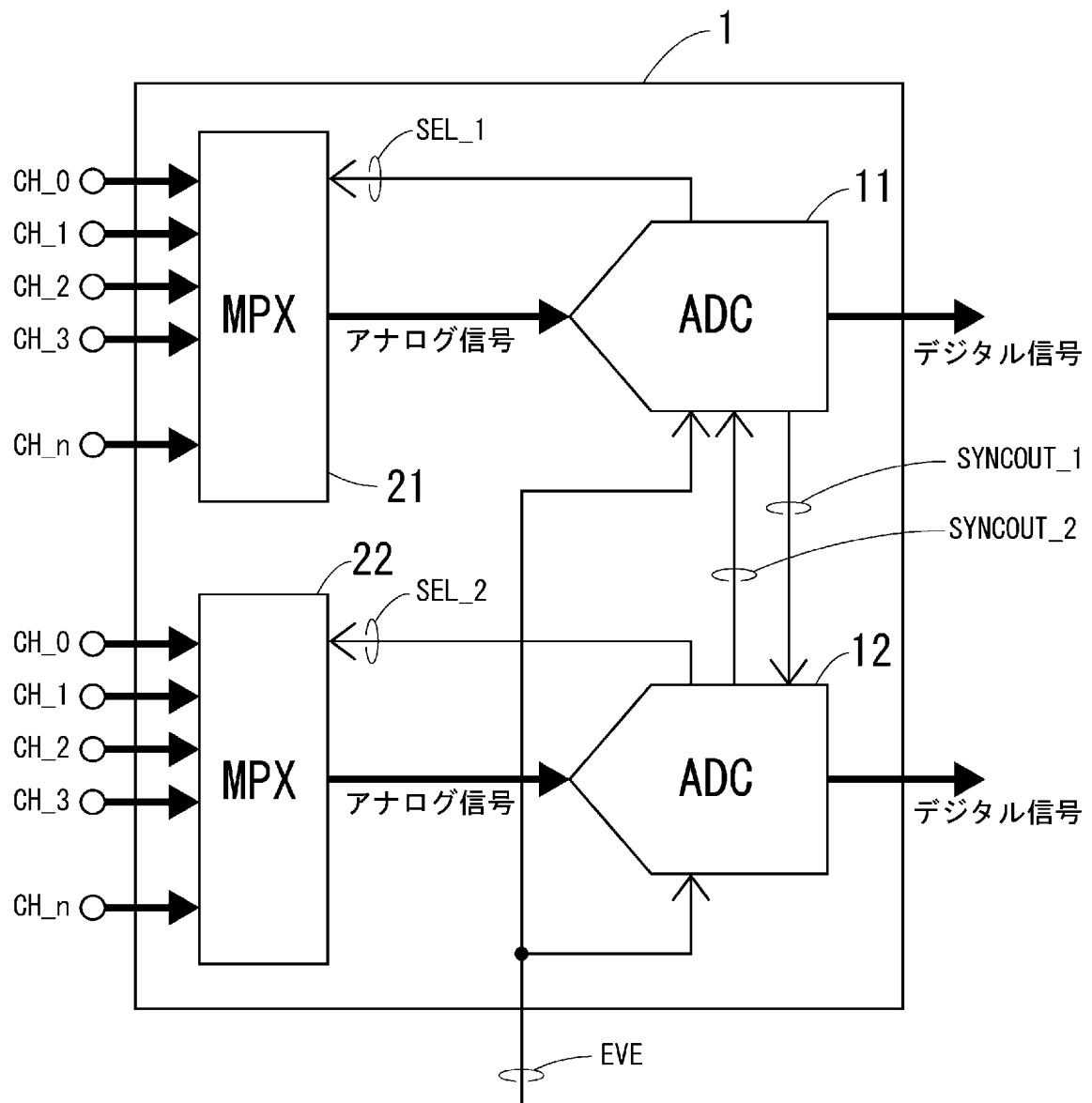
符号の説明

- [0033] 1 A D 変換装置
- 1 1、1 2 A D 変換器 (A D C)
- 2 1、2 2 切替器 (M P X)
- 3 1 イベント管理部
- 3 2 動作制御部
- 3 3 実行制御部
- 4 0 レジスタ

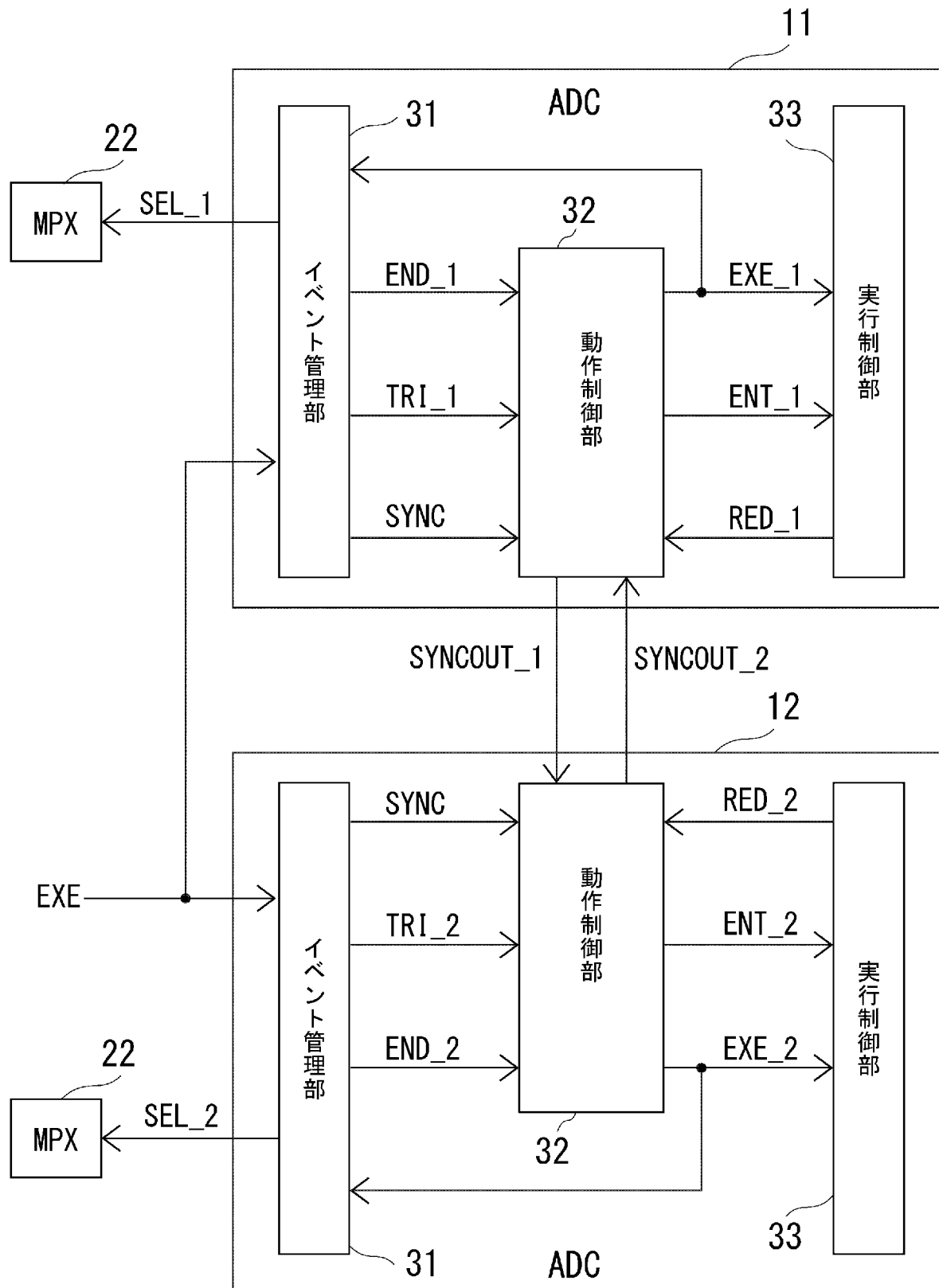
請求の範囲

- [請求項1] 入力されたアナログ信号をデジタル信号にA/D変換する複数のA/D変換器を備え、複数の前記A/D変換器が上位装置から指示されたイベントをそれぞれ独立して実行するA/D変換装置であって、
- 前記A/D変換器は、A/D変換の実行を制御する実行制御部と、
- 前記イベントとして同時変換動作が設定された同時変換イベントが指示されると、シンクロ指示を通知するイベント管理部と、
- 前記シンクロ指示が通知され、前記実行制御部においてA/D変換の準備が整ったことを確認すると、A/D変換の準備が整ったことを他の前記A/D変換器に通知すると共に、全ての前記A/D変換器においてA/D変換の準備が整ったことを確認した後に、前記実行制御部に前記同時変換イベントの実行を指示する動作制御部と、を具備することを特徴とするA/D変換装置。
- [請求項2] 前記イベントが前記同時変換イベントでなく、前記シンクロ指示が通知されない状態では、前記動作制御部は、前記実行制御部においてA/D変換の準備が整ったことを確認すると、A/D変換の準備が整ったことを他の前記A/D変換器に通知することなく、前記実行制御部に前記イベントの実行を指示することを特徴とする請求項1記載のA/D変換装置。
- [請求項3] 前記同時変換イベントには、前記イベントの中で最も高い優先順位が設定されており、
- 前記イベント管理部は、前記同時変換イベントを含む複数の前記イベントが待機状態である場合、前記同時変換イベントを優先して実行させることを特徴とする請求項1記載のA/D変換装置。

[図1]



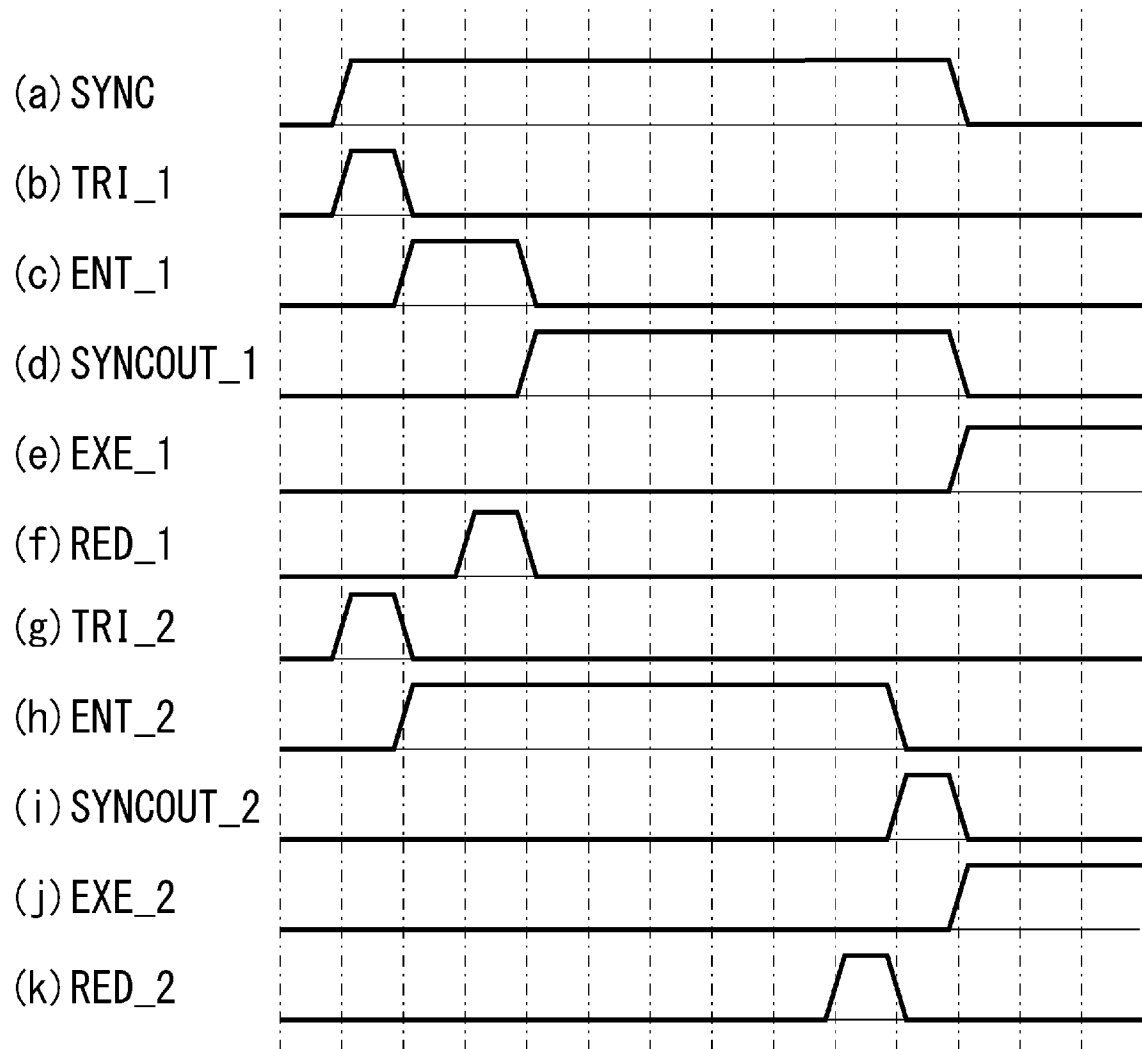
[図2]



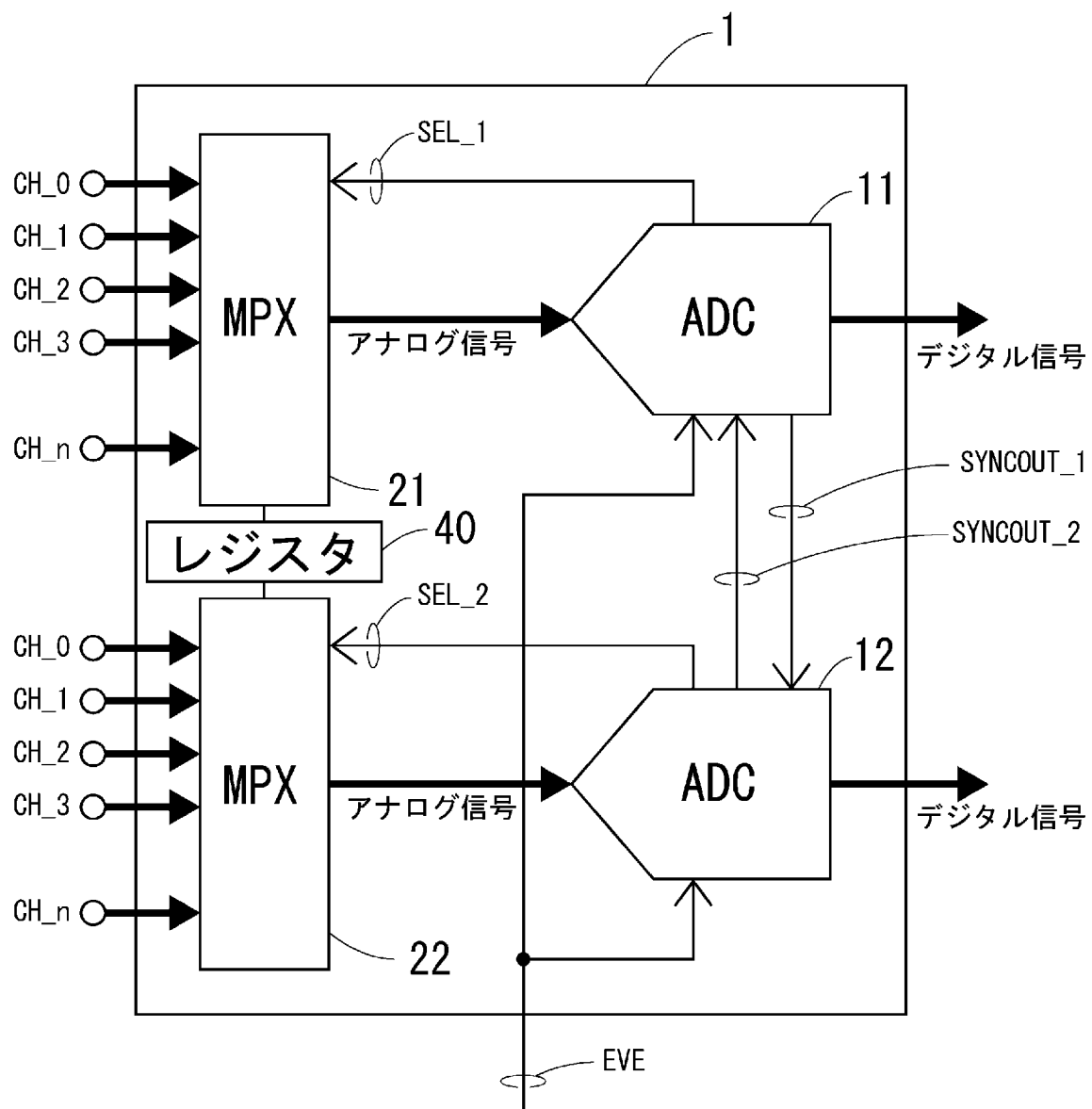
[図3]

イベント	優先順位	ADC11	ADC12
「0」	1	CH_0	CH_1
「1」	2	CH_3 ~ CH_7	—
「2」	3	—	CH_8 ~ CH_10
「3」	4	CH_11 ~ CH_15	CH_16 ~ CH_17
「4」	5	—	CH_8 ~ CH_10

[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/085257

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-527977 A (Infineon Technologies AG.), 27 August 2002 (27.08.2002), paragraphs [0014] to [0048]; fig. 1 & US 6788235 B1 column 2, line 30 to column 7, line 15; fig. 1 & DE 19847662 A1 & CN 1287716 A	1-3
Y	JP 8-149400 A (Sanyo Electric Co., Ltd.), 07 June 1996 (07.06.1996), paragraphs [0004] to [0005], [0029] to [0039]; fig. 1, 7 to 8 (Family: none)	1-3
A	JP 59-211132 A (Mitsubishi Electric Corp.), 29 November 1984 (29.11.1984), (Family: none)	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
08 February 2017 (08.02.17)

Date of mailing of the international search report
21 February 2017 (21.02.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03M1/12 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03M1/00-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-527977 A（インフィネオン テクノロジーズ アクチエン ゲゼルシャフト）2002.08.27, 段落[0014]-[0048], 図1 & US 6788235 B1, 第2欄第30行-第7欄第15行, 図1 & DE 19847662 A1 & CN 1287716 A	1-3
Y	JP 8-149400 A（三洋電機株式会社）1996.06.07, 段落 [0004]-[0005], [0029]-[0039], 図1, 7-8（ファミリーなし）	1-3
A	JP 59-211132 A（三菱電機株式会社）1984.11.29,（ファミリーなし）	1-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

08.02.2017

国際調査報告の発送日

21.02.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

及川 尚人

5W

5888

電話番号 03-3581-1101 内線 3576