(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0051346
(43) 공개일자 2025년04월17일

(51) 국제특허분류(Int. Cl.)
G01S 7/4863 (2020.01) *G01J 1/44* (2006.01)
G05F 3/20 (2006.01) *G05F 3/26* (2006.01)
H03K 19/20 (2006.01) *H03K 5/133* (2014.01)
(52) CPC특허분류
G01S 7/4863 (2013.01)
G05F 3/205 (2013.01)
(21) 출원번호 10-2023-0134360
(22) 출원일자 2023년10월10일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
김영
경기도 용인시 수지구 신봉2로 26, 119동 2001호 (신봉동, 신봉마을엘지자이1차아파트)
범진욱
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

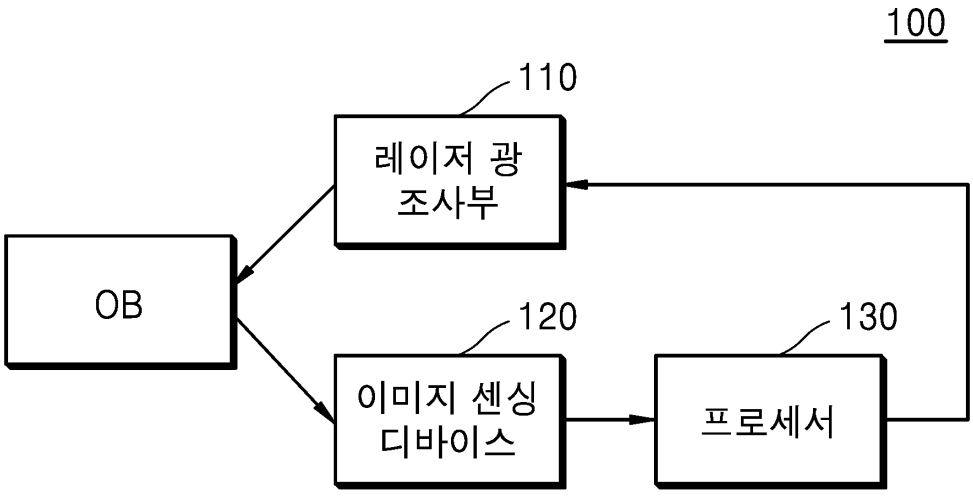
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **이미지 센싱 디바이스 및 라이다(LiDAR) 디바이스**

(57) 요 약

이미지 센싱 디바이스 및 라이다 디바이스는, SPAD(Single-Photon Avalanche Diode) 픽셀들을 포함하는 SPAD 어레이, 동일 로우의 SPAD 픽셀들 단위로 연결된 로우 라인들 및 동일 컬럼의 SPAD 픽셀들 단위로 연결된 컬럼 라인들을 포함하는 신호 전송부, 신호 전송부의 로우 라인을 통해 전달된 로우 광자 신호에 대응하는 로우 바이어스 신호 및 신호 전송부의 컬럼 라인을 통해 전달된 컬럼 광자 신호에 대응하는 컬럼 바이어스 신호를 출력하는 바이어스 회로부, 로우 바이오스 신호 및 컬럼 바이오스 신호에 기초하여, 광자를 검출한 SPAD 픽셀을 식별하는 로직 회로부, 및 SPAD 어레이에 대응하는 카운터들 중 식별된 SPAD 픽셀에 대응하는 카운터에 대한 포톤 카운팅을 수행하는 카운터 어레이를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
G05F 3/262 (2013.01)
H03K 19/20 (2013.01)
H03K 5/133 (2013.01)
G01J 2001/446 (2013.01)
(72) 발명자
이승주
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
정재훈
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
채종혁
서울특별시 마포구 백범로 35 (신수동, 서강대학교)

명 세 서

청구범위

청구항 1

m x n 배열의 SPAD(Single-Photon Avalanche Diode) 픽셀들을 포함하는 SPAD 어레이;

동일 로우의 SPAD 픽셀들 단위로 연결된 m 개의 로우 라인들 및 동일 컬럼의 SPAD 픽셀들 단위로 연결된 n 개의 컬럼 라인들을 포함하는 신호 전송부;

상기 신호 전송부의 로우 라인을 통해 전달된 로우 광자 신호에 대응하는 로우 바이어스 신호 및 상기 신호 전송부의 컬럼 라인을 통해 전달된 컬럼 광자 신호에 대응하는 컬럼 바이어스 신호를 출력하는 바이어스 회로부;

상기 로우 바이오스 신호 및 상기 컬럼 바이오스 신호에 기초하여, 광자를 검출한 SPAD 픽셀을 식별하는 로직 회로부; 및

상기 SPAD 어레이의 상기 m x n 배열에 대응하는 m x n 배열의 카운터들 중 상기 식별된 SPAD 픽셀에 대응하는 카운터에 대한 포톤 카운팅을 수행하는 카운터 어레이를 포함하는,

이미지 센싱 디바이스.

청구항 2

제 1 항에 있어서,

상기 신호 전송부는

동일 로우 라인에 연결된 SPAD 픽셀들 중 광자를 검출한 SPAD 픽셀의 개수에 대응하는 전류 세기의 로우 광자 신호를 상기 바이어스 회로에 제공하고, 동일 컬럼 라인에 연결된 SPAD 픽셀들 중 광자를 검출한 SPAD 픽셀의 개수에 대응하는 전류 세기의 컬럼 광자 신호를 상기 바이어스 회로에 제공하는,

이미지 센싱 디바이스.

청구항 3

제 1 항에 있어서,

상기 바이어스 회로부는

상기 m 개의 로우 라인들 각각의 일단에 구비된 전류 미러 회로 및 상기 n 개의 컬럼 라인들 각각의 일단에 구비된 전류 미러 회로를 포함하는,

이미지 센싱 디바이스.

청구항 4

제 1 항에 있어서,

상기 로직 회로부는

상기 SPAD 어레이의 상기 m x n 배열에 대응하는 m x n 배열의 로직 게이트들을 포함하고,

상기 로직 게이트들 각각은

제 1 입력단이 상기 m 개의 로우 라인들 중 어느 하나의 로우 라인에 연결되고, 제 2 입력단이 상기 n 개의 컬럼 라인들 중 어느 하나의 컬럼 라인에 연결되는,

이미지 센싱 디바이스.

청구항 5

제 4 항에 있어서,

상기 로직 회로부는

상기 로직 게이트들 중 상기 제 1 입력단을 통해 상기 로우 바이오스 신호가 입력되고 상기 제 2 입력단을 통해 상기 컬럼 바이오스 신호가 입력된 로직 게이트에 대응하는 SPAD 픽셀을, 상기 광자가 검출된 SPAD 픽셀인 것으로 식별하는,

이미지 센싱 디바이스.

청구항 6

제 4 항에 있어서,

상기 로직 게이트들 각각은

상기 제 1 입력단 및 상기 제 2 입력단을 구비한 NOR 게이트 회로인,

이미지 센싱 디바이스.

청구항 7

제 5 항에 있어서,

상기 카운터 어레이는

상기 제 1 입력단 및 상기 제 2 입력단 모두에서 상기 바이오스 신호들이 입력된 상기 로직 게이트에 대응하는 상기 카운터에서 상기 포톤 카운팅을 수행하는,

이미지 센싱 디바이스.

청구항 8

제 1 항에 있어서,

상기 로직 회로부는

상기 SPAD 픽셀들에 1:1로 대응하도록 연결된 로직 게이트들을 포함하고,

상기 카운터 어레이는

상기 로직 게이트들에 1:1로 대응하도록 연결된 카운터들을 포함하는,

이미지 센싱 디바이스.

청구항 9

제 1 항에 있어서,

제 1 로우 인버터 그룹의 입력으로서 제 1 로우 바이오스 신호를 수신하고 상기 제 1 로우 인버터 그룹의 출력을 상기 로직 회로부에 구비된 제 1 로직 게이트의 제 1 입력단으로 제공하고, 제 1 컬럼 인버터 그룹의 입력으로서 제 1 컬럼 바이오스 신호를 수신하고 상기 제 1 컬럼 인버터 그룹의 출력을 상기 로직 회로부에 구비된 상기 제 1 로직 게이트의 제 2 입력단으로 제공하는, 지연 감소 회로부를 더 포함하는,

이미지 센싱 디바이스.

청구항 10

제 9 항에 있어서,

상기 제 1 로우 인버터 그룹은 제 1 인버터 및 제 2 인버터를 포함하고,

상기 제 1 인버터 및 상기 제 2 인버터는 상기 제 1 로우 바이오스 신호를 수신하고 상기 제 1 로우 바이오스 신호의 반전된 신호들에 대한 AND 연산을 수행하여 상기 제 1 로직 게이트의 상기 제 1 입력단으로 출력하고,

상기 제 1 인버터에 구비된 PMOS(p-channel metal-oxide-semiconductor) 트랜지스터의 스트렝스(strength)는

상기 제 1 인버터에 구비된 NMOS(n-channel metal-oxide-semiconductor) 트랜지스터보다 크고, 상기 제 2 인버터에 구비된 PMOS 트랜지스터의 스트렝스는 상기 제 2 인버터에 구비된 NMOS 트랜지스터와 동일한,

이미지 센싱 디바이스.

청구항 11

제 9 항에 있어서,

상기 제 1 컬럼 인버터 그룹은 제 3 인버터 및 제 4 인버터를 포함하고,

상기 제 3 인버터 및 상기 제 4 인버터는 상기 제 1 컬럼 바이오스 신호를 수신하고 상기 제 1 컬럼 바이오스 신호의 반전된 신호들에 대한 AND 연산을 수행하여 상기 제 1 로직 게이트의 상기 제 2 입력단으로 출력하고,

상기 제 3 인버터에 구비된 PMOS 트랜지스터의 스트렝스(strength)는 상기 제 3 인버터에 구비된 NMOS 트랜지스터보다 크고, 상기 제 4 인버터에 구비된 PMOS 트랜지스터의 스트렝스는 상기 제 4 인버터에 구비된 NMOS 트랜지스터와 동일한,

이미지 센싱 디바이스.

청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 기재된 이미지 센싱 디바이스; 및

상기 이미지 센싱 디바이스로부터 수신된 포톤 카운팅 데이터에 기초하여 디지털 이미지를 생성하는 프로세서를 포함하는,

라이다 디바이스.

발명의 설명

기 술 분 야

[0001] 본 개시는 이미지 센싱 디바이스 및 라이다(LiDAR) 디바이스에 관한다.

배 경 기 술

[0002] 라이다(LiDAR: Light Detection and Ranging) 시스템은 다양한 분야, 예를 들어, 우주항공, 지질학, 3차원 지도, 자동차, 로봇, 드론 등에 응용되고 있다. 라이다 장치는 동작 원리로서 광의 왕복 비행 시간 측정법(Time of Flight, 이하 ToF라 한다)을 이용하여 촬상 장치와 피사체 간의 거리를 측정하는 기능을 갖는다. 구체적으로, 라이다 장치는 대상체를 향해 레이저 광을 조사하고 센서를 통해 이를 수신하며, 회로의 신호처리를 이용하여 비행 시간을 계측한다. 그리고 나서, 라이다 장치는 비행 시간으로부터 대상체까지의 거리를 연산하고, 대상체의 각 위치 별로 연산된 거리를 이용하여 대상체에 대한 깊이 이미지를 생성함으로써 다양한 목적의 기술분야에 활용할 수 있다. 최근, 포토 카운팅 이미징 기술로서, 픽셀에 입사하는 광자(photon)를 빠른 포토다이오드, 예를 들면 싱글 포톤 애벌런치 다이오드(Single-Photon Avalanche Diode, SPAD)를 이용하여 시간 축에서 일정 시간 동안 입사하는 광자의 개수를 카운팅하여, 픽셀 별로 광량을 측정하여, 2차원 이미지를 구현하는 기술이 연구되고 있다.

발명의 내용

해결하려는 과제

[0003] 다양한 실시예들은 이미지 센싱 디바이스 및 라이다(LiDAR) 디바이스를 제공하는데 있다. 본 개시가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제들로 한정되지 않으며, 이하의 실시예들로부터 또 다른 기술적 과제들이 유추될 수 있다.

과제의 해결 수단

[0004] 일 측면에 따르면, 이미지 센싱 디바이스는, m x n 배열의 SPAD(Single-Photon Avalanche Diode) 픽셀들을 포함하는 SPAD 어레이; 동일 로우의 SPAD 픽셀들 단위로 연결된 m 개의 로우 라인들 및 동일 컬럼의 SPAD 픽셀들

단위로 연결된 n 개의 컬럼 라인들을 포함하는 신호 전송부; 상기 신호 전송부의 로우 라인을 통해 전달된 로우 광자 신호에 대응하는 로우 바이어스 신호 및 상기 신호 전송부의 컬럼 라인을 통해 전달된 컬럼 광자 신호에 대응하는 컬럼 바이어스 신호를 출력하는 바이어스 회로부; 상기 로우 바이오스 신호 및 상기 컬럼 바이오스 신호에 기초하여, 광자를 검출한 SPAD 픽셀을 식별하는 로직 회로부; 및 상기 SPAD 어레이의 상기 m x n 배열에 대응하는 m x n 배열의 카운터들 중 상기 식별된 SPAD 픽셀에 대응하는 카운터에 대한 포톤 카운팅을 수행하는 카운터 어레이를 포함한다.

[0005] 또한, 상기 신호 전송부는, 동일 로우 라인에 연결된 SPAD 픽셀들 중 광자를 검출한 SPAD 픽셀의 개수에 대응하는 전류 세기의 로우 광자 신호를 상기 바이어스 회로에 제공하고, 동일 컬럼 라인에 연결된 SPAD 픽셀들 중 광자를 검출한 SPAD 픽셀의 개수에 대응하는 전류 세기의 컬럼 광자 신호를 상기 바이어스 회로에 제공한다.

[0006] 또한, 상기 바이어스 회로부는, 상기 m 개의 로우 라인들 각각의 일단에 구비된 전류 미러 회로 및 상기 n 개의 컬럼 라인들 각각의 일단에 구비된 전류 미러 회로를 포함한다.

[0007] 또한, 상기 로직 회로부는 상기 SPAD 어레이의 상기 m x n 배열에 대응하는 m x n 배열의 로직 게이트들을 포함하고, 상기 로직 게이트들 각각은 제 1 입력단이 상기 m 개의 로우 라인들 중 어느 하나의 로우 라인에 연결되고, 제 2 입력단이 상기 n 개의 컬럼 라인들 중 어느 하나의 컬럼 라인에 연결된다.

[0008] 또한, 상기 로직 회로부는, 상기 로직 게이트들 중 상기 제 1 입력단을 통해 상기 로우 바이오스 신호가 입력되고 상기 제 2 입력단을 통해 상기 컬럼 바이오스 신호가 입력된 로직 게이트에 대응하는 SPAD 픽셀을, 상기 광자가 검출된 SPAD 픽셀인 것으로 식별한다.

[0009] 또한, 상기 로직 게이트들 각각은, 상기 제 1 입력단 및 상기 제 2 입력단을 구비한 NOR 게이트 회로일 수 있다.

[0010] 또한, 상기 카운터 어레이는, 상기 제 1 입력단 및 상기 제 2 입력단 모두에서 상기 바이오스 신호들이 입력된 상기 로직 게이트에 대응하는 상기 카운터에서 상기 포톤 카운팅을 수행한다.

[0011] 또한, 상기 로직 회로부는 상기 SPAD 픽셀들에 1:1로 대응하도록 연결된 로직 게이트들을 포함하고, 상기 카운터 어레이는 상기 로직 게이트들에 1:1로 대응하도록 연결된 카운터들을 포함한다.

[0012] 또한, 제 1 로우 인버터 그룹의 입력으로서 제 1 로우 바이오스 신호를 수신하고 상기 제 1 로우 인버터 그룹의 출력을 상기 로직 회로부에 구비된 제 1 로직 게이트의 제 1 입력단으로 제공하고, 제 1 컬럼 인버터 그룹의 입력으로서 제 1 컬럼 바이오스 신호를 수신하고 상기 제 1 컬럼 인버터 그룹의 출력을 상기 로직 회로부에 구비된 상기 제 1 로직 게이트의 제 2 입력단으로 제공하는, 지연 감소 회로부를 더 포함한다.

[0013] 또한, 상기 제 1 로우 인버터 그룹은 제 1 인버터 및 제 2 인버터를 포함하고, 상기 제 1 인버터 및 상기 제 2 인버터는 상기 제 1 로우 바이오스 신호를 수신하고 상기 제 1 로우 바이오스 신호의 반전된 신호들에 대한 AND 연산을 수행하여 상기 제 1 로직 게이트의 상기 제 1 입력단으로 출력하고, 상기 제 1 인버터에 구비된 PMOS(p-channel metal-oxide-semiconductor) 트랜지스터의 스트렝스(strength)는 상기 제 1 인버터에 구비된 NMOS(n-channel metal-oxide-semiconductor) 트랜지스터보다 크고, 상기 제 2 인버터에 구비된 PMOS 트랜지스터의 스트렝스는 상기 제 2 인버터에 구비된 NMOS 트랜지스터와 동일할 수 있다.

[0014] 또한, 상기 제 1 컬럼 인버터 그룹은 제 3 인버터 및 제 4 인버터를 포함하고, 상기 제 3 인버터 및 상기 제 4 인버터는 상기 제 1 컬럼 바이오스 신호를 수신하고 상기 제 1 컬럼 바이오스 신호의 반전된 신호들에 대한 AND 연산을 수행하여 상기 제 1 로직 게이트의 상기 제 2 입력단으로 출력하고, 상기 제 3 인버터에 구비된 PMOS 트랜지스터의 스트렝스(strength)는 상기 제 3 인버터에 구비된 NMOS 트랜지스터보다 크고, 상기 제 4 인버터에 구비된 PMOS 트랜지스터의 스트렝스는 상기 제 4 인버터에 구비된 NMOS 트랜지스터와 동일할 수 있다.

[0015] 다른 측면에 따르면, 라이다 디바이스는, 상기 이미지 센싱 디바이스; 및 상기 이미지 센싱 디바이스로부터 수신된 포톤 카운팅 데이터에 기초하여 디지털 이미지를 생성하는 프로세서를 포함한다.

도면의 간단한 설명

[0016] 도 1은 일 실시예에 따른 라이다 디바이스를 나타내는 도면이다.

도 2는 대상체의 거리에 따른 펄스 레이저를 이용한 dToF 방식을 설명하기 위한 도면이다.

도 3 및 도 4는 일 실시예에 따른 이미지 센싱 디바이스의 하드웨어 구성 및 회로 구성을 설명하기 위한 도면들

이다.

도 5는 일 실시예에 따른 이미지 센싱 디바이스의 SPAD 어레이 및 신호 전송부를 설명하기 위한 도면이다.

도 6은 일 실시예에 따른 이미지 센싱 디바이스의 SPAD 어레이 및 신호 전송부를 설명하기 위한 도면이다.

도 7은 일 실시예에 따른 바이어스 회로부에 구비된 로우 바이어스 회로부를 설명하기 위한 도면이다.

도 8은 일 실시예에 따른 바이어스 회로부에 구비된 컬럼 바이어스 회로부를 설명하기 위한 도면이다.

도 9는 일 실시예에 따른 로직 회로부를 설명하기 위한 도면이다.

도 10은 일 실시예에 따른 카운터 어레이를 설명하기 위한 도면이다.

도 11은 다른 실시예에 따른 이미지 센싱 디바이스의 하드웨어 구성을 설명하기 위한 도면이다.

도 12는 도 11의 지연 감소 회로부를 상세하게 설명하기 위한 도면이다.

도 13 및 도 14는 인버터 그룹의 2개의 인버터들을 이용하여 입력 신호의 라이징 속도 및 폴링 속도가 빠르게 제어되어 출력될 수 있음을 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 실시예들에서 사용되는 용어는 본 실시예들에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어들을 선택하였으나, 이는 당 기술분야에 종사하는 기술자의 의도 또는 판례, 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한, 특정한 경우는 임의로 선정된 용어도 있으며, 이 경우 해당 실시예의 설명 부분에서 상세히 그 의미를 기재할 것이다. 따라서, 본 실시예들에서 사용되는 용어는 단순한 용어의 명칭이 아닌, 그 용어가 가지는 의미와 본 실시예들의 전반에 걸친 내용을 토대로 정의되어야 한다.

[0018] 실시예들에 대한 설명들에서, 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라, 그 중간에 다른 구성요소를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0019] 본 실시예들에서 사용되는 "구성된다" 또는 "포함한다" 등의 용어는 명세서 상에 기재된 여러 구성 요소들, 또는 여러 단계들을 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소들 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다.

[0020] 또한, 본 명세서에서 사용되는 '제 1' 또는 '제 2' 등과 같이 서수를 포함하는 용어는 다양한 구성 요소들을 설명하는데 사용할 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로 사용될 수 있다.

[0021] 하기 실시예들에 대한 설명은 권리범위를 제한하는 것으로 해석되지 말아야 하며, 해당 기술분야의 당업자가 용이하게 유추할 수 있는 것은 실시예들의 권리범위에 속하는 것으로 해석되어야 할 것이다. 이하 첨부된 도면들을 참조하면서 오로지 예시를 위한 실시예들을 상세히 설명하기로 한다.

[0022] 도 1은 일 실시예에 따른 라이다 디바이스를 나타내는 도면이다.

[0023] 도 1을 참고하면, 라이다 디바이스(100)는 전방 대상체에 대한 거리 정보 등의 3차원 정보를 실시간으로 획득하는 센서로 활용될 수 있다. 예를 들어, 라이다 디바이스(100)는 무인 자동차, 자율 주행차, 로봇, 및 드론 등에 적용될 수 있다. 예를 들어, 라이다 디바이스(100)는 라이다(LiDAR: Light Detection And Ranging)를 이용하는 디바이스일 수 있다.

[0024] 라이다 디바이스(100)는 레이저 광 조사부(110), 이미지 센싱 디바이스(120) 및 프로세서(130)를 포함할 수 있다. 도 1에 도시된 라이다 디바이스(100)에는 본 실시예들과 관련된 구성요소들이 도시되어 있으나, 이에 제한되지 않고 라이다 디바이스(100)에는 도 1에 도시된 구성요소들 외에 다른 범용적인 구성요소들이 더 포함될 수 있음을 본 실시예와 관련된 기술분야에서 통상의 지식을 가진 자라면 이해할 수 있다.

[0025] 레이저 광 조사부(110)는 대상체(OB)의 위치, 형상, 거리의 분석을 위하여 대상체(OB)를 향해 펄스 레이저

(pulsed laser) 광을 조사할 수 있다. 즉, 레이저 광 조사부(110)는 펄스광을 생성하고 조사할 수 있다.

[0026] 레이저 광 조사부(110)는 레이저 광원을 이용하여 광을 조사할 수 있으나, 반드시 이에 제한되는 것은 아니다. 레이저 광 조사부(110)는 측면 발광 레이저(Edge emitting laser), 수직캐비티 표면 광방출 레이저(Vertical-cavity surface emitting laser;VCSEL), 분포궤환형 레이저(Distributed feedback laser), SLD(super luminescent diode)등의 광원을 이용할 수 있다. 예를 들어, 레이저 광 조사부(110)는 레이저 다이오드(LD, Laser Diode)를 구비할 수 있다. 실시예에 따라, 레이저 광 조사부(110)는 다른 장치에 포함될 수도 있고, 반드시 라이다 디바이스(100)에 포함된 하드웨어로 구성될 필요는 없다.

[0027] 레이저 광 조사부(110)는 프로세서(130)의 제어 하에, 광의 조사 방향 또는 조사 각도를 설정할 수 있다. 비록 도 1에서는 도시되지 않았지만, 레이저 광 조사부(110)는 광의 조사 각도를 변경하기 위한 빔 스티어링 소자를 더 포함할 수도 있다. 여기서, 빔 스티어링 소자는 스캐닝 미러, 광학 위상 어레이(optical phased array) 등으로 구현될 수 있다.

[0028] 이미지 센싱 디바이스(120)는 대상체(OB)로부터 반사 또는 산란된 펄스 레이저 광(펄스광)을 검출하여 전기 신호를 출력할 수 있다. 예를 들어, 이미지 센싱 디바이스(120)는 대상체(OB)에서 반사 또는 산란된 광에 기초하여 포톤 카운팅 데이터를 출력할 수 있다.

[0029] 이미지 센싱 디바이스(120)는 펄스 레이저 반사광을 센싱할 수 있는 센서와 같은 수광 소자일 수 있다. 예를 들어, 이미지 센싱 디바이스(120)는 싱글 포톤 애벌런치 다이오드(Single Photon Avalanche Diode; SPAD), 애벌런치 포토 다이오드(Avalanche Photo Diode, APD)가 채용될 수 있다. 즉, 이미지 센싱 디바이스(120)는 SPAD 등과 같은 수광 소자를 이용하여, 대상체(OB)로부터 반사된 펄스 레이저 광을 수신함으로써 펄스 레이저 반사광 신호를 검출한다.

[0030] SPAD는 소자의 매우 높은 이득(gain) 특성으로 단광자(single photon)를 검출할 정도로 효율이 극도로 높은 차세대 반도체 광 소자를 의미한다. SPAD는 소자의 항복 전압(breakdown voltage)보다 높은 전압을 걸어주었을 때, 매우 큰 전기장(electric field)에 따라 자유전자(carrier)가 가속돼 원자와 강한 충돌을 일으키고, 이에 따라 원자에 구속돼 있는 전자가 방출되어 자유전자의 수가 급속도로 증가하는 충격 이온화(impact ionization) 현상이 일어난다. 이것을 애벌런치 증폭(avalanche multiplication)이라 하며, 이 효과로 인해 외부에서 이미지 센서로 조사된 광자(photon)로 인해 생성되는 자유전자의 수가 매우 크게 증가한다. 즉, 주변 환경이 매우 어둡거나 아주 멀리서 빛이 조사돼, 이미지 센서에 아주 미세한 수준의 광자만 들어왔다고 하더라도 이 광자를 증폭해 아주 많은 광자가 들어온 것처럼 인식할 수 있다.

[0031] 포톤 카운팅을 이용한 이미징은 픽셀에 입사하는 광자(photon)를 SPAD를 이용하여 시간축에서 일정 시간동안 입사하는 포톤의 개수를 카운팅하여, 픽셀 별 광량을 측정하여 2차원 이미지를 생성하는 것을 의미할 수 있다. 따라서, 이미지 센싱 디바이스(120)는 이와 같이, 펄스광을 검출하여 포톤 카운팅을 수행하는 하드웨어 디바이스를 의미할 수 있다.

[0032] 프로세서(130)는 라이다 디바이스(100) 내에 구비된 각종 하드웨어/소프트웨어 구성요소들의 전반적인 동작을 제어할 수 있다.

[0033] 프로세서(130)는 비행 시간(ToF)에 기초하여 대상체(OB)의 위치까지의 거리를 계산하고, 대상체(OB)의 위치, 형상 분석을 위한 데이터 처리를 수행할 수 있다. 예를 들어, 프로세서(130)는 포톤 카운팅에 기반하여 계산된 거리를 이용하여, 대상체(OB)에 깊이 이미지를 생성할 수 있다.

[0034] 프로세서(130)에 의해 분석된 대상체(OB)의 형상, 위치에 대한 정보는 다른 유닛으로 전송되어 활용될 수도 있다. 예를 들어, 라이다 디바이스(100)가 채용되는 자율주행 자동차, 드론 등과 같은 자율 구동 기기에 이러한 정보가 전송될 수 있고, 스마트폰, 태블릿, 랩톱(laptop), PC(personal computer), 웨어러블(wearable) 디바이스 등과 같은 컴퓨팅 장치에도 이러한 정보가 전송될 수도 있다.

[0035] 라이다 디바이스(100)는 프로세서(130)에서 수행하는 동작을 위한 프로그램 및 기타 데이터들이 저장되는 메모리를 더 포함할 수도 있다. 메모리는 라이다 디바이스(100) 내에서 처리되는 각종 데이터들을 저장하는 하드웨어로서, 예를 들어, 메모리는 라이다 디바이스(100)에서 처리된 데이터들 및 처리될 데이터들을 저장할 수 있다. 또한, 메모리는 라이다 디바이스(100)에 의해 구동될 애플리케이션들, 드라이버들 등을 저장할 수 있다. 메모리는 DRAM(dynamic random access memory), SRAM(static random access memory) 등과 같은 RAM(random access memory), ROM(read-only memory), EEPROM(electrically erasable programmable read-only memory), CD-ROM, 블루레이 또는 다른 광학 디스크 스토리지, HDD(hard disk drive), SSD(solid state drive), 또는 플

래시 메모리를 포함하며, 나아가서, 라이다 디바이스(100)에 액세스될 수 있는 외부의 다른 스토리지 디바이스를 포함할 수 있다.

[0036] 도 2는 대상체의 거리에 따른 펄스 레이저를 이용한 dToF 방식을 설명하기 위한 도면이다.

[0037] 도 2를 참고하면, 라이다 디바이스(100)는 원거리에 위치한 대상체(OB1) 또는 근거리에 위치한 대상체(OB2) 각각에 대하여 레이저 광을 이용하여 거리를 측정할 수 있다.

[0038] 구체적으로, 라이다 디바이스(100)는 원거리에 위치한 대상체(OB1)에 펄스 레이저 광을 조사한 후 대상체(OB1)로부터 레이저 반사광 신호(201)를 검출하기까지의 비행 시간(ToF)에 기초하여 거리를 계산할 수 있다. 마찬가지로, 라이다 디바이스(100)는 근거리에 위치한 대상체(OB2)에 레이저 광을 조사한 후 대상체(OB2)로부터 레이저 반사광 신호(202)를 검출하기까지의 비행 시간(ToF)에 기초하여 거리를 계산할 수 있다. 즉, 라이다 디바이스(100)는 dToF(direct ToF) 방식으로, 거리를 계산하는 방식이 채용된 디바이스일 수 있으나, 반드시 이에 제한되는 것은 아니다.

[0039] 도 3 및 도 4는 일 실시예에 따른 이미지 센싱 디바이스의 하드웨어 구성 및 회로 구성을 설명하기 위한 도면들이다.

[0040] 도 3 및 도 4를 참고하면, 이미지 센싱 디바이스(120)는 SPAD 어레이(1010), 바이어스 회로부(1020), 로직 회로부(1030) 및 카운터 어레이(1040)를 포함할 수 있다. 다만, 도 3 및 도 4에 도시된 이미지 센싱 디바이스(120)는 본 실시예들과 관련된 구성요소들이 도시되어 있으나, 이에 제한되지 않고 라이다 디바이스(100)에는 도 3 및 도 4에 도시된 구성요소들 외에 다른 범용적인 구성요소들이 더 포함될 수 있음을 본 실시예와 관련된 기술분야에서 통상의 지식을 가진 자라면 이해할 수 있다.

[0041] SPAD 어레이(1010)는 m x n 배열의 SPAD(Single-Photon Avalanche Diode) 픽셀들을 포함한다(m, n은 자연수). 각각의 SPAD 픽셀은 대상체(OB)에서 반사 또는 산란된 펄스 레이저 광으로부터, 단광자(single photon)를 검출하는 SPAD 소자로 구현된 픽셀에 해당한다.

[0042] 신호 전송부는 SPAD 어레이(1010)에서, 동일 로우(row)의 SPAD 픽셀들 단위로 연결된 m 개의 로우 라인들(RLs) 및 동일 컬럼의 SPAD 픽셀들 단위로 연결된 n 개의 컬럼 라인들(CLs)을 의미한다. 신호 전송부는 동일 로우 라인(RL)에 연결된 SPAD 픽셀들 중 광자를 검출한 SPAD 픽셀의 개수에 대응하는 전류 세기의 로우 광자 신호를 바이어스 회로부(1020)에 제공하고, 동일 컬럼 라인(CL)에 연결된 SPAD 픽셀들 중 광자를 검출한 SPAD 픽셀의 개수에 대응하는 전류 세기의 컬럼 광자 신호를 바이어스 회로부(1020)에 제공한다.

[0043] 바이어스 회로부(1020)는 신호 전송부의 로우 라인(RL)을 통해 전달된 로우 광자 신호에 대응하는 로우 바이어스 신호(row bias signal, RBS) 및 신호 전송부의 컬럼 라인을 통해 전달된 컬럼 광자 신호에 대응하는 컬럼 바이어스 신호(column bias signal, CBS)를 출력한다. 바이어스 회로부(1020)는 m 개의 로우 라인들(RLs) 각각의 일단에 구비된 전류 미러 회로 및 n 개의 컬럼 라인들(CLs) 각각의 일단에 구비된 전류 미러 회로를 포함할 수 있다. 전류 미러 회로는 입력된 전류의 세기를 바이어싱하여 동일한 세기의 전류(즉, 로우 바이어스 신호 또는 컬럼 바이어스 신호)를 출력하거나 또는 비례하는 세기의 전류(즉, 로우 바이어스 신호 또는 컬럼 바이어스 신호)를 출력하도록 구현된 회로일 수 있다. 또는, 인버팅을 수행하기 위해, 소정 세기의 전류가 입력되는 경우, 로우(low) 신호를 나타내는 세기의 전류(즉, 로우 바이어스 신호 또는 컬럼 바이어스 신호)를 출력하도록 구현될 회로일 수도 있다.

[0044] 바이어스 회로부(1020)는 신호 전송부의 로우 라인(RL)을 통해 전달된 로우 광자 신호에 대응하는 로우 바이어스 신호(RBS)를 바이어싱하는 로우(row) 바이어스 회로부(1021)와 신호 전송부의 컬럼 라인(CL)을 통해 전달된 컬럼 광자 신호에 대응하는 컬럼(column) 바이어스 신호(CBS)를 바이어싱하는 컬럼 바이어스 회로부(1022)를 포함할 수 있다. 로우 바이어스 회로부(1021)는 m x n 배열의 SPAD 픽셀들에 대응하도록, m 개의 전류 미러 회로들(1021-1 내지 1021-m)을 구비할 수 있다. 또한, 컬럼 바이어스 회로부(1022)는 m x n 배열의 SPAD 픽셀들에 대응하도록, n 개의 전류 미러 회로들(1022-1 내지 1022-n)을 구비할 수 있다.

[0045] 로직 회로부(1030)는 로우 바이오스 신호 및 컬럼 바이오스 신호에 기초하여, 광자를 검출한 SPAD 픽셀을 식별한다.

[0046] 로직 회로부(1030)는 SPAD 어레이(1010)의 m x n 배열에 대응하는 m x n 배열의 로직 게이트들을 포함할 수 있다. 여기서, 로직 게이트들 각각은 제 1 입력단이 m 개의 로우 라인들(RLs) 중 어느 하나의 로우 라인(RL)에 연결되고, 제 2 입력단이 n 개의 컬럼 라인들(CLs) 중 어느 하나의 컬럼 라인(CL)에 연결되어, 로직 연산을 수행

할 수 있다.

[0047] 로직 회로부(1030)는 로직 게이트들 중 제 1 입력단을 통해 로우 바이오스 신호가 입력되고 제 2 입력단을 통해 컬럼 바이오스 신호가 입력된 로직 게이트에 대응하는 SPAD 픽셀을, 광자가 검출된 SPAD 픽셀인 것으로 식별할 수 있다. 로직 게이트는 NOR 게이트로 구현될 수 있으나, 이에 제한되지 않고 다른 종류의 게이트 회로로 구현될 수도 있다.

[0048] 카운터 어레이(1040)는 SPAD 어레이(1010)의 m x n 배열에 대응하는 m x n 배열의 카운터들로 구성되고, m x n 배열의 카운터들 중 로직 회로부(1030)에 의해 식별된 SPAD 픽셀에 대응하는 카운터에 대한 포톤 카운팅을 수행한다. 카운터 어레이(1040)에 의해 수행된 포톤 카운팅 데이터는 프로세서(130)로 제공될 수 있다.

[0049] 로직 회로부(1030)는 SPAD 어레이(1010)의 SPAD 픽셀들에 1:1로 대응하도록 연결된 로직 게이트들을 포함할 수 있고, 카운터 어레이(1040)는 로직 게이트들에 1:1로 대응하도록 연결된 카운터들을 포함할 수 있다.

[0050] 한편, SPAD 어레이(1010)가 고해상도로 구현될수록, 이미지의 품질이 향상되고 보다 정확한 대상체(OB)의 정보를 획득할 수 있다. 하지만, SPAD 어레이(1010)의 해상도를 높이면 높일수록 SPAD 어레이(1010) 주변에 구비된 회로의 구성도 복잡하게 되므로, 제한된 디바이스 공간 내에서 SPAD 어레이(1010)의 해상도만을 증대시키기는 어려울 수 있다.

[0051] 예를 들어, 총 16x16 픽셀 어레이에서, 픽셀마다 서로 다른 16x16개의 데이터 라인을 연결시키는 경우를 가정하면, 이 라인들의 개수로 인하여 더 많은 픽셀들을 구현하기가 어렵다. 다시 말하면, 정해진 크기의 영역 안에서 하나의 픽셀의 사이즈를 줄이는데 있어서 제약이 발생하게 된다. 증가한 라인들의 개수를, 정해진 픽셀 사이즈 내에 배치시키기 위해서는 라인의 폭을 감소시켜야 하는데, 이 또한 제약이 발생하게 된다.

[0052] 본 실시예에 따른 이미지 센싱 디바이스(120)는 SPAD 어레이(1010) 및 그 주변 회로 구성들을 효율적으로 구현하기 위한 방안들과 관련될 수 있다.

[0053] 도 5는 일 실시예에 따른 이미지 센싱 디바이스의 SPAD 어레이 및 신호 전송부를 설명하기 위한 도면이다.

[0054] 도 5를 참고하면, SPAD 어레이(1010)는 m x n 배열의 SPAD 픽셀들을 포함한다(m, n은 자연수). 설명의 편의를 위해, SPAD 픽셀 위치에 따라, (1,1) 내지 (m,n)의 위치들인 것으로 지칭될 수 있다.

[0055] 첫번째 로우(row)에 배치된 (1,1) 내지 (1,n)의 n개의 SPAD 픽셀들은 동일한 하나의 로우 라인(RL 1)에 연결될 수 있다. 마찬가지로, 동일 로우에 배치된 n개의 SPAD 픽셀들 단위로 동일한 로우 라인(RL)에 연결될 수 있다. 따라서, 신호 전송부는 RL 1 내지 RL n의 n개의 로우 라인들을 포함할 수 있다.

[0056] 첫번째 컬럼(column)에 배치된 (1,1) 내지 (m,1)의 m개의 SPAD 픽셀들은 동일한 하나의 컬럼 라인(CL 1)에 연결될 수 있다. 마찬가지로, 동일 컬럼에 배치된 m개의 SPAD 픽셀들 단위로 동일한 컬럼 라인(CL)에 연결될 수 있다. 따라서, 신호 전송부는 CL 1 내지 CL m의 m개의 컬럼 라인들을 포함할 수 있다.

[0057] 하나의 로우 라인은 동일한 로우에 배치된 SPAD 픽셀들에 공유되어 광자 신호를 전달하고, 하나의 컬럼 라인은 동일한 컬럼에 배치된 SPAD 픽셀들에 공유되어 광자 신호를 전달한다. 즉, 하나의 SPAD 픽셀에는 하나의 로우 라인(RL)과 컬럼 라인(CL)이 연결될 수 있으므로, 어느 SPAD 픽셀에서 광자가 검출된 경우 해당 SPAD 픽셀에 연결된 로우 라인 및 컬럼 라인 둘 다를 통해 광자 신호가 분기되어 전달될 수 있다.

[0058] 이와 같이, 로우 라인 및 컬럼 라인이 SPAD 픽셀들에 공유되어 연결되므로, 픽셀마다 서로 다른 라인이 연결된 종래보다는 보다 효율적인 회로 구성이 가능해질 수 있다.

[0059] 도 6은 일 실시예에 따른 이미지 센싱 디바이스의 SPAD 어레이 및 신호 전송부를 설명하기 위한 도면이다.

[0060] 도 6을 참고하면, m x n 배열의 SPAD 어레이(1010)에서, (1,1) 위치의 SPAD 픽셀에서 광자를 검출한 예가 도시되어 있다. (1,1) SPAD 픽셀에 펄스광이 입사된 경우, (1,1) SPAD 픽셀의 SPAD 소자는 애벌런치 증폭에 의해 자유전자의 수가 급격이 증가하여 전류의 흐름이 증가하게 된다. 이에 따라, (1,1) SPAD 픽셀에 연결된 로우 라인(RL 1)과 컬럼 라인(CL 1)을 통해, 증가된 세기의 전류가 흐르게 된다.

[0061] 도 6에서는 하나의 SPAD 픽셀에 대해서만 예시적으로 설명되었으나, m x n SPAD 픽셀들 각각에서는 마찬가지로 펄스광이 입사된 경우 전류 흐름이 증가하여 해당 로우 라인(RL) 및 컬럼 라인(CL)을 통해 전류가 흐를 수 있다. 즉, SPAD 어레이(1010)에 연결된 로우 라인들(RL 1 내지 RL n) 및 컬럼 라인들(CL 1 내지 CL m)을 통해 로우 광자 신호 및 컬럼 광자 신호가 전달될 수 있다.

[0062] 도 7은 일 실시예에 따른 바이어스 회로부에 구비된 로우 바이어스 회로부를 설명하기 위한 도면이다.

[0063] 도 7을 참고하면, 로우 바이어스 회로부(1021)는 복수의 전류 미러 회로들(1021-1 내지 1021-m)을 포함할 수 있다. 즉, m x n 배열의 SPAD 어레이(1010)에 대응되도록, m 개의 로우 라인들(RL 1 내지 RL m) 각각의 일단에 전류 미러 회로(1021-1 내지 1021-m)가 연결될 수 있다.

[0064] 로우 바이어스 회로부(1021)는 각 전류 미러 회로를 이용하여, 각 로우 라인(RL)을 통해 전달된 로우 광자 신호에 대응하는 로우 바이어스 신호(RBS)를 출력한다. 예를 들어, 전류 미러 회로는 입력된 전류의 세기를 바이어싱하여 동일한 세기의 전류(즉, 로우 바이어스 신호)를 출력하거나 또는 비례하는 세기의 전류(즉, 로우 바이어스 신호)를 출력하도록 구현된 회로일 수 있다. 또는, 인버팅을 수행하기 위해, 소정 세기의 전류가 입력되는 경우, 로우(low) 신호를 나타내는 세기의 전류(즉, 로우 바이어스 신호)를 출력하도록 구현될 회로일 수도 있다. 즉, 전류 미러 회로의 구성은 어느 한 방식에 제한되지 않고 다양하게 구현될 수 있다.

[0065] 도 8은 일 실시예에 따른 바이어스 회로부에 구비된 컬럼 바이어스 회로부를 설명하기 위한 도면이다.

[0066] 도 8을 참고하면, 컬럼 바이어스 회로부(1022)는 복수의 전류 미러 회로들(1022-1 내지 1022-n)을 포함할 수 있다. 즉, m x n 배열의 SPAD 어레이(1010)에 대응되도록, n 개의 컬럼 라인들(CL 1 내지 CL n) 각각의 일단에 전류 미러 회로(1022-1 내지 1022-n)가 연결될 수 있다.

[0067] 컬럼 바이어스 회로부(1022)는 각 전류 미러 회로를 이용하여, 각 컬럼 라인(CL)을 통해 전달된 컬럼 광자 신호에 대응하는 컬럼 바이어스 신호(CBS)를 출력한다. 예를 들어, 전류 미러 회로는 입력된 전류의 세기를 바이어싱하여 동일한 세기의 전류(즉, 컬럼 바이어스 신호)를 출력하거나 또는 비례하는 세기의 전류(즉, 컬럼 바이어스 신호)를 출력하도록 구현된 회로일 수 있다. 또는, 인버팅을 수행하기 위해, 소정 세기의 전류가 입력되는 경우, 로우(low) 신호를 나타내는 세기의 전류(즉, 컬럼 바이어스 신호)를 출력하도록 구현될 회로일 수도 있다. 즉, 전류 미러 회로의 구성은 어느 한 방식에 제한되지 않고 다양하게 구현될 수 있다.

[0068] 도 9는 일 실시예에 따른 로직 회로부를 설명하기 위한 도면이다.

[0069] 도 9를 참고하면, 로직 회로부(1030)는 SPAD 어레이(1010)의 m x n SPAD 픽셀들에 1:1로 대응하도록 연결된 m x n 개의 로직 게이트들을 포함할 수 있다. 로직 게이트들 각각은 제 1 입력단이 로우 바이어스 회로부(1021)의 m 개의 전류 미러 회로들(1021-1 내지 1021-m) 중 어느 하나의 전류 미러 회로의 출력에 연결되어 로우 바이어스 신호(RBS)를 수신하고, 제 2 입력단이 컬럼 바이어스 회로부(1022)의 n 개의 전류 미러 회로들(1022-1 내지 1022-n) 중 어느 하나의 전류 미러 회로의 출력에 연결되어 컬럼 바이어스 신호(CBS)를 수신할 수 있다. 로직 게이트들 각각은 이와 같은 제 1 입력단(로우 바이어스 신호(RBS)) 및 제 2 입력단(컬럼 바이어스 신호(CBS)) 간의 로직 연산을 수행할 수 있다.

[0070] 로직 게이트는 제 1 입력단 및 제 2 입력단을 구비한 NOR 게이트로 구현될 수 있다. 예를 들어, 로직 회로부(1030)에서, (1,1) 위치에 대응하는 NOR 게이트(1031)는 로우 바이어스 회로부(1021)의 전류 미러 회로(1021-1)의 출력(RBS 1)에 제 1 입력단이 연결되고, 컬럼 바이어스 회로부(1022)의 전류 미러 회로(1022-1)의 출력(CBS 1)에 제 2 입력단이 연결될 수 있다. 마찬가지로, (m,n) 위치에 대응하는 NOR 게이트(1032)는 로우 바이어스 회로부(1021)의 전류 미러 회로(1021-m)의 출력(RBS m)에 제 1 입력단이 연결되고, 컬럼 바이어스 회로부(1022)의 전류 미러 회로(1022-n)의 출력(CBS n)에 제 2 입력단이 연결될 수 있다.

[0071] 로직 회로부(1030)의 각 로직 게이트는, 로우 및 컬럼 모두에서 광자 신호가 전달된 경우를 식별하기 위한 로직 연산을 수행한다. 예를 들어, 로직 게이트가 NOR 게이트로 구현된 경우, 로우(low) 신호에 대응하는 로우 바이어스 신호(RBS)가 로직 게이트(NOR 게이트)의 제 1 입력단에 입력되고, 로우(low) 신호에 대응하는 컬럼 바이어스 신호(CBS)가 로직 게이트(NOR 게이트)의 제 2 입력단에 입력된 경우, 로직 게이트(NOR 게이트)는 하이(high) 신호를 출력한다. 로직 게이트(NOR 게이트)부터 하이 신호가 출력되는 것은, 로우 바이어스 신호(RBS) 및 컬럼 바이어스 신호(CBS)를 제공한 로우 및 컬럼 전류 미러 회로들에 동시에 연결된 SPAD 픽셀이 광자를 검출하였음을 의미할 수 있다. 즉, 하이 신호가 출력된 로직 게이트(NOR 게이트)의 위치에 대응하는 SPAD 어레이(1010)의 SPAD 픽셀이 광자를 검출한 SPAD 픽셀일 수 있다.

[0072] 도 10은 일 실시예에 따른 카운터 어레이를 설명하기 위한 도면이다.

[0073] 도 10을 참고하면, 카운터 어레이(1040)는 로직 회로부(1030)의 m x n 로직 게이트들에 1:1로 대응하도록 연결된 m x n 배열의 카운터들을 포함할 수 있다.

[0074] 각각의 카운터는 펄스 신호의 갯수를 카운팅하여 카운팅 값을 출력할 수 있다. 여기서, 카운터에 입력되는 펄스

신호는, 로직 게이트(NOR 게이트)로부터 제공된 하이 신호에 해당할 수 있다. 즉, 제 1 입력단 및 제 2 입력단 모두에서 바이오스 신호들이 입력된 로직 게이트(NOR 게이트)에 대응하는 카운터에서 포톤 카운팅을 수행한다. 다시 말하면, 광자를 검출한 SPAD 픽셀에 대응하는 로직 게이트(NOR 게이트)로부터 하이 신호가 출력된 경우, 대응하는 카운터는 카운팅 값을 증가시킨다.

[0075] 어느 위치의 카운터의 카운팅 값은 대응하는 위치의 SPAD 픽셀의 픽셀 값을 의미할 수 있다. 따라서, 카운팅 값은 프레임 주기 내에 입력된 광자의 개수의 총합일 수 있다.

[0076] 예를 들어, 로직 회로부(1030)의 (1,1) 위치의 로직 게이트(NOR 게이트)가 하이 신호를 출력한 경우, 대응하는 (1,1) 위치의 카운터는 하이 신호를 수신함에 따라 카운팅 값이 증가되도록 카운팅을 수행할 수 있다. 마찬가지로, 로직 회로부(1030)의 (m,m) 위치의 로직 게이트(NOR 게이트)가 하이 신호를 출력한 경우, 대응하는 (m,n) 위치의 카운터는 하이 신호를 수신함에 따라 카운팅 값이 증가되도록 카운팅을 수행할 수 있다.

[0077] 카운터 어레이(1040)의 각각의 카운터는 소정 비트, 예를 들면 8 내지 12비트일 수 있다. 카운터의 크기는 이에 한정되지 않고, SPAD 어레이(1010)의 픽셀 사이즈 또는 이미지 센싱 디바이스(120)의 응용에 따라 다양한 크기의 카운터가 사용될 수 있다. 카운터는 동기식 또는 비동기식 카운터일 수 있고, 비동기식 리플 카운터일 수도 있다. 카운터는 D-플립플롭 회로일 수 있다.

[0078] 카운터 어레이(1040)의 각각의 카운터에 의해 수행된 포톤 카운팅 데이터는 프로세서(130)로 제공되고, 프로세서(130)는 SPAD 어레이(1010)의 포톤 카운팅 데이터(즉, 픽셀 값들)를 이용하여 이미징을 수행할 수 있다.

[0079] 이와 같이, 본 실시예에 따른 이미지 센싱 디바이스는 SPAD 어레이 및 그 주변 회로 구성들(바이어스 회로부, 로직 회로부, 카운터 어레이 등)을 효율적 배치/연결을 통해 구현함으로써, SPAD 어레이를 위한 레이어와 리드아웃 IC(Read Out IC) 회로부를 위한 레이어를 다르게 구성하는 Back Side Illumination (BSI) 기술 등의 다양한 방식들에 적용 가능할 수 있다.

[0080] 도 11은 다른 실시예에 따른 이미지 센싱 디바이스의 하드웨어 구성을 설명하기 위한 도면이다.

[0081] 도 3 및 도 4에서 설명된 이미지 센싱 디바이스(120)와는 달리, 도 11의 이미지 센싱 디바이스(1110)는 지연 감소 회로부(1050)를 더 포함할 수 있다. 다만, 이미지 센싱 디바이스(1110)에 구비된 SPAD 어레이(1010), 바이어스 회로부(1020), 로직 회로부(1030) 및 카운터 어레이(1040)는 앞서 도면들에서 설명된 바와 같이 구현될 수 있다.

[0082] 지연 감소 회로부(1050)는 펄스에서, 로우(low) 신호로부터 하이 신호로 천이되거나 또는 하이 신호로부터 로우(low) 신호로 천이될 때 발생될 수 있는 데드 타임(dead time) 또는 지연(latency)을 감소하기 위해 구비된 회로일 수 있다.

[0083] 지연 감소 회로부(1050)는 아날로그 신호를 디지털 신호로 변환하기 위하여 인버터 회로로 구현될 수 있다. 여기서, 단일 인버터를 이용하는 경우에는, NMOS(n-channel metal-oxide-semiconductor)와 PMOS(p-channel metal-oxide-semiconductor) 사이의 스트렝스(strength) 비율에 의해 라이징 또는 폴링(rising 또는 falling)의 속도가 정의될 수밖에 없다. 라이징은 로우 신호로부터 하이 신호의 천이를 의미하고, 폴링은 하이 신호로부터 로우 신호의 천이를 의미한다. 그렇다 하여, 단일 인버터의 자체 사이즈를 매우 키워서 라이징 및 폴링 모두 빨리 동작시키는 방안도 고려될 수는 있으나, 매우 큰 전력 소모를 유발하기 때문에, 실질적으로는 활용되기 어려울 수 있다.

[0084] 따라서, 지연 감소 회로부(1050)는 2개의 인버터들이 그룹핑된 인버터 그룹 단위로 구성될 수 있다. 예를 들어, 인버터 그룹에서 어느 하나의 인버터는 라이징(rising)을 빨리하도록 PMOS 및 NMOS의 크기를 다르게 하고, 다른 하나의 인버터는 폴링(falling)을 빨리하도록 PMOS 및 NMOS의 크기를 동일하게 설계할 수 있다. 이와 같이, 지연 감소 회로부(1050)에 구비된 인버터 그룹들을 이용하여 라이징 또는 폴링(rising 또는 falling)의 속도를 조절함으로써 데드 타임 또는 지연이 감소될 수 있다.

[0085] 도 12는 도 11의 지연 감소 회로부를 상세하게 설명하기 위한 도면이다.

[0086] 도 12를 참고하면, 지연 감소 회로부(1050)는 복수의 로우 인버터 그룹들(예를 들어, m개) 및 복수의 컬럼 인버터 그룹들(예를 들어, n개)을 포함할 수 있다. 즉, 각 로우 인버터 그룹은 각 로우 라인에 연결된 전류 미러 회로의 출력마다 제공되고, 각 컬럼 인버터 그룹은 각 컬럼 라인에 연결된 전류 미러 회로의 출력마다 제공될 수 있다.

[0087] 예를 들어, 지연 감소 회로부(1050)는 m번째 로우 라인(RL m)에 연결된 전류 미러 회로(1021-m)의 로우 바이어스 신호(RBS m)를 수신하는 로우 인버터 그룹(1051)과 n번째 컬럼 라인(CL n)에 연결된 전류 미러 회로(1022-n)의 컬럼 바이어스 신호(CBS n)를 수신하는 컬럼 인버터 그룹(1052)을 포함할 수 있다.

[0088] 로우 인버터 그룹(1051)은 입력으로서 로우 바이오스 신호(RBS m)를 수신하고, 로우 인버터 그룹(1051)의 출력은 로직 회로부(1030)에 구비된 로직 게이트((m,n) NOR 게이트)의 제 1 입력단으로 제공될 수 있다.

[0089] 컬럼 인버터 그룹(1052)은 입력으로서 컬럼 바이오스 신호(CBS n)를 수신하고, 컬럼 인버터 그룹(1052)의 출력은 로직 회로부(1030)에 구비된 로직 게이트((m,n) NOR 게이트)의 제 2 입력단으로 제공될 수 있다.

[0090] 로우 인버터 그룹(1051)은 2개의 인버터들(인버터 A 및 인버터 B) 및 AND 게이트를 포함할 수 있다. 인버터 A 및 인버터 B는 로우 바이오스 신호(RBS m)를 수신하고 로우 바이오스 신호(RBS m)의 반전된 신호를 각각 AND 게이트로 출력하고, AND 게이트의 논리 연산의 결과는 로직 게이트((m,n) NOR 게이트)의 제 1 입력단으로 출력된다.

[0091] 인버터 A 및 인버터 B 각각은, 도 12에 도시된 바와 같이, PMOS 트랜지스터와 NMOS 트랜지스터가 서로 연결된 회로로 구현될 수 있다.

[0092] 인버터 A에 구비된 PMOS 트랜지스터의 스트렝스(strength)는 인버터 A에 구비된 NMOS 트랜지스터보다 크도록 구현될 수 있다. 이와 달리, 인버터 B에 구비된 PMOS 트랜지스터의 스트렝스는 인버터 B에 구비된 NMOS 트랜지스터와 동일할 수 있다.

[0093] 도 12의 타이밍 다이어그램을 참고하면, 로우 인버터 그룹(1051)의 인버터 A 및 인버터 B 각각에 하이 신호(IN)가 입력된 경우, 인버터 A의 출력(Aout)에서 폴링 속도는 늦으나 인버터 B의 출력(Bout)에서 폴링 속도는 빠른 것을 알 수 있다. 반대로, 인버터 A의 출력(Aout)에서 라이징 속도는 빠르나 인버터 B의 출력(Bout)에서 라이징 속도는 느린 것을 알 수 있다. 따라서, 인버터 A 및 인버터 B의 출력들(Aout 및 Bout)에 대해 AND 게이트에 의해 논리 연산을 수행하는 경우, 로우 인버터 그룹(1051)에 입력된 하이 신호의 데드 타임 또는 지연이 감소된 출력 신호(OUT)를 획득할 수 있다.

[0094] 한편, 컬럼 인버터 그룹(1052)도 2개의 인버터들 및 AND 게이트를 포함할 수 있다. 컬럼 인버터 그룹(1052)의 인버터들은 컬럼 바이오스 신호(CBS m)를 수신하고 컬럼 바이오스 신호(CBS n)의 반전된 신호를 각각 AND 게이트로 출력하고, AND 게이트의 논리 연산의 결과는 로직 게이트((m,n) NOR 게이트)의 제 2 입력단으로 출력된다. 앞서 설명된 바와 같이, 컬럼 인버터 그룹(1052)의 인버터들 중 어느 하나의 인버터에 구비된 PMOS 트랜지스터의 스트렝스(strength)는 동일 인버터에 구비된 NMOS 트랜지스터보다 크도록 구현될 수 있다. 이와 달리, 다른 하나의 인버터에 구비된 PMOS 트랜지스터의 스트렝스는 동일 인버터에 구비된 NMOS 트랜지스터와 동일할 수 있다.

[0095] 즉, 각 인버터 그룹에서 어느 하나의 인버터는 라이징(rising)을 빨리하도록 PMOS 및 NMOS의 크기를 다르게 하고, 다른 하나의 인버터는 폴링(falling)을 빨리하도록 PMOS 및 NMOS의 크기를 동일하게 설계함으로써, 인버터 그룹에 입력된 신호에 대한 데드 타임 또는 지연을 감소시킬 수 있다.

[0096] 도 13 및 도 14는 인버터 그룹의 2개의 인버터들을 이용하여 입력 신호의 라이징 속도 및 폴링 속도가 빠르게 제어되어 출력될 수 있음을 설명하기 위한 도면들이다.

[0097] 도 13 및 도 14를 참고하면, 인버터 그룹(1300)에서 인버터 A에서 PMOS 및 NMOS의 크기를 다르게 설계함으로써, 라이징 속도는 빠르고, 폴링 속도는 느리다는 것을 알 수 있다. 하지만, 인버터 B에서는 폴링 속도가 빠르고, 라이징 속도가 느리다는 것을 알 수 있다.

[0098] 이와 같이, 이미징 센싱 디바이스(1100)에 지연 감소 회로부(1050)를 추가하고, 지연 감소 회로부(1050)에 구비된 인버터 그룹(1300)에서 하나의 인버터는 라이징(rising)을 빨리하도록 PMOS 및 NMOS의 크기를 다르게 하고, 다른 하나의 인버터는 폴링(falling)을 빨리하도록 PMOS 및 NMOS의 크기를 동일하게 설계함으로써, 이미징 센싱 디바이스(1100) 내 신호 처리에 대한 데드 타임 또는 지연이 감소될 수도 있다.

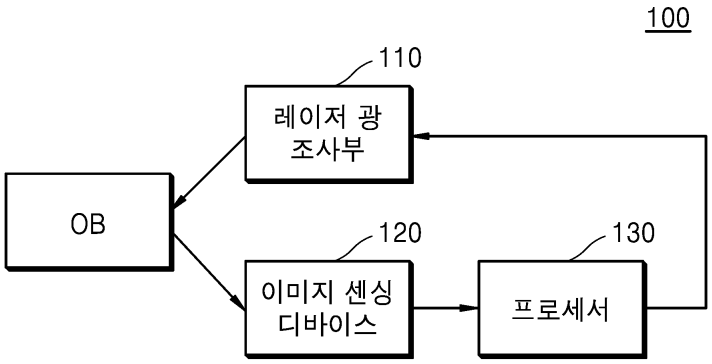
[0099] 한편, 전술한 방법은 그 방법을 실행하는 명령어들을 포함하는 하나 이상의 프로그램이 기록된 컴퓨터로 읽을 수 있는 비일시적(non-transitory) 기록 매체에 기록될 수 있다. 컴퓨터로 읽을 수 있는 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치

가 포함된다. 프로그램 명령어의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

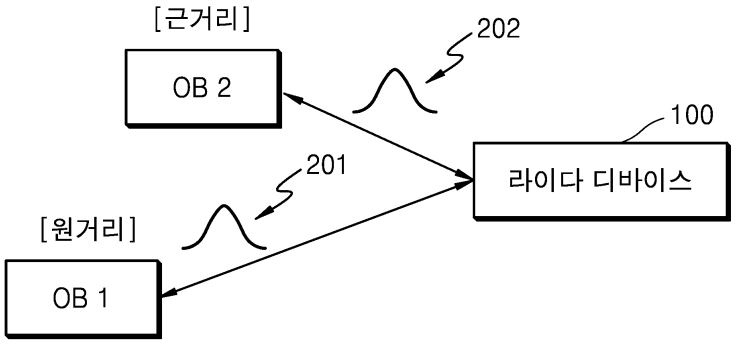
[0100] 이상에서 실시예들에 대하여 상세하게 설명하였지만 본 개시의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 개시의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 개시의 권리범위에 속한다.

도면

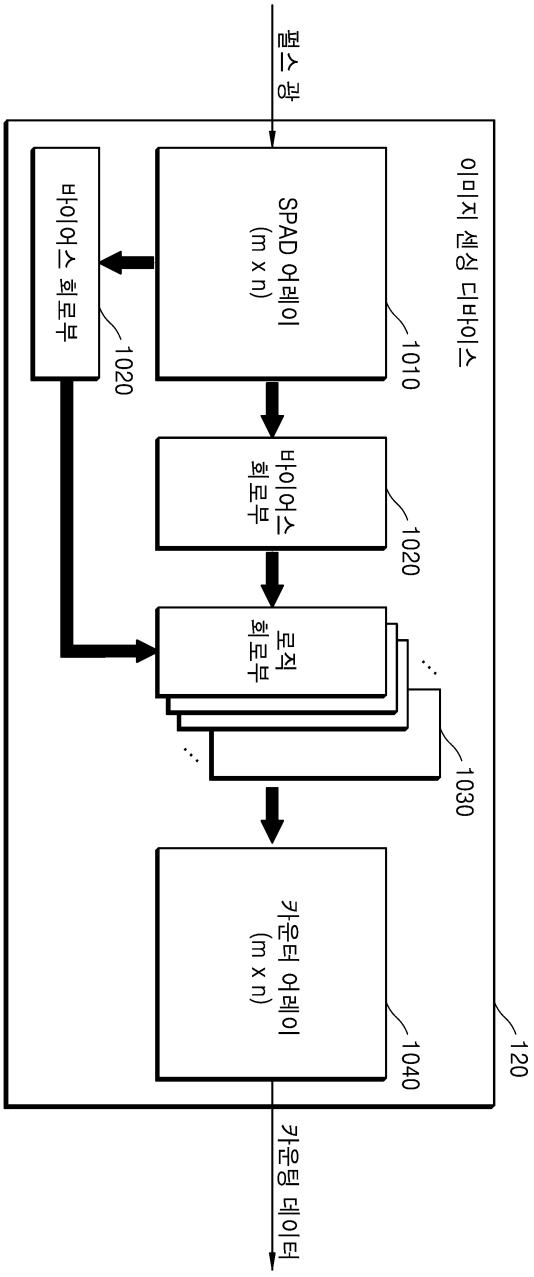
도면1



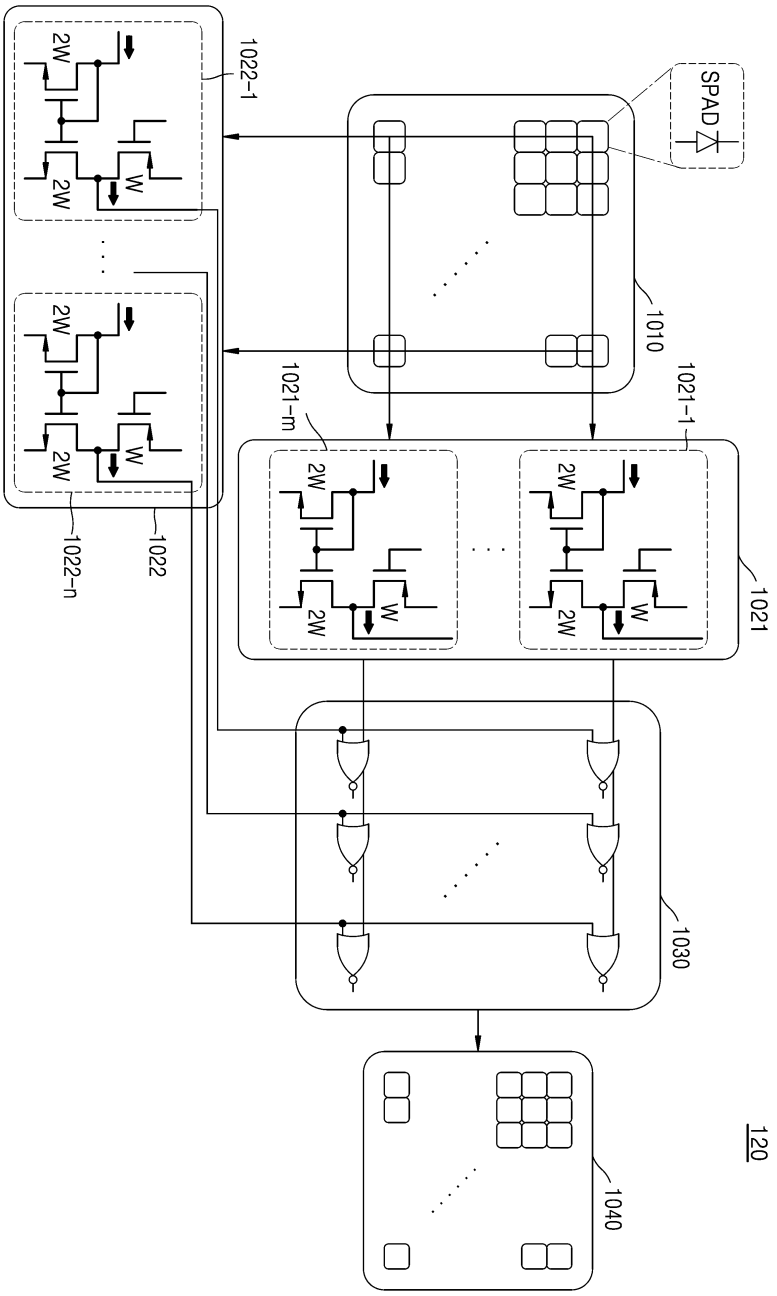
도면2



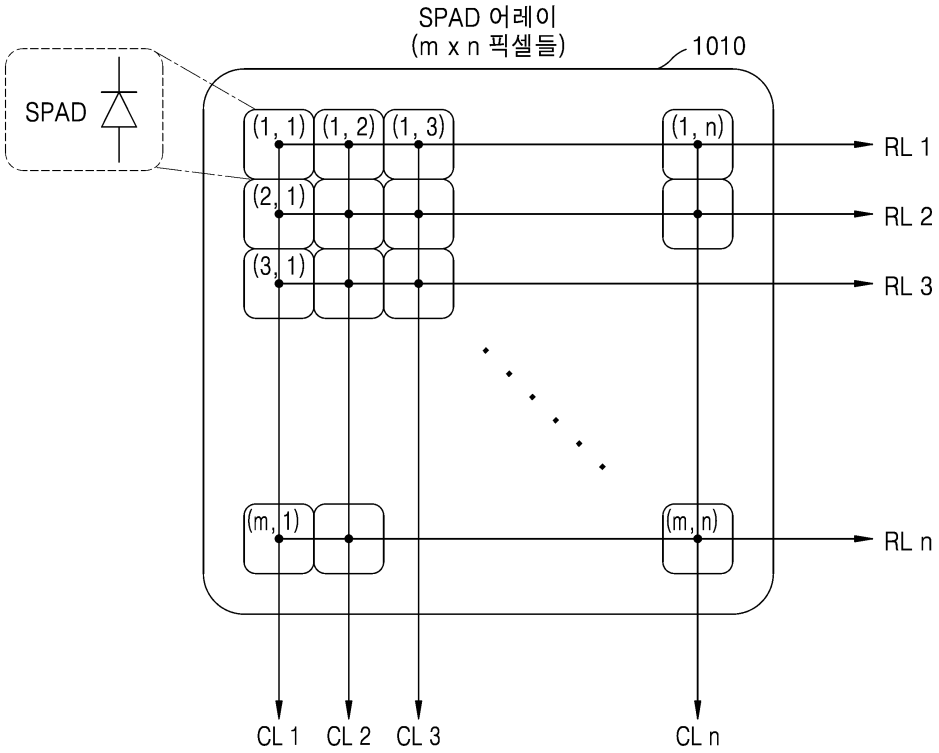
도면3


펄스 광
이미지 센싱 디바이스
SPAD 어레이
(m x n)
1010
바이어스 회로부
1020
바이어스
회로부
1020
로직
회로부
1030
카운터 어레이
(m x n)
1040
120
카운팅 데이터

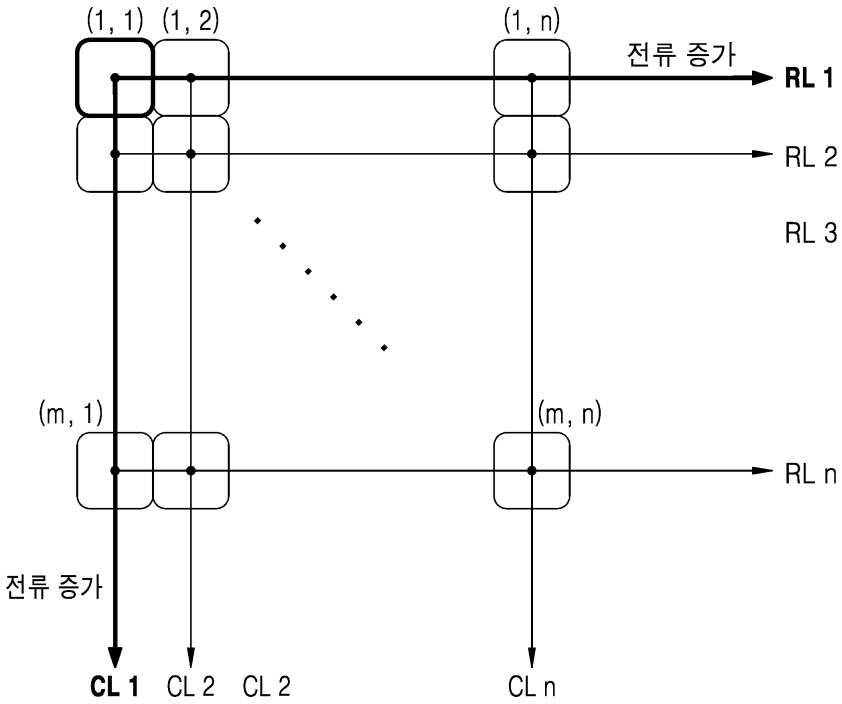
도면4


SPAD
1010
1021-1
1021-m
1021
1022-1
1022
1022-n
1030
1040
120
2W
W

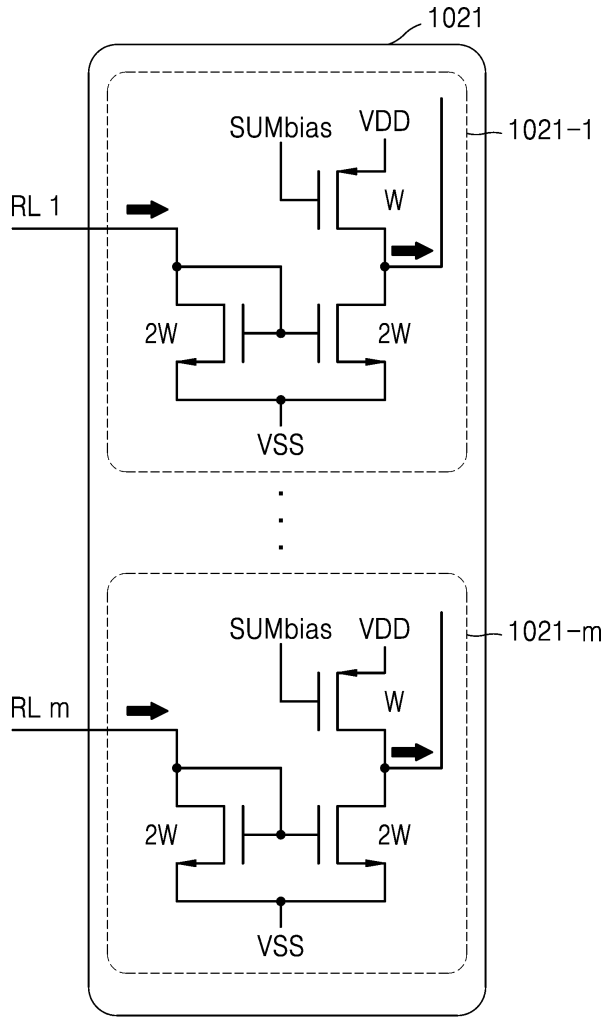
도면5


SPAD 어레이
(m x n 픽셀들)
1010
SPAD
(1, 1)
(1, 2)
(1, 3)
(1, n)
(2, 1)
(3, 1)
(m, 1)
(m, n)
RL 1
RL 2
RL 3
RL n
CL 1
CL 2
CL 3
CL n

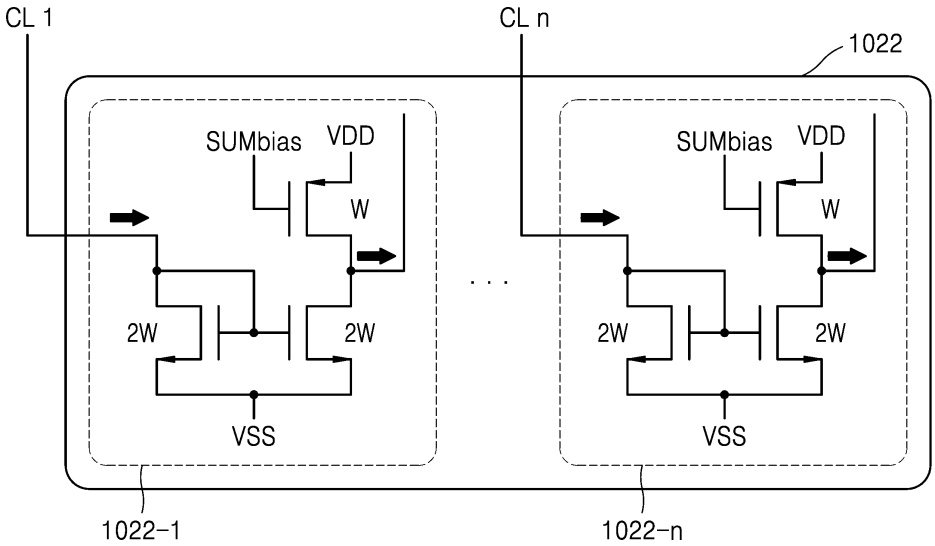
도면6


(1, 1)
(1, 2)
(1, n)
전류 증가
RL 1
RL 2
RL 3
(m, 1)
(m, n)
RL n
전류 증가
CL 1
CL 2
CL 2
CL n

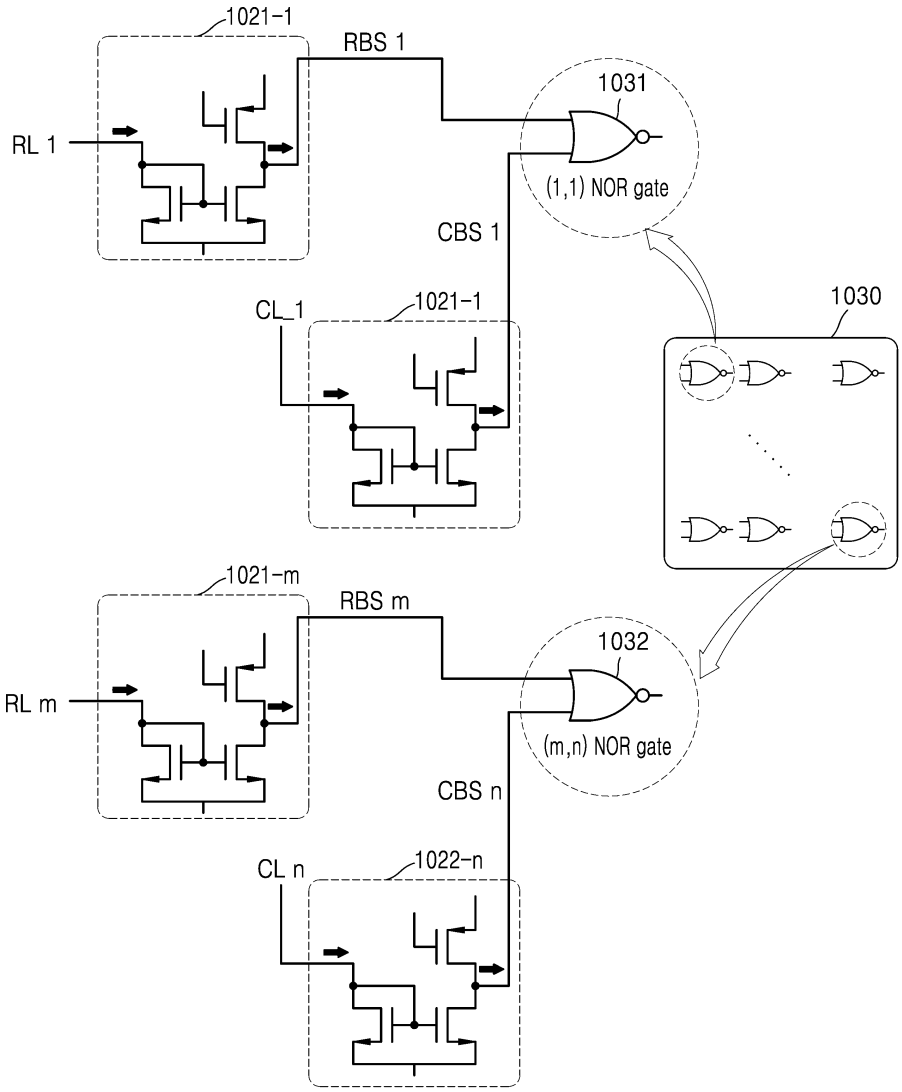
도면7


1021
SUMbias
VDD
1021-1
RL 1
W
2W
2W
VSS
SUMbias
VDD
1021-m
RL m
W
2W
2W
VSS

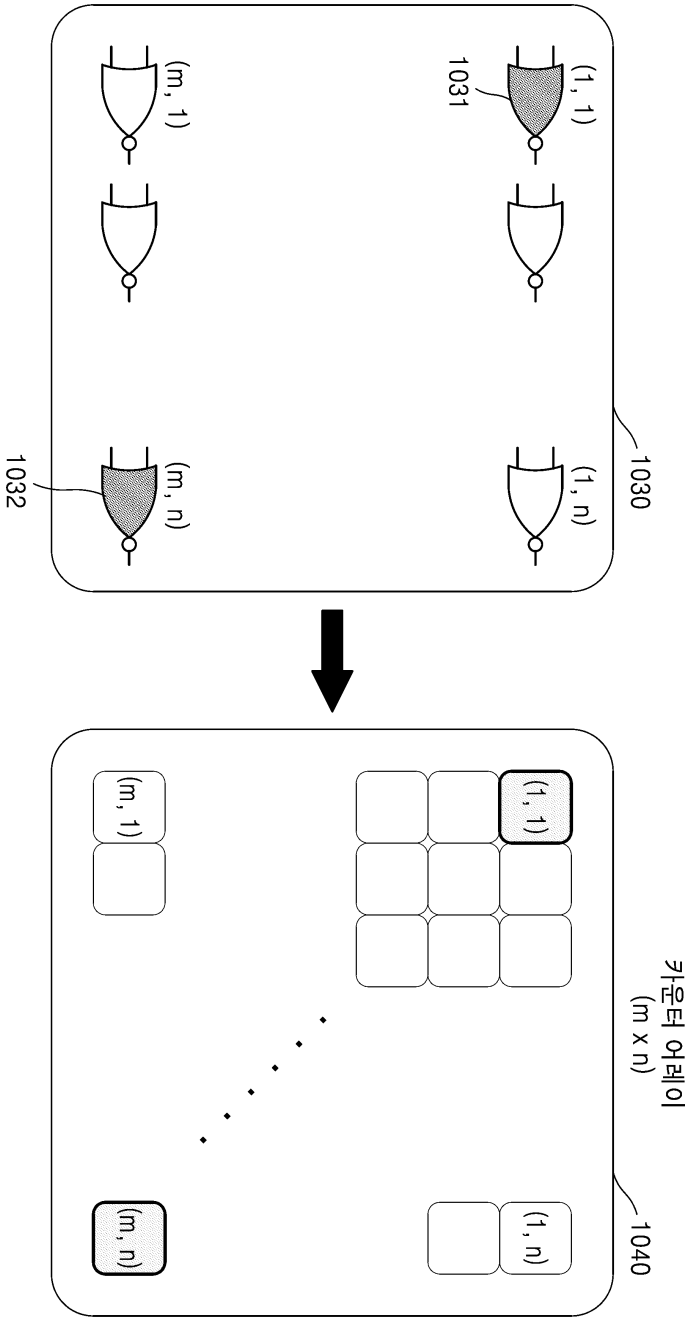
도면8


CL 1
CL n
1022
SUMbias
VDD
W
2W
2W
VSS
SUMbias
VDD
W
2W
2W
VSS
1022-1
1022-n

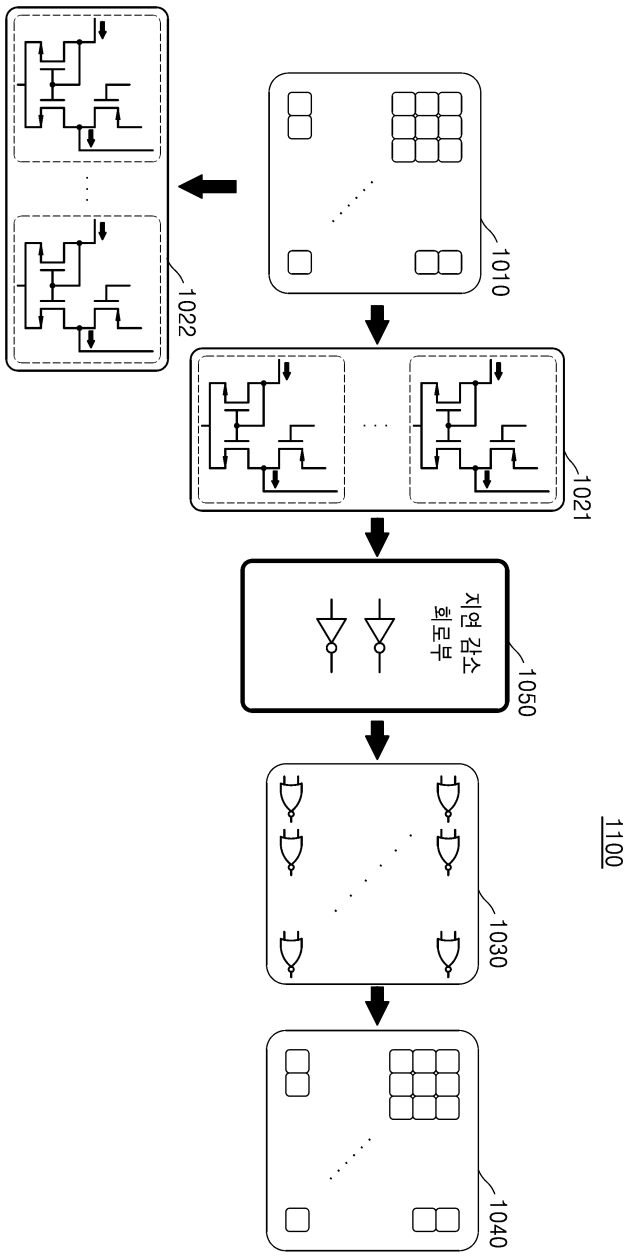
도면9


1021-1
RBS 1
1031
RL 1
(1,1) NOR gate
CBS 1
CL_1
1021-1
1030
1021-m
RBS m
1032
RL m
(m,n) NOR gate
CBS n
CL n
1022-n

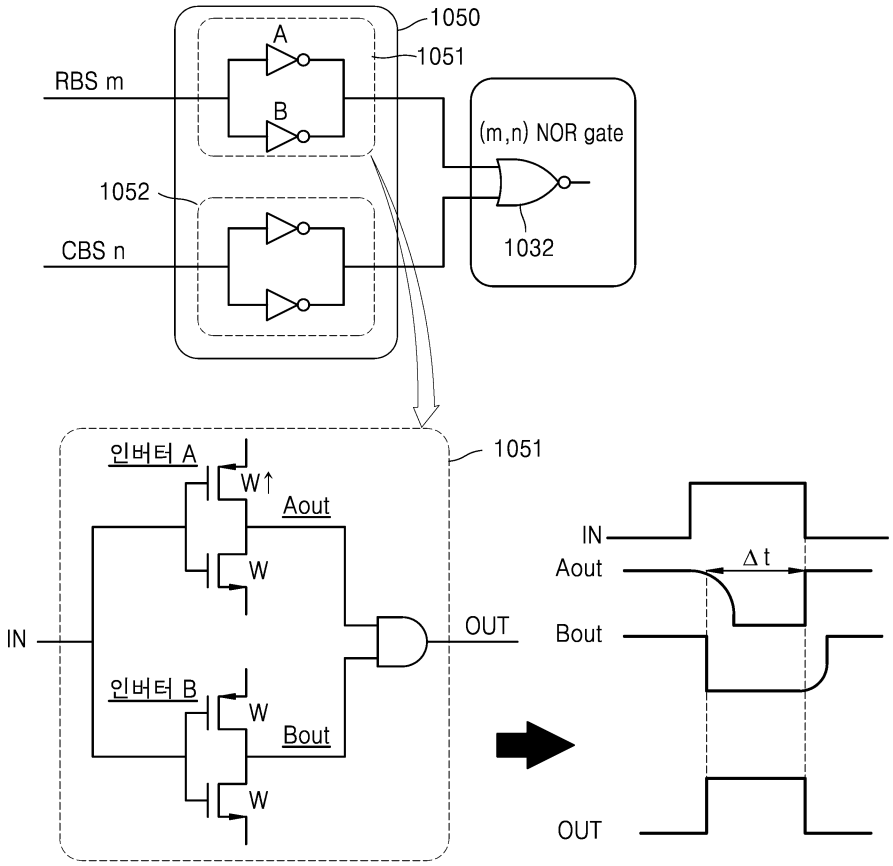
도면10



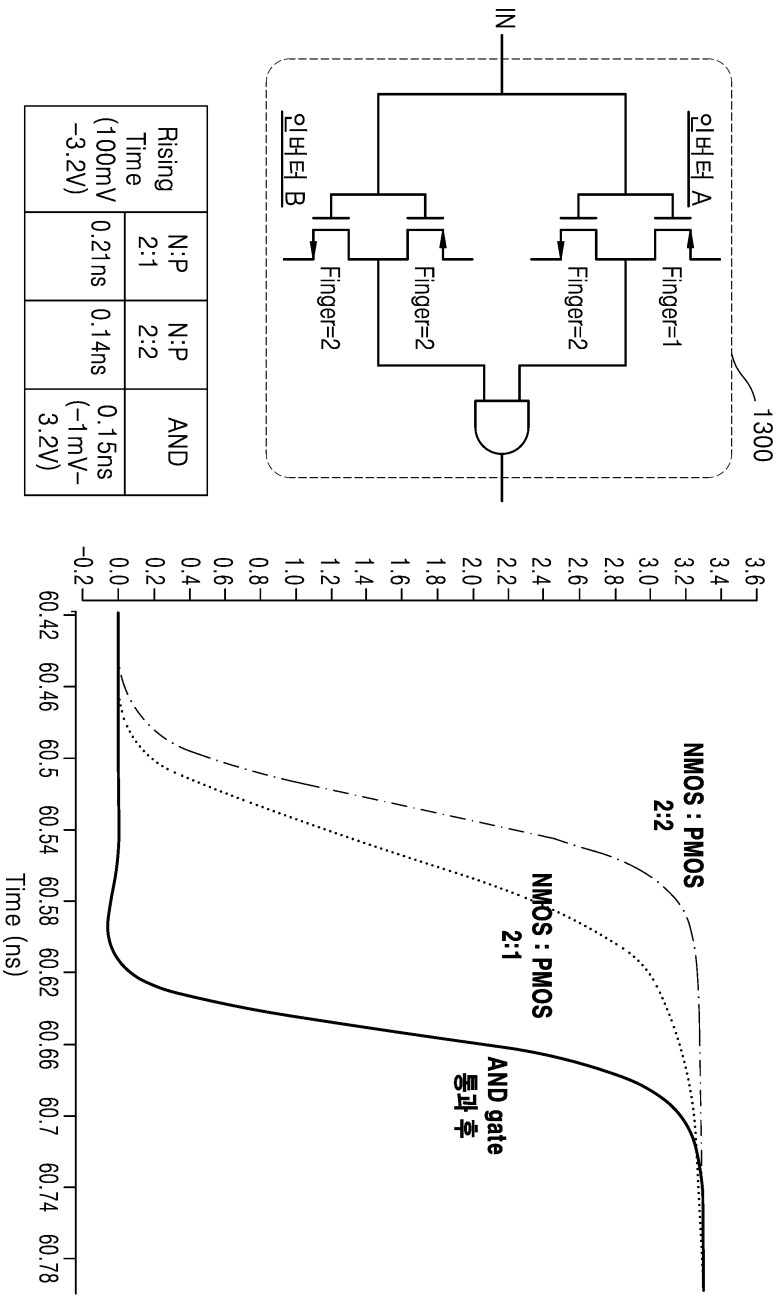
도면11



도면12

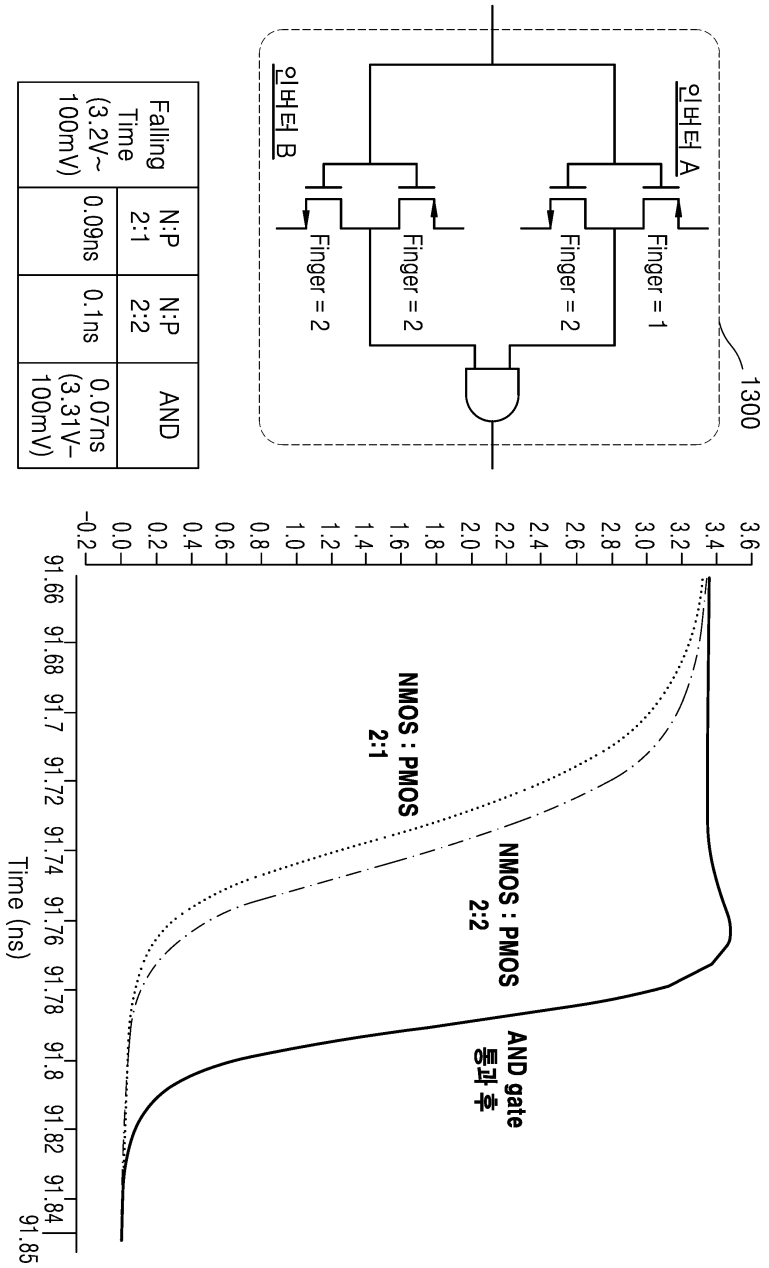

1050
1051
A
B
RBS m
(m,n) NOR gate
1052
CBS n
1032
1051
인버터 A
W↑
Aout
W
IN
OUT
인버터 B
W
Bout
W
IN
Aout
Δt
Bout
OUT

도면13



Rising Time (100mV −3.2V)	N:P 2:1	N:P 2:2	AND
	0.21ns	0.14ns	0.15ns (−1mV−3.2V)

도면14



Falling Time (3.2V~100mV)	N:P 2:1	N:P 2:2	AND
	0.09ns	0.1ns	0.07ns (3.31V~100mV)