

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

exposed to light and a second light exposure time during which the second phase difference pixel region is exposed to light are different from a light exposure time for the imaging pixel region.

(57) 要約: 位相差画素の露光時間をフレーム周期以上とし、かつ、フレーム周期ごとに位相差画素から信号を読み出すことを可能とする撮像装置、駆動方法、及びプログラムを提供する。撮像素子は、複数の位相差画素を各々含む第1位相差画素領域と第2位相差画素領域と、第1方向において、第1位相差画素領域と第2位相差画素領域との間にある撮像素素領域とを有する。プロセッサは、撮像素子にフレーム周期で撮像を行わせ、第1フレーム期間中に、第1位相差画素領域から信号を読み出す第1読み出し処理と、第1フレーム期間に続く第2フレーム期間中に、第2位相差画素領域から信号を読み出す第2読み出し処理と、を実行するように構成されている。第1位相差画素領域が露光される第1露光時間、及び、第2位相差画素領域が露光される第2露光時間は、撮像素素領域の露光時間と異なっている。

明 細 書

発明の名称：撮像装置、撮像装置の駆動方法、及びプログラム 技術分野

[0001] 本開示の技術は、撮像装置、撮像装置の駆動方法、及びプログラムに関する。

背景技術

[0002] 特許文献 1 に記載の撮像装置は、複数の画素が 2 次元的に配列された撮像素子であって、撮影レンズにより結像される被写体像を光電変換して画像生成用の信号を生成する撮像用画素と、複数の撮像用画素の間に離散的に配置され、撮影レンズの瞳領域を分割して、分割された瞳領域からの被写体像を光電変換して位相差検出用の信号を生成する焦点検出用画素とを有する撮像素子と、複数の画素の全画素の信号を読み出す全画素読み出しモードと、複数の画素の信号を間引いて読み出す間引き読み出しモードとを切り替える切り替え部と、切り替え部により間引き読み出しモードに切り替えられた場合に、画像生成のために用いられる撮像行と、焦点検出用画素を有する焦点検出行とで、独立して電荷の蓄積制御を行う制御部とを備える。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2010-219958 号公報

発明の概要

[0004] 本開示の技術に係る一つの実施形態は、位相差画素の露光時間をフレーム周期以上とし、かつ、フレーム周期ごとに位相差画素から信号を読み出すことを可能とする撮像装置、駆動方法、及びプログラムを提供する。

課題を解決するための手段

[0005] 上記目的を達成するために、本開示の撮像装置は、プロセッサと、第 1 方向に延在する信号を読み出す列信号線と、第 1 方向と交差する第 2 方向に配列された複数の位相差画素を含む撮像素子とを備え、撮像素子は、複数の

位相差画素を各々含む第1位相差画素領域と第2位相差画素領域と、第1方向において、第1位相差画素領域と第2位相差画素領域との間にある撮像素素領域とを有し、プロセッサは、撮像素子にフレーム周期で撮像を行わせ、第1フレーム期間中に、第1位相差画素領域から信号を読み出す第1読み出し処理と、第1フレーム期間に続く第2フレーム期間中に、第2位相差画素領域から信号を読み出す第2読み出し処理と、を実行するように構成され、第1位相差画素領域が露光される第1露光時間、及び、第2位相差画素領域が露光される第2露光時間は、撮像素素領域の露光時間と異なっている。

[0006] 第1露光時間及び第2露光時間は、それぞれフレーム周期超過であることが好ましい。

[0007] 第1露光時間と第2露光時間とは、互いに異なることが好ましい。

[0008] プロセッサは、第1読み出し処理と第2読み出し処理とを交互に実行し、第1露光時間及び第2露光時間をそれぞれフレーム周期の2倍未満とする、第1モードを実行可能とすることが好ましい。

[0009] プロセッサは、 K を2以上の整数とした場合に、第2露光時間をフレーム周期の K 倍以上で、かつ $K+1$ 倍未満とし、第2位相差画素領域の露光期間中に第1読み出し処理を K 回実行し、第1読み出し処理を K 回実行するたびに第2読み出し処理を1回実行する、第2モードを実行可能とすることが好ましい。

[0010] 第2モードにおいて、第1露光時間は、フレーム周期未満であることが好ましい。

[0011] プロセッサは、被写体の明るさに応じて、第1モードと第2モードとを切り替えることが好ましい。

[0012] プロセッサは、第2読み出し処理を行わず、第1読み出し処理のみを繰り返す第3モードを実行可能とすることが好ましい。

[0013] プロセッサは、被写体の移動速度に応じて第1モードと第3モードとを切り替えることが好ましい。

[0014] N を3以上の整数とした場合に、撮像素子は、第2方向に配列された第1

位相差画素領域から第N位相差画素領域のN個の位相差画素領域を有し、プロセッサは、位相差画素領域の各々をフレーム周期ごとに選択して信号を読み出し、かつ、位相差画素領域の露光時間を、フレーム周期のN倍未満とすることが好ましい。

[0015] 撮像素子は、第2方向に延在する複数の行選択線を含み、第1位相差画素領域は、複数の位相差画素として1対の第1位相差画素を含み、第2位相差画素領域は、複数の位相差画素として1対の第2位相差画素を含み、1対の第1位相差画素は、同一の行選択線によって選択され、1対の第2位相差画素は、同一の行選択線によって選択され、第1位相差画素領域と第2位相差画素領域は、撮像素素領域を挟んで第1方向に交互に配置されていることが好ましい。

[0016] 撮像素子は、第2方向に延在する複数の行選択線を含み、第1位相差画素領域は、複数の位相差画素として1対の第1位相差画素を含み、第2位相差画素領域は、複数の位相差画素として1対の第2位相差画素を含み、1対の第1位相差画素は、第1方向に並ぶ複数の行選択線によって各々選択され、1対の第2位相差画素は、第1方向に並ぶ複数の行選択線によって各々選択され、第1位相差画素領域と第2位相差画素領域は、撮像素素領域を挟んで第1方向に交互に配置されていることが好ましい。

[0017] 第1位相差画素領域及び第2位相差画素領域に含まれる複数の位相差画素と、撮像素素領域にある撮像素素とは、各々一对の光電変換素子を有し、プロセッサは、複数の位相差画素においては、一对の光電変換素子の一方の信号を読み出し、撮像素素から一对の光電変換素子の両方から信号を読み出し、第1位相差画素領域と第2位相差画素領域は、撮像素素領域を挟んで第1方向に交互に配置されることが好ましい。

[0018] 本開示の撮像装置の駆動方法は、第1方向に延在する信号を読み出す列信号線と、第1方向と交差する第2方向に配列された複数の位相差画素とを含む撮像素子とを備え、撮像素子は、複数の位相差画素を各々含む第1位相差画素領域と第2位相差画素領域と、第1方向において、第1位相差画素領域

と第2位相差画素領域との間にある撮像素素領域とを有する撮像装置の駆動方法であって、撮像素子にフレーム周期で撮像を行わせ、第1フレーム期間中に、第1位相差画素領域から信号を読み出す第1読み出し処理と、第1フレーム期間に続く第2フレーム期間中に、第2位相差画素領域から信号を読み出す第2読み出し処理と、を実行させ、第1位相差画素領域が露光される第1露光時間、及び、第2位相差画素領域が露光される第2露光時間は、撮像素素領域の露光時間と異なっている。

[0019] 本開示のプログラムは、第1方向に延在する信号を読み出す列信号線と、第1方向と交差する第2方向に配列された複数の位相差画素とを含む撮像素子とを備え、撮像素子は、複数の位相差画素を各々含む第1位相差画素領域と第2位相差画素領域と、第1方向において、第1位相差画素領域と第2位相差画素領域との間にある撮像素素領域とを有する撮像装置を作動させるプログラムであって、撮像素子にフレーム周期で撮像を行わせ、第1フレーム期間中に、第1位相差画素領域から信号を読み出す第1読み出し処理と、第1フレーム期間に続く第2フレーム期間中に、第2位相差画素領域から信号を読み出す第2読み出し処理と、を実行させ、第1位相差画素領域が露光される第1露光時間、及び、第2位相差画素領域が露光される第2露光時間は、撮像素素領域の露光時間と異なっている。

図面の簡単な説明

- [0020] [図1]撮像装置の前面側の一例を示す概略斜視図である。
[図2]撮像装置の背面側の一例を示す概略斜視図である。
[図3]撮像装置の内部構成の一例を示す図である。
[図4]プロセッサの機能構成の一例を示すブロック図である。
[図5]撮像センサの構成の一例を示す図である。
[図6]撮像素素の構成の一例を示す図である。
[図7]位相差画素の構成の一例を示す図である。
[図8]撮像センサの画素配列の一例を示す図である。
[図9]動画撮像モード時に信号が読み出される画素を示す図である。

[図10]撮像タイミングの一例を示す図である。

[図11]焦点調節制御の一例を示すフローチャートである。

[図12]第2実施形態に係る撮像タイミングの一例を示す図である。

[図13]第2実施形態の変形例に係る撮像タイミングの一例を示す図である。

[図14]第1モードと第2モードとの切り替え処理の一例を示すフローチャートである。

[図15]第3実施形態において動画撮像モード時に信号が読み出される画素を示す図である。

[図16]第3実施形態に係る撮像タイミングの一例を示す図である。

[図17]第3モードにおける撮像タイミングの一例を示す図である。

[図18]第1モードと第3モードとの切り替え処理の一例を示すフローチャートである。

[図19]第1変形例に係る撮像センサの画素配列の一例を示す図である。

[図20]第1変形例において動画撮像モード時に信号が読み出される画素を示す図である。

[図21]第2変形例に係る撮像センサの画素構成を示す図である。

発明を実施するための形態

[0021] 添付図面に従って本開示の技術に係る実施形態の一例について説明する。

[0022] 先ず、以下の説明で使用される文言について説明する。

[0023] 以下の説明において、「IC」は、“Integrated Circuit”の略称である。「CPU」は、“Central Processing Unit”の略称である。「ROM」は、“Read Only Memory”の略称である。「RAM」は、“Random Access Memory”の略称である。「CMOS」は、“Complementary Metal Oxide Semiconductor”の略称である。EEPROMは、“Electrically Erasable Programmable Read-Only Memory”の略称である。

[0024] 「FPGA」は、“Field-Programmable Gate Array”の略称である。「PLD」は、“Programmable Logic Device”の略称である。「ASIC」は、“Application Specific Integrated Circuit”の略称である。「JPEG」は、“Joint Photographic Experts Group”の略称である。

[0025] 本開示において、「等しい」とは、完全に等しいことの他に、本開示の技術が属する技術分野で一般的に許容される誤差を含めた意味合いで実質的に等しいことを含む。

[0026] [第1実施形態]

撮像装置の第1実施形態として、レンズ交換式のデジタルカメラを例に挙げて本開示の技術を説明する。なお、本開示の技術は、レンズ交換式に限られず、レンズ一体型のデジタルカメラにも適用可能である。

[0027] (撮像装置の構成)

図1は、撮像装置10の前面側の一例を示す。図1に示すように、撮像装置10は、レンズ交換式のデジタルカメラである。撮像装置10は、本体11と、本体11に交換可能に装着される撮像レンズ12とで構成される。撮像レンズ12は、カメラ側マウント11A及びレンズ側マウント12A(図3参照)を介して本体11の前面11C側に取り付けられる。撮像レンズ12は、本開示の技術に係るレンズの一例である。

[0028] 本体11の上面には、ダイヤル13及びリリースボタン14が設けられている。ダイヤル13は、動作モード等の設定の際に操作される。撮像装置10の動作モードとして、例えば、静止画撮像モード、動画撮像モード、及び画像表示モードが含まれる。リリースボタン14は、静止画撮像、又は動画撮像の実行を開始する際にユーザにより操作される。

[0029] 図2は、撮像装置10の背面側の一例を示す。図2に示すように、本体11の背面11Dには、ディスプレイ15、指示キー16、及び、図示しないファインダのファインダ接眼部18が設けられている。ファインダは、光学

ビューファインダ又は電子ビューファインダが採用可能である。ディスプレイ 15 には、撮像により得られた画像信号に基づく画像、及び各種のメニュー画面等が表示される。指示キー 16 は、各種の指示を受け付ける。

[0030] 図 3 は、撮像装置 10 の内部構成の一例を示す。本体 11 と撮像レンズ 12 とは、カメラ側マウント 11A に設けられた電気接点 11B と、レンズ側マウント 12A に設けられた電気接点 12B とが接触することにより電氣的に接続される。

[0031] 撮像レンズ 12 は、対物レンズ 30、フォーカスレンズ 31、後端レンズ 32、及び絞り 33 を含む。各々部材は、撮像レンズ 12 の光軸 LA に沿って、対物側から、対物レンズ 30、絞り 33、フォーカスレンズ 31、後端レンズ 32 の順に配列されている。対物レンズ 30、フォーカスレンズ 31、及び後端レンズ 32、撮像光学系を構成している。撮像光学系を構成するレンズの種類、数、及び配列順序は、図 3 に示す例に限定されない。

[0032] また、撮像レンズ 12 は、レンズ駆動制御部 34 を有する。レンズ駆動制御部 34 は、例えば、CPU、RAM、及び ROM 等により構成されている。ROM は、書き換え可能な EEPROM、フラッシュメモリ等も含む。レンズ駆動制御部 34 は、電気接点 12B 及び電気接点 11B を介して、本体 11 内のプロセッサ 40 と電氣的に接続されている。

[0033] レンズ駆動制御部 34 は、プロセッサ 40 から送信される制御信号に基づいて、フォーカスレンズ 31 及び絞り 33 を駆動する。レンズ駆動制御部 34 は、撮像レンズ 12 の焦点調節を行うために、プロセッサ 40 から送信される焦点調節用の制御信号に基づいて、フォーカスレンズ 31 の駆動制御を行う。プロセッサ 40 は、位相差方式の焦点調節を行う。

[0034] 本体 11 には、撮像センサ 20、プロセッサ 40、操作部 42、メモリ 45、及びディスプレイ 15 が設けられている。撮像センサ 20、メモリ 45、及びディスプレイ 15 は、プロセッサ 40 により動作が制御される。プロセッサ 40 は、例えば、CPU、RAM、及び ROM 等により構成される。この場合、プロセッサ 40 は、メモリ 45 に格納されたプログラム 45A に

基づいて各種の処理を実行する。なお、プロセッサ４０は、複数のＩＣチップの集合体により構成されていてもよい。また、撮像センサ２０は、例えば、ＣＭＯＳ型イメージセンサである。撮像センサ２０は、本開示の技術に係る「撮像素子」の一例である。

[0035] ディスプレイ１５は、画像処理部５２（図４参照）が生成した画像データに基づき、画像を表示する。画像には、静止画、動画、及びライブビュー画像が含まれる。ライブビュー画像は、画像処理部５２で生成された画像データを、ディスプレイ１５に順次出力することにより、ディスプレイ１５にリアルタイム表示される画像である。

[0036] 画像処理部５２が生成した画像データは、本体１１に内蔵された内部メモリ（図示せず）、又は本体１１に着脱可能な記憶媒体（例えば、メモリカード）に保存することが可能である。

[0037] 操作部４２は、前述のダイヤル１３、リリースボタン１４、及び指示キー１６（図１及び図２参照）を含む。プロセッサ４０は、操作部４２の操作に応じて、本体１１内の各部と、撮像レンズ１２内のレンズ駆動制御部３４とを制御する。

[0038] （プロセッサの構成）

図４は、プロセッサ４０の機能構成の一例を示す。プロセッサ４０は、メモリ４５に記憶されたプログラム４５Ａにしたがって処理を実行することにより、各種機能部を実現する。図４に示すように、例えば、プロセッサ４０には、主制御部５０、撮像制御部５１、及び画像処理部５２が実現される。

[0039] 主制御部５０は、操作部４２から入力される指示信号に基づき、撮像装置１０の動作を統括的に制御する。撮像制御部５１は、撮像センサ２０を制御することにより、撮像センサ２０に撮像動作を行わせる撮像処理を実行する。撮像制御部５１は、静止画撮像モード又は動画撮像モードで撮像センサ２０を駆動する。

[0040] ユーザは、操作部４２により、静止画撮像モードと動画撮像モードとの選択を行うことができる。また、ユーザは、操作部４２を操作することにより

、シャッタ速度及び絞り値を含む露出値の設定を行うことができる。

[0041] また、ユーザは、操作部42を操作することにより、自動露出モードを選択することが可能である。自動露出モードが選択された場合には、主制御部50は、撮像センサ20により得られる画像信号の輝度とプログラム線図とを用いた演算により、シャッタ速度及び絞り値の最適値を求める。

[0042] 画像処理部52は、画像信号に対して種々の画像処理を施すことにより、既定のファイル形式（例えば、J P E G形式等）の画像データを生成する。

[0043] （撮像センサの構成）

図5は、撮像センサ20の構成の一例を示す。図5に示す撮像センサ20は、C M O S型イメージセンサである。撮像センサ20は、撮像領域21、垂直走査回路22、ラインメモリ23、水平走査回路24、及び出力アンプ25を有する。

[0044] 撮像領域21には、複数の画素26が、X方向及びY方向に沿って二次元マトリクス状に配列されている。また、撮像領域21には、X方向に沿って複数の行選択線L1及び複数の行リセット線L2が配線されており、かつ、Y方向に沿って複数の列信号線L3が配線されている。

[0045] 列信号線L3は、Y方向に延在している。行選択線L1及び行リセット線L2は、Y方向と交差するX方向に延在している。Y方向は、本開示の技術に係る「第1方向」の一例である。X方向は、本開示の技術に係る「第2方向」の一例である。

[0046] 画素26は、行選択線L1、行リセット線L2、及び列信号線L3に接続されている。以下、X方向に並ぶ複数の画素26を単に「行」と称することもある。詳しくは後述するが、複数の画素26のうちの一部は、焦点調節を行うための位相差画素である。

[0047] 画素26は、フォトダイオードD1、アンプトランジスタM1、画素選択トランジスタM2、及びリセットトランジスタM3を有する。フォトダイオードD1は、入射光を光電変換することにより、入射光量に応じた信号電荷を生成し、生成した信号電荷を蓄積する。アンプトランジスタM1は、フォ

トダイオードD 1に蓄積された信号電荷の電荷量に応じた電圧（以下、画素信号Sという。）を生成する。

[0048] 画素選択トランジスタM 2は、行選択線L 1を介して垂直走査回路2 2により制御され、アンプトランジスタM 1により生成された画素信号Sを列信号線L 3に出力する。リセットトランジスタM 3は、行リセット線L 2を介して垂直走査回路2 2により制御され、フォトダイオードD 1に蓄積された信号電荷を電源線に破棄する。以下、フォトダイオードD 1から信号電荷を破棄することは、画素2 6をリセットするという。

[0049] 垂直走査回路2 2は、撮像制御部5 1から入力される垂直同期信号に基づいて、行選択信号SEL及びリセット信号RSTを発生する。垂直走査回路2 2は、信号読み出し動作時に、行選択線L 1に行選択信号SELを与えることにより、当該行選択線L 1に接続された画素2 6から画素信号Sを列信号線L 3に出力させる。

[0050] また、垂直走査回路2 2は、リセット動作時に、行リセット線L 2にリセット信号RSTを与えることにより、当該行リセット線L 2に接続された画素2 6をリセットする。例えば、第n行の行リセット線L 2に接続された画素2 6のリセットは、第n + 1行の行選択線L 1に接続された画素2 6から画素信号Sが読み出されている間に行われる。

[0051] ラインメモリ2 3は、一行分の画素2 6から出力された画素信号Sを記憶する。ラインメモリ2 3は、キャパシタ等により構成されている。ラインメモリ2 3は、スイッチとしてのトランジスタ2 9を介して水平出力線2 4 Aに接続されている。出力アンプ2 5は、水平出力線2 4 Aの端部に接続されている。水平走査回路2 4は、トランジスタ2 9を順に選択する水平走査を行うことにより、ラインメモリ2 3に記憶された一行分の画素信号Sを順に水平出力線2 4 Aに出力させる。水平出力線2 4 Aに出力された画素信号Sは、出力アンプ2 5を介して、画像信号として外部の画像処理部5 2へ出力される。

[0052] 垂直走査回路2 2、ラインメモリ2 3、及び水平走査回路2 4の動作は、

撮像制御部 5 1（図 4 参照）により制御される。撮像制御部 5 1 は、垂直走査回路 2 2 を制御することにより、一行ずつ順に行選択線 L 1 を選択しながら画素信号 S を出力させる。また、撮像制御部 5 1 は、垂直走査回路 2 2 を制御することにより、一行ずつ順に行リセット線 L 2 を選択しながら画素 2 6 をリセットさせる。

[0053] 動画撮像モードでは、撮像制御部 5 1 は、フレーム周期 T（図 10 参照）で撮像センサ 2 0 を駆動する。撮像制御部 5 1 は、フレームレートに対応するフレーム周期で、撮像センサ 2 0 に、画像信号の読み出し及びリセットの動作を繰り返し実行させる。

[0054] なお、撮像センサ 2 0 の構成は、図 5 に示す構成に限られない。例えば、撮像センサ 2 0 に A/D 変換器が設けられていてもよい。

[0055]（画素の構成）

撮像領域 2 1 に配列された複数の画素 2 6 には、撮像用の撮像素素 N と、位相差画素 P 1，P 2 とが含まれる。図 6 は、撮像素素 N の構成の一例を示す。図 7 は、位相差画素 P 1，P 2 の構成の一例を示す。位相差画素 P 1，P 2 は、それぞれ主光線を中心として X 方向に分割された光束の一方を受光する。

[0056] 図 6 に示すように、撮像素素 N は、光電変換素子としてのフォトダイオード D 1、カラーフィルタ C F、及びマイクロレンズ M L を含んで構成されている。カラーフィルタ C F は、フォトダイオード D 1 とマイクロレンズ M L との間に配置されている。

[0057] カラーフィルタ C F は、R（赤色）、G（緑色）、B（青色）のうちのいずれかの色の光を透過させるフィルタである。マイクロレンズ M L は、撮像レンズ 1 2 の射出瞳 E P から入射する光束 L F を、カラーフィルタ C F を介してフォトダイオード D 1 のほぼ中央に集光する。

[0058] 図 7 に示すように、位相差画素 P 1，P 2 は、それぞれフォトダイオード D 1、遮光層 S F、及びマイクロレンズ M L を含んで構成されている。マイクロレンズ M L は、撮像素素 N と同様に、撮像レンズ 1 2 の射出瞳 E P から

入射する光束L Fを、フォトダイオードD 1のほぼ中央に集光する。

[0059] 遮光層S Fは、金属膜等で形成され、フォトダイオードD 1とマイクロレンズM Lとの間に配置されている。遮光層S Fは、マイクロレンズM Lを介してフォトダイオードD 1に入射する光束L Fの一部を遮光する。

[0060] 位相差画素P 1では、遮光層S Fは、フォトダイオードD 1の中心を基準としてX方向に関して負側（第1側）を遮光する。すなわち、位相差画素P 1では、遮光層S Fは、第1側の射出瞳E P 1からの光束L FをフォトダイオードD 1に入射させ、かつ、X方向に関して正側（第2側）の射出瞳E P 2からの光束L Fを遮光する。

[0061] 位相差画素P 2では、遮光層S Fは、フォトダイオードD 1の中心を基準としてX方向に関して正側（第2側）を遮光する。すなわち、位相差画素P 2では、遮光層S Fは、第2側の射出瞳E P 2からの光束L FをフォトダイオードD 1に入射させ、かつ、X方向に関して負側（第1側）の射出瞳E P 1からの光束L Fを遮光する。

[0062] （画素配列）

図8は、撮像センサ20の画素配列の一例を示す。図8に示すカラーフィルタC Fの色配列は、いわゆるベイヤ配列である。ベイヤ配列は、2×2の4画素のうち、対角の2画素にGのカラーフィルタC Fを配置し、他の2画素にRとBのカラーフィルタC Fを配置した色配列である。図8中の「R」は、RのカラーフィルタC Fが設けられた撮画像素Nを表している。「G」は、GのカラーフィルタC Fが設けられた撮画像素Nを表している。「B」は、BのカラーフィルタC Fが設けられた撮画像素Nを表している。なお、カラーフィルタC Fの色配列は、ベイヤ配列に限定されず、他の色配列であってもよい。

[0063] 位相差画素P 1，P 2は、ベイヤ配列の一部の撮画像素Nを置き換えることにより、撮像領域21内に配置されている。位相差画素P 1，P 2は、X方向に配列されている。例えば、位相差画素P 1，P 2は、X方向に3画素ごと（すなわち、2画素おき）にいずれかが配置されている。すなわち、位

相差画素 P 1 と位相差画素 P 2 との間には、2つの撮像素素 N（B 及び G）が配置されている。

[0064] 位相差画素 P 1，P 2 は、Y 方向に 18 画素ごとに配列されている。Y 方向に配列された位相差画素 P 1 の間には、複数の撮像素素 N（R 及び G）が配列されている。Y 方向に配列された位相差画素 P 2 の間には、複数の撮像素素 N（B 及び G）が配列されている。

[0065] なお、位相差画素 P 1，P 2 の配列パターンは、図 8 に示す例には限定されない。例えば、位相差画素 P 1，P 2 は、X 方向に隣接して配置されていてもよい。

[0066] 符号 R 1 は、X 方向に複数の位相差画素 P 1，P 2 が配列された第 1 位相差画素領域を表す。同様に、符号 R 2 は、X 方向に複数の位相差画素 P 1，P 2 が配列された第 1 位相差画素領域を表す。第 1 位相差画素領域 R 1 及び第 2 位相差画素領域 R 2 は、撮像素素 N のみを含む撮像素素領域 R A を挟んで Y 方向に配列されている。

[0067] 第 1 位相差画素領域 R 1 及び第 2 位相差画素領域 R 2 は、画素構成は同一である。動画撮像モードにおいて、第 1 位相差画素領域 R 1 及び第 2 位相差画素領域 R 2 は、垂直走査回路 22 により走査されるタイミングが異なり、同一フレーム周期内に信号の読み出しは行われない（図 10 参照）。すなわち、第 1 位相差画素領域 R 1 と第 2 位相差画素領域 R 2 とは、インターレース読み出し方式で、フレーム周期ごとに交互に信号の読み出しが行われる。

[0068] 図 9 は、動画撮像モード時に信号が読み出される画素を示す。第 1 位相差画素領域 R 1 と第 2 位相差画素領域 R 2 とは、撮像素素領域 R A を挟んで Y 方向に交互に配列されている。動画撮像モード時には、撮像素素領域 R A、第 1 位相差画素領域 R 1、及び第 2 位相差画素領域 R 2 は、それぞれリセット及び信号読み出しが互いに独立して行われる。

[0069] 本実施形態では、撮像素素領域 R A は画素間引き読み出しが行われる。撮像素素領域 R A は、3 行ごとに画素が間引かれる。図 9 においてハッチングを施した画素は、信号読み出しが行われない画素である。

[0070] (撮像タイミング)

図10は、動画撮像モードにおける撮像センサ20の撮像タイミングの一例を示す。動画撮像のフレーム周期 T は、撮像制御部51から垂直走査回路22に供給される垂直同期信号 VD により規定される。垂直走査回路22は、垂直同期信号 VD に基づき、撮像画素領域 RA 、第1位相差画素領域 $R1$ 、及び第2位相差画素領域 $R2$ に対して、それぞれ独立に、行選択信号 SEL 及びリセット信号 RST を供給する。

[0071] 垂直走査回路22は、垂直同期信号 VD に同期して、撮像画素領域 RA 、第1位相差画素領域 $R1$ 、及び第2位相差画素領域 $R2$ に対して、行選択信号 SEL を供給する。垂直走査回路22は、撮像画素領域 RA には、フレーム周期 T ごとに行選択信号 SEL を供給する。垂直走査回路22は、第1位相差画素領域 $R1$ 及び第2位相差画素領域 $R2$ には、フレーム周期 T の2倍の周期（フレーム周期 T の2倍の期間）で行選択信号 SEL を供給する。なお、第1位相差画素領域 $R1$ に供給される行選択信号 SEL と、第2位相差画素領域 $R2$ に供給される行選択信号 SEL とは、フレーム周期 T だけ位相がずれている。

[0072] 垂直走査回路22は、撮像画素領域 RA 、第1位相差画素領域 $R1$ 、及び第2位相差画素領域 $R2$ のそれぞれの露光時間に応じてリセット信号 RST を供給する。露光時間は、各行において、リセット信号 RST が入力されてから行選択信号 SEL が入力されるまでの時間（すなわち電荷蓄積時間）である。露光期間は、行ごとにずれる。すなわち、撮像センサ20は、フォーカルプレーン方式の電子シャッタで露光を行う。なお、図10中においてハッチングを施した期間は、遮光期間である。遮光期間においてリセットを繰り返し実行してもよい。

[0073] 撮像画素領域 RA は、フレーム周期 T ごとに信号読み出しが行われる。このため、撮像画素領域 RA の露光時間（以下、撮像用露光時間という。） E_{RA} は、フレーム周期 T 未満（すなわち、 $E_{RA} < T$ ）に設定される。例えば、撮像用露光時間 E_{RA} は、操作部42の操作により設定されたシャッタ速度に対

応する。また、撮像用露光時間 E_{RA} は、自動露出モードにより決定されたシャッタ速度に対応する。

[0074] 第1位相差画素領域 R_1 は、フレーム周期 T の2倍の周期で信号読み出しが行われる。このため、第1位相差画素領域 R_1 の露光時間（以下、第1露光時間という。） E_{R1} は、フレーム周期 T の2倍未満（すなわち、 $E_{R1} < 2T$ ）に設定される。例えば、第1露光時間 E_{R1} は、固定値である。なお、第1露光時間 E_{R1} は、撮像用露光時間 E_{RA} と連動して変化する値であってもよい。第1露光時間 E_{R1} は、撮像用露光時間 E_{RA} と異なっており、例えば、 $E_{RA} < E_{R1} < 2T$ の関係を満たす値に設定される。

[0075] 第2位相差画素領域 R_2 は、第1位相差画素領域 R_1 と同様に、フレーム周期 T の2倍の周期で信号読み出しが行われる。このため、第2位相差画素領域 R_2 の露光時間（以下、第2露光時間という。） E_{R2} は、フレーム周期 T の2倍未満（すなわち、 $E_{R2} < 2T$ ）に設定される。例えば、第2露光時間 E_{R2} は、固定値である。なお、第2露光時間 E_{R2} は、撮像用露光時間 E_{RA} と連動して変化する値であってもよい。第2露光時間 E_{R2} は、撮像用露光時間 E_{RA} と異なっており、例えば、 $E_{RA} < E_{R2} < 2T$ の関係を満たす値に設定される。

[0076] 本実施形態では、第1露光時間 E_{R1} は、第2露光時間 E_{R2} と等しい（すなわち、 $E_{R1} = E_{R2}$ ）。また、第1露光時間 E_{R1} 及び第2露光時間 E_{R2} は、それぞれフレーム周期 T 超過である（すなわち、 $T \leq E_{R1}$ 、 $T \leq E_{R2}$ ）。なお、第1露光時間 E_{R1} と第2露光時間 E_{R2} とは、互いに異なってもよい。

[0077] 図10に示すように、第1位相差画素領域 R_1 から信号を読み出す期間を第1フレーム期間とし、第2位相差画素領域 R_2 から信号を読み出す期間を第2フレーム期間とする。撮像画素領域 RA からの信号読み出しは、第1フレーム期間と第2フレーム期間のいずれのフレーム期間においても行われる。本実施形態では、第1フレーム期間において撮像画素領域 RA からの信号読み出しが終了した直後に、第2フレーム期間における第2位相差画素領域 R_2 から信号読み出しを開始する。また、第2フレーム期間において撮像画

素領域 R A からの信号読み出しが終了した直後に、第 1 フレーム期間における第 1 位相差画素領域 R 1 から信号読み出しを開始する。

[0078] (焦点調節制御)

次に、動画撮像モードにおける焦点調節制御を、図 11 に示すフローチャートを参照しながら説明する。まず、主制御部 50 は、操作部 42 の操作による動画撮像の開始指示があったか否かを判定する (ステップ S 10)。

[0079] 主制御部 50 は、動画撮像の開始指示があったと判定した場合には (ステップ S 10 : YES)、撮像制御部 51 を制御することにより、撮像センサ 20 にフレーム周期 T で撮像動作を行わせるとともに、第 1 読み出し処理を実行させる (ステップ S 11)。第 1 読み出し処理は、第 1 フレーム期間中に第 1 位相差画素領域 R 1 から信号を読み出す処理である。

[0080] 主制御部 50 は、第 1 読み出し処理が終了すると、第 1 位相差画素領域 R 1 に含まれる位相差画素 P 1, P 2 から出力された信号に基づいて、位相差方式の焦点調節を行う (ステップ S 12)。具体的には、主制御部 50 は、位相差画素 P 1 から出力された信号に基づく像と、位相差画素 P 2 から出力された信号に基づく像との位相差が少なくなるようにフォーカスレンズ 31 の位置調整を行う。

[0081] 次に、主制御部 50 は、撮像センサ 20 に第 2 読み出し処理を実行させる (ステップ S 13)。第 2 読み出し処理は、第 1 フレーム期間に続く第 2 フレーム期間中に第 2 位相差画素領域 R 2 から信号を読み出す処理である。

[0082] 主制御部 50 は、第 2 読み出し処理が終了すると、第 2 位相差画素領域 R 2 に含まれる位相差画素 P 1, P 2 から出力された信号に基づいて、位相差方式の焦点調節を行う (ステップ S 14)。ステップ S 14 の処理は、ステップ S 12 の処理と同様である。

[0083] 次に、主制御部 50 は、操作部 42 の操作による動画撮像の終了指示があったか否かを判定する (ステップ S 15)。主制御部 50 は、動画撮像の終了指示がなかったと判定した場合には (ステップ S 15 : NO)、処理をステップ S 11 に移行して、撮像センサ 20 に第 1 読み出し処理を実行させる

。一方、主制御部50は、動画撮像の終了指示があったと判定した場合には（ステップS15：YES）、処理を終了する。

[0084] 以上のように、本実施形態の焦点調節制御では、第1読み出し処理と第2読み出し処理とが繰り返し実行される。本実施形態では、第1位相差画素領域R1と第2位相差画素領域R2とをそれぞれ独立してフレーム周期Tの2倍の周期で信号読み出しを行っているので、第1露光時間 E_{R1} 及び第2露光時間 E_{R2} をそれぞれフレーム周期T超過（すなわち、 $T \leq E_{R1}$ 、 $T \leq E_{R2}$ ）とすることができる。すなわち、本実施形態によれば、位相差画素P1、P2の露光時間をフレーム周期T超過とし、かつ、フレーム周期Tごとに位相差画素P1、P2から信号を読み出すことができる。

[0085] 位相差画素P1、P2は、それぞれ遮光層SFを有するので、撮像素素Nと比較して、受光量が小さい（図6及び図7参照）。仮に、第1露光時間 E_{R1} 及び第2露光時間 E_{R2} を、それぞれ撮像用露光時間 E_{RA} と等しくすると、位相差画素P1、P2の受光量が小さいことにより、焦点調節の精度が低下する。これに対して、本実施形態によれば、第1露光時間 E_{R1} 及び第2露光時間 E_{R2} を、それぞれ撮像用露光時間 E_{RA} より長くすることができ、さらにはフレーム周期Tよりも長くすることができるので、位相差画素P1、P2の受光量が増加する。これにより、焦点調節の精度が向上する。第1実施形態は、特に撮像用露光時間が短い（すなわち、設定されたフレームレートが高い又はシャッタースピードが速い）場合に適している。

[0086] なお、上記の焦点調節は、動画データをメモリ45等に記録する動画撮像モードに限られず、動画データを記録せずにディスプレイ15又はファインダにリアルタイム表示させるライブビュー表示モードに適用することも可能である。

[0087] [第2実施形態]

次に、第2実施形態について説明する。第2実施形態は、動画撮像モードにおける焦点調節制御が第1実施形態と異なる。

[0088] 図12は、第2実施形態に係る動画撮像モードにおける撮像タイミングの

一例を示す。本実施形態では、撮像センサ20は、主制御部50の制御に基づいて、前述の第1読み出し処理を2回実行し、第1読み出し処理を2回実行するたびに前述の第2読み出し処理を1回実行する。したがって、本実施形態では、第2フレーム期間に続いて、第1フレーム期間が2回連続する。

[0089] 本実施形態では、第2露光時間 E_{R2} がフレーム周期 T の2倍以上で、かつ3倍未満であり（すなわち、 $2T \leq E_{R2} < 3T$ ）、かつ第2位相差画素領域 $R2$ の露光期間中に第1読み出し処理が2回実行される。また、第1露光時間 E_{R1} は、フレーム周期 T 未満である。

[0090] このように、本実施形態では、フレーム周期 T 未満の第1露光時間 E_{R1} で露光された第1位相差画素領域 $R1$ からの信号と、フレーム周期 T の2倍以上の第2露光時間 E_{R2} で露光された第2位相差画素領域 $R2$ からの信号とを取得することができる。本実施形態では、主制御部50は、露光時間が大きく異なる位相差画素 $P1$ 、 $P2$ の信号に基づいて、被写体の明るさに応じた焦点調節制御を行うことができる。

[0091] 主制御部50は、被写体の明るさに応じて、長時間露光の信号と、短時間露光の信号とのいずれかを選択して焦点調節を行えばよい。また、主制御部50は、長時間露光の信号と、短時間露光の信号との加算信号に基づいて焦点調節を行ってもよい。なお、被写体の明るさは、撮画像素領域 RA から読み出される信号に基づいて検出すればよい。本実施形態の焦点調節制御は、被写体の明暗さが大きい（すなわち、ダイナミックレンジが広い）場合に実行することが好適である。

[0092] なお、図12では、連続する2つの第1露光時間 E_{R1} は等しいが、2つの第1露光時間 E_{R1} の一方を他方より長くすることが可能である。

[0093] 図13は、第2実施形態の変形例に係る動画撮像モードにおける撮像タイミングの一例を示す。本変形例では、第2フレーム期間に続く第1フレーム期間中に信号読み出しが行われる第1位相差画素領域 $R1$ の第1露光時間 E_{R1} を、フレーム周期 T 超過（すなわち、 $T \leq E_{R1}$ ）とする。このように、本変形例では、フレーム周期 T の2倍以上の第2露光時間 E_{R2} 、フレーム周期 T

超過の第1露光時間 E_{R1} 、及びフレーム周期 T 未満の第1露光時間 E_{R1} の3種の露光時間を設定することができる。

[0094] なお、第2実施形態では、第2露光時間 E_{R2} をフレーム周期 T の2倍以上で、かつ3倍未満としているが、第2露光時間 E_{R2} をフレーム周期 T の2倍以上とすることも可能である。第2露光時間 E_{R2} をフレーム周期 T の K 倍以上で、かつ $K+1$ 倍未満とする場合には、第2位相差画素領域 $R2$ の露光期間中に第1読み出し処理を K 回実行し、第1読み出し処理を K 回実行するたびに第2読み出し処理を1回実行すればよい。ここで、 K は2以上の整数である。

[0095] また、第1実施形態の焦点調節制御（図10参照）を第1モードとし、第2実施形態の焦点調節制御（図12参照）を第2モードとした場合に、第1モードと第2モードとを切り替え可能としてもよい。例えば、主制御部50が、被写体の明るさに応じて、第1モードと第2モードとを切り替えるように構成してもよい。

[0096] 図14は、第1モードと第2モードとの切り替え処理の一例を示すフローチャートである。まず、主制御部50は、操作部42の操作による動画撮像の開始指示があったか否かを判定する（ステップS20）。

[0097] 主制御部50は、動画撮像の開始指示があったと判定した場合には（ステップS20：YES）、撮画像素領域 RA から読み出される信号に基づき被写体の明るさを検出する（ステップS21）。次に、主制御部50は、ダイナミックレンジが一定値以上必要であるか否かを判定する（ステップS22）。主制御部50は、ダイナミックレンジが一定値以上必要でないと判定した場合には（ステップS22：NO）、第1モードを選択する（ステップS23）。一方、主制御部50は、ダイナミックレンジが一定値以上であると判定した場合には（ステップS22：YES）、第2モードを選択する（ステップS24）。

[0098] 次に、主制御部50は、操作部42の操作による動画撮像の終了指示があったか否かを判定する（ステップS25）。主制御部50は、動画撮像の終

了指示がなかったと判定した場合には（ステップS 2 5 : N O）、処理をステップS 2 1 に移行して、被写体の明るさを検出する。一方、主制御部5 0 は、動画撮像の終了指示があったと判定した場合には（ステップS 2 5 : Y E S）、処理を終了する。

[0099] 以上のように、ダイナミックレンジが大きい場合には、第2モードが選択される。第2モードでは、上述のように、位相差画素P 1, P 2が複数の露光時間で露光されるので、ダイナミックレンジが大きい場合であっても位相差画素P 1, P 2から読み出された信号に基づき、精度よく焦点調節を行うことができる。

[0100] [第3実施形態]

次に、第3実施形態について説明する。第3実施形態では、撮像センサ2 0に、第1位相差画素領域R 1、第2位相差画素領域R 2、及び第3位相差画素領域R 3の3個の位相差画素領域を設ける。

[0101] 図1 5は、第3実施形態において動画撮像モード時に信号が読み出される画素を示す。第3実施形態では、第1位相差画素領域R 1、第2位相差画素領域R 2、及び第3位相差画素領域R 3が、Y方向に繰り返し配列されている。Y方向において、第1位相差画素領域R 1と第2位相差画素領域R 2との間、第2位相差画素領域R 2と第3位相差画素領域R 3との間、第3位相差画素領域R 3と第1位相差画素領域R 1との間には、それぞれ撮像画素領域R Aが配置されている。

[0102] 第3実施形態では、3個の位相差画素領域に対してそれぞれ独立してリセット及び信号読み出しを行うことにより、位相差画素P 1, P 2の露光時間を、フレーム周期Tの2倍以上で、かつ3倍未満とすることができる。

[0103] 図1 6は、第3実施形態に係る撮像タイミングの一例を示す。本実施形態では、主制御部5 0は、第1位相差画素領域R 1、第2位相差画素領域R 2、及び第3位相差画素領域R 3をフレーム周期Tごとに順に選択して信号を読み出す。本実施形態では、第1露光時間 E_{R1} 、第2露光時間 E_{R2} 、及び第3露光時間 E_{R3} は、それぞれ撮像用露光時間 E_{RA} と異なっている。第1露光

時間 E_{R1} 、第2露光時間 E_{R2} 、及び第3露光時間 E_{R3} は、それぞれ異なってもよい。

[0104] なお、撮像センサ20に4個の位相差画素領域を設けることも可能である。撮像センサ20に、Y方向に配列された第1位相差画素領域R1から第N位相差画素領域R_NのN個の位相差画素領域を設ける場合には、主制御部50は、位相差画素領域の各々をフレーム周期Tごとに順に選択して信号を読み出す。この場合、主制御部50は、位相差画素領域の露光時間を、フレーム周期のN倍未満とすればよい。ここで、Nは3以上の整数である。

[0105] [第4実施形態]

次に、第4実施形態について説明する。第4実施形態では、第1位相差画素領域R1及び第2位相差画素領域R2のうち、第1位相差画素領域R1のみから繰り返し信号を読み出す第3モードを実行可能とする。

[0106] 図17は、第3モードにおける撮像タイミングの一例を示す。第3モードでは、主制御部50は、第1位相差画素領域R1及び第2位相差画素領域R2（図9参照）のうち、第2位相差画素領域R2からは信号を読み出さず、第1位相差画素領域R1のみからフレーム周期Tごとに信号を読み出す。すなわち、主制御部50は、第2読み出し処理を行わず、第1読み出し処理のみを繰り返す第3モードを実行可能とする。

[0107] 本実施形態では、上述の第1モードと第3モードとが切り替え可能に構成されている。例えば、主制御部50は、被写体の移動速度に応じて、第1モードと第3モードとを切り替える。例えば、主制御部50は、フレーム周期Tごとに撮画像素領域RAから読み出される信号に基づき、フレーム間の被写体の移動ベクトルを求めることにより、被写体の移動速度を検出する。

[0108] 第1実施形態で示した第1モードは、フレーム間で異なる位相差画素P1，P2から信号を読み出すため、解像度の高い位相差情報が得られる。このため、第1モードは、特に、被写体の動きが小さい状況における焦点調節制御に適している。これに対して、第3モードは、フレーム間で読み出す位相差画素P1，P2の位置が変化しないため、被写体の動きが大きい状況にお

ける焦点調節制御に適している。

[0109] 図18は、第1モードと第3モードとの切り替え処理の一例を示すフローチャートである。まず、主制御部50は、操作部42の操作による動画撮像の開始指示があったか否かを判定する（ステップS30）。

[0110] 主制御部50は、動画撮像の開始指示があったと判定した場合には（ステップS30：YES）、撮像画素領域RAから読み出される信号に基づき被写体の移動速度を検出する（ステップS31）。次に、主制御部50は、検出した移動速度が一定値以上であるか否かを判定する（ステップS32）。主制御部50は、移動速度が一定値未満であると判定した場合には（ステップS32：NO）、第1モードを選択する（ステップS33）。一方、主制御部50は、移動速度が一定値以上であると判定した場合には（ステップS32：YES）、第3モードを選択する（ステップS34）。

[0111] 次に、主制御部50は、操作部42の操作による動画撮像の終了指示があったか否かを判定する（ステップS35）。主制御部50は、動画撮像の終了指示がなかったと判定した場合には（ステップS35：NO）、処理をステップS31に移行して、被写体の明るさを検出する。一方、主制御部50は、動画撮像の終了指示があったと判定した場合には（ステップS35：YES）、処理を終了する。

[0112] 以上のように、被写体の移動速度が大きい場合には、第3モードが選択される。第3モードでは、フレーム間で読み出す位相差画素P1、P2の位置が変化しないので、精度よく焦点調節を行うことができる。

[0113] [撮像センサの第1変形例]

次に、撮像センサ20の第1変形例について説明する。本変形例に係る撮像センサ20は、位相差画素P1、P2の配置が第1実施形態と異なる。以下、本変形例に係る撮像センサ20の構成を、第1実施形態に係る撮像センサ20の構成と対比して説明する。

[0114] 第1実施形態に係る撮像センサ20では、第1位相差画素領域R1及び第2位相差画素領域R2のそれぞれに一对の位相差画素P1、P2が含まれて

いる（図8及び図9参照）。以下、第1位相差画素領域R1に含まれる位相差画素P1、P2は、「一对の第1位相差画素P1、P2」という。また、第2位相差画素領域R2に含まれる位相差画素P1、P2は、「一对の第2位相差画素P1、P2」という。

[0115] 第1実施形態では、一对の第1位相差画素P1、P2は、同一の行に配列されているので、同一の行選択線L1（図5参照）によって選択される。同様に、一对の第2位相差画素P1、P2は、同一の行に配列されているので、同一の行選択線L1によって選択される。

[0116] 図19は、本変形例に係る撮像センサ20の画素配列の一例を示す。本変形例では、第1位相差画素領域R1a及び第1位相差画素領域R1bの2種の第1位相差画素領域が設けられている。同様に、第2位相差画素領域R2a及び第2位相差画素領域R2bの2種の第2位相差画素領域が設けられている。

[0117] 第1位相差画素領域R1aは、一对の第1位相差画素P1、P2のうち、第1位相差画素P1のみを含む。第1位相差画素領域R1bは、一对の第1位相差画素P1、P2のうち、第1位相差画素P2のみを含む。本変形例では、第1位相差画素領域R1aと第1位相差画素領域R1bとは、撮像画素領域RAを挟んでY方向に配列されている。

[0118] 第2位相差画素領域R2aは、一对の第2位相差画素P1、P2のうち、第2位相差画素P1のみを含む。第2位相差画素領域R2bは、一对の第2位相差画素P1、P2のうち、第2位相差画素P2のみを含む。本変形例では、第2位相差画素領域R2aと第2位相差画素領域R2bとは、撮像画素領域RAを挟んでY方向に配列されている。

[0119] 本変形例では、一对の第1位相差画素P1、P2は、異なる行に配列されているので、Y方向に並ぶ2つの行選択線L1によって各々選択される。同様に、一对の第2位相差画素P1、P2は、異なる行に配列されているので、Y方向に並ぶ2つの行選択線L1によって各々選択される。

[0120] 第1位相差画素領域R1a、R1bと、第2位相差画素領域R2a、R2

bとは、撮像素素領域R Aを挟んでY方向に繰り返し配列されている。

[0121] 図20は、本変形例において動画撮像モード時に信号が読み出される画素を示す。動画撮像モード時には、第1位相差画素領域R 1 a, R 1 bは、第1フレーム期間に読み出しが行われる。第2位相差画素領域R 2 a, R 2 bは、第2フレーム期間に読み出しが行われる。その他の撮像動作は、第1実施形態の撮像動作と同様である。

[0122] なお、第1位相差画素領域R 1 aと第1位相差画素領域R 1 bとは、Y方向に隣接して設けられていてもよい。また、第2位相差画素領域R 2 aと第2位相差画素領域R 2 bとは、Y方向に隣接して設けられていてもよい。

[0123] [撮像センサの第2変形例]

次に、撮像センサ20の第2変形例について説明する。本変形例に係る撮像センサ20は、各画素26が2つのフォトダイオードで構成された、いわゆるデュアルピクセルのCMOS型イメージセンサである。

[0124] 図21は、本変形例に係る撮像センサ20の画素構成を示す。本変形例では、位相差画素及び撮像素素は、同一の構成である。画素26は、一対のフォトダイオードD 1 a, D 1 b、カラーフィルタCF、及びマイクロレンズMLを含んで構成されている。一対のフォトダイオードD 1 a, D 1 bは、カラーフィルタCFの下方に、X方向に隣接して配置されている。

[0125] フォトダイオードD 1 aは、X方向に分割された射出瞳EP 1, EP 2のうち、射出瞳EP 1からの光束LFを受光する。フォトダイオードD 1 bは、X方向に分割された射出瞳EP 1, EP 2のうち、射出瞳EP 2からの光束LFを受光する。

[0126] 画素26は、一対のフォトダイオードD 1 a, D 1 bの両方から信号が読み出され、読み出された信号が加算されることにより撮像素素として機能する。また、画素26は、一対のフォトダイオードD 1 a, D 1 bのうち一方から信号が読み出されることにより位相差画素として機能する。

[0127] 本変形例における第1位相差画素領域R 1、第2位相差画素領域R 2、及び撮像素素領域R Aの配列は、第1実施形態と同様である（図8及び図9参

照)。

[0128] 本変形例では、主制御部50は、第1位相差画素領域R1に含まれる画素26のうち、少なくとも一部の画素26については、一对のフォトダイオードD1a, D1bのうち一方から信号を読み出す。同様に、主制御部50は、第2位相差画素領域R2に含まれる画素26のうち、少なくとも一部の画素26については、一对のフォトダイオードD1a, D1bのうち一方から信号を読み出す。また、主制御部50は、撮像素素領域RAに含まれる画素26については、一对のフォトダイオードD1a, D1bの両方から信号を読み出す。

[0129] なお、第1位相差画素領域R1及び第2位相差画素領域R2の全ての画素26を位相差画素として機能させてもよい。

[0130] なお、上記各実施形態及び各変形例では、撮像センサ20は、撮像領域21、垂直走査回路22、ラインメモリ23、水平走査回路24、及び出力アンプ25で構成されているが、撮像センサ20は、撮像領域21のみで構成されていてもよい。垂直走査回路22、ラインメモリ23、水平走査回路24、及び出力アンプ25は、プロセッサ40内に設けられていてもよい。

[0131] また、上記各実施形態及び各変形例は、矛盾が生じない限り、互いに組み合わせることが可能である。

[0132] 上記実施形態において、プロセッサ40を一例とする制御部のハードウェア的な構造としては、次に示す各種のプロセッサを用いることができる。上記各種のプロセッサには、ソフトウェア（プログラム）を実行して機能する汎用的なプロセッサであるCPUに加えて、FPGAなどの製造後に回路構成を変更可能なプロセッサが含まれる。FPGAには、PLD、又はASICなどの特定の処理を実行させるために専用に設計された回路構成を有するプロセッサである専用電気回路などが含まれる。

[0133] 制御部は、これらの各種のプロセッサのうちの1つで構成されてもよいし、同種又は異種の2つ以上のプロセッサの組み合わせ（例えば、複数のFPGAの組み合わせや、CPUとFPGAとの組み合わせ）で構成されてもよ

い。また、複数の制御部は1つのプロセッサで構成してもよい。

[0134] 複数の制御部を1つのプロセッサで構成する例は複数考えられる。第1の例に、クライアント及びサーバなどのコンピュータに代表されるように、1つ以上のCPUとソフトウェアの組み合わせで1つのプロセッサを構成し、このプロセッサが複数の制御部として機能する形態がある。第2の例に、システムオンチップ（System On Chip：SOC）などに代表されるように、複数の制御部を含むシステム全体の機能を1つのICチップで実現するプロセッサを使用する形態がある。このように、制御部は、ハードウェア的な構造として、上記各種のプロセッサの1つ以上を用いて構成できる。

[0135] さらに、これらの各種のプロセッサのハードウェア的な構造としては、より具体的には、半導体素子などの回路素子を組み合わせた電気回路を用いることができる。

[0136] 以上に示した記載内容及び図示内容は、本開示の技術に係る部分についての詳細な説明であり、本開示の技術の一例に過ぎない。例えば、上記の構成、機能、作用、及び効果に関する説明は、本開示の技術に係る部分の構成、機能、作用、及び効果の一例に関する説明である。よって、本開示の技術の主旨を逸脱しない範囲内において、以上に示した記載内容及び図示内容に対して、不要な部分を削除したり、新たな要素を追加したり、置き換えたりしてもよいことは言うまでもない。また、錯綜を回避し、本開示の技術に係る部分の理解を容易にするために、以上に示した記載内容及び図示内容では、本開示の技術の実施を可能にする上で特に説明を要しない技術常識等に関する説明は省略されている。

[0137] 本明細書に記載された全ての文献、特許出願及び技術規格は、個々の文献、特許出願及び技術規格が参照により取り込まれることが具体的かつ個々に記された場合と同程度に、本明細書中に参照により取り込まれる。

符号の説明

[0138] 10 撮像装置

- 1 1 本体
- 1 1 A カメラ側マウント
- 1 1 B 電気接点
- 1 1 C 前面
- 1 1 D 背面
- 1 2 撮像レンズ
- 1 2 A レンズ側マウント
- 1 2 B 電気接点
- 1 3 ダイヤル
- 1 4 レリーズボタン
- 1 5 ディスプレイ
- 1 6 指示キー
- 1 8 ファインダ接眼部
- 2 0 撮像センサ
- 2 1 撮像領域
- 2 2 垂直走査回路
- 2 3 ラインメモリ
- 2 4 水平走査回路
- 2 4 A 水平出力線
- 2 5 出力アンプ
- 2 6 画素
- 2 9 トランジスタ
- 3 0 対物レンズ
- 3 1 フォーカスレンズ
- 3 2 後端レンズ
- 3 3 絞り
- 3 4 レンズ駆動制御部
- 4 0 プロセッサ

4 2 操作部
4 5 メモリ
4 5 A プログラム
5 0 主制御部
5 1 撮像制御部
5 2 画像処理部
C F カラーフィルタ
D 1, D 1 a, D 1 b フォトダイオード
E P, E P 1, E P 2 射出瞳
E R 1 第1露光時間
E R 2 第2露光時間
E R 3 第3露光時間
E R A 撮像用露光時間
L 1 行選択線
L 2 行リセット線
L 3 列信号線
L A 光軸
L F 光束
M 1 アンプトランジスタ
M 2 画素選択トランジスタ
M 3 リセットトランジスタ
M L マイクロレンズ
N 撮像画素
P 1, P 2 位相差画素
R 1, R 1 a, R 1 b 第1位相差画素領域
R 2, R 2 a, R 2 b 第2位相差画素領域
R 3 第3位相差画素領域
R A 撮像画素領域

R S T リセット信号

S 画素信号

S E L 行選択信号

S F 遮光層

T フレーム周期

V D 垂直同期信号

請求の範囲

[請求項1]

プロセッサと、

第1方向に延在する信号を読み出す列信号線と、前記第1方向と交差する第2方向に配列された複数の位相差画素とを含む撮像素子とを備え、

前記撮像素子は、前記複数の位相差画素を各々含む第1位相差画素領域と第2位相差画素領域と、前記第1方向において、前記第1位相差画素領域と前記第2位相差画素領域との間にある撮像素領域とを有し、

前記プロセッサは、

前記撮像素子にフレーム周期で撮像を行わせ、

第1フレーム期間中に、第1位相差画素領域から信号を読み出す第1読み出し処理と、

前記第1フレーム期間に続く第2フレーム期間中に、第2位相差画素領域から信号を読み出す第2読み出し処理と、を実行するように構成され、

前記第1位相差画素領域が露光される第1露光時間、及び、前記第2位相差画素領域が露光される第2露光時間は、前記撮像素領域の露光時間と異なっている、

撮像装置。

[請求項2]

前記第1露光時間及び前記第2露光時間は、それぞれ前記フレーム周期超過である、

請求項1に記載の撮像装置。

[請求項3]

前記第1露光時間と前記第2露光時間とは、互いに異なる、

請求項1又は請求項2に記載の撮像装置。

[請求項4]

前記プロセッサは、

前記第1読み出し処理と前記第2読み出し処理とを交互に実行し、前記第1露光時間及び前記第2露光時間をそれぞれ前記フレーム周期

の2倍未満とする、第1モードを実行可能とする、

請求項1から請求項3のうちいずれか1項に記載の撮像装置。

[請求項5]

前記プロセッサは、

Kを2以上の整数とした場合に、前記第2露光時間を前記フレーム周期のK倍以上で、かつK+1倍未満とし、前記第2位相差画素領域の露光期間中に前記第1読み出し処理をK回実行し、前記第1読み出し処理をK回実行するたびに前記第2読み出し処理を1回実行する、第2モードを実行可能とする、

請求項4に記載の撮像装置。

[請求項6]

前記第2モードにおいて、前記第1露光時間は、前記フレーム周期未満である、

請求項5に記載の撮像装置。

[請求項7]

前記プロセッサは、

被写体の明るさに応じて、前記第1モードと前記第2モードとを切り替える、

請求項5又は請求項6に記載の撮像装置。

[請求項8]

前記プロセッサは、

前記第2読み出し処理を行わず、前記第1読み出し処理のみを繰り返す第3モードを実行可能とする、

請求項4から請求項7のうちいずれか1項に記載の撮像装置。

[請求項9]

前記プロセッサは、

被写体の移動速度に応じて前記第1モードと前記第3モードとを切り替える、

請求項8に記載の撮像装置。

[請求項10]

Nを3以上の整数とした場合に、前記撮像素子は、前記第2方向に配列された前記第1位相差画素領域から第N位相差画素領域のN個の位相差画素領域を有し、

前記プロセッサは、前記位相差画素領域の各々を前記フレーム周期

ごとに選択して信号を読み出し、かつ、前記位相差画素領域の露光時間を、前記フレーム周期のN倍未満とする、

請求項1に記載の撮像装置。

[請求項11]

前記撮像素子は、前記第2方向に延在する複数の行選択線を含み、

前記第1位相差画素領域は、前記複数の位相差画素として1対の第1位相差画素を含み、

前記第2位相差画素領域は、前記複数の位相差画素として1対の第2位相差画素を含み、

前記1対の第1位相差画素は、同一の前記行選択線によって選択され、

前記1対の第2位相差画素は、同一の前記行選択線によって選択され、

前記第1位相差画素領域と前記第2位相差画素領域は、前記撮像画素領域を挟んで前記第1方向に交互に配置されている、

請求項1から請求項10のうちいずれか1項に記載の撮像装置。

[請求項12]

前記撮像素子は、前記第2方向に延在する複数の行選択線を含み、

前記第1位相差画素領域は、前記複数の位相差画素として1対の第1位相差画素を含み、

前記第2位相差画素領域は、前記複数の位相差画素として1対の第2位相差画素を含み、

前記1対の第1位相差画素は、前記第1方向に並ぶ複数の前記行選択線によって各々選択され、

前記1対の第2位相差画素は、前記第1方向に並ぶ複数の前記行選択線によって各々選択され、

前記第1位相差画素領域と前記第2位相差画素領域は、前記撮像画素領域を挟んで前記第1方向に交互に配置されている、

請求項1から請求項10のうちいずれか1項に記載の撮像装置。

[請求項13]

前記第1位相差画素領域及び前記第2位相差画素領域に含まれる前

記複数の位相差画素と、前記撮像素素領域にある撮像素素とは、各々一対の光電変換素子を有し、

前記プロセッサは、前記複数の位相差画素においては、前記一対の光電変換素子の一方の信号を読み出し、前記撮像素素から前記一対の光電変換素子の両方から前記信号を読み出し、

前記第1位相差画素領域と前記第2位相差画素領域は、前記撮像素素領域を挟んで前記第1方向に交互に配置される、

請求項1から請求項10のうちいずれか1項に記載の撮像素素装置。

[請求項14]

第1方向に延在する信号を読み出す列信号線と、前記第1方向と交差する第2方向に配列された複数の位相差画素とを含む撮像素素とを備え、前記撮像素素は、前記複数の位相差画素を各々含む第1位相差画素領域と第2位相差画素領域と、前記第1方向において、前記第1位相差画素領域と前記第2位相差画素領域との間にある撮像素素領域とを有する撮像素素装置の駆動方法であって、

前記撮像素素にフレーム周期で撮像を行わせ、

第1フレーム期間中に、第1位相差画素領域から信号を読み出す第1読み出し処理と、

前記第1フレーム期間に続く第2フレーム期間中に、第2位相差画素領域から信号を読み出す第2読み出し処理と、を実行させ、

前記第1位相差画素領域が露光される第1露光時間、及び、前記第2位相差画素領域が露光される第2露光時間は、前記撮像素素領域の露光時間と異なっている、

撮像素素装置の駆動方法。

[請求項15]

第1方向に延在する信号を読み出す列信号線と、前記第1方向と交差する第2方向に配列された複数の位相差画素とを含む撮像素素とを備え、前記撮像素素は、前記複数の位相差画素を各々含む第1位相差画素領域と第2位相差画素領域と、前記第1方向において、前記第1位相差画素領域と前記第2位相差画素領域との間にある撮像素素領域

とを有する撮像装置を作動させるプログラムであって、

前記撮像素子にフレーム周期で撮像を行わせ、

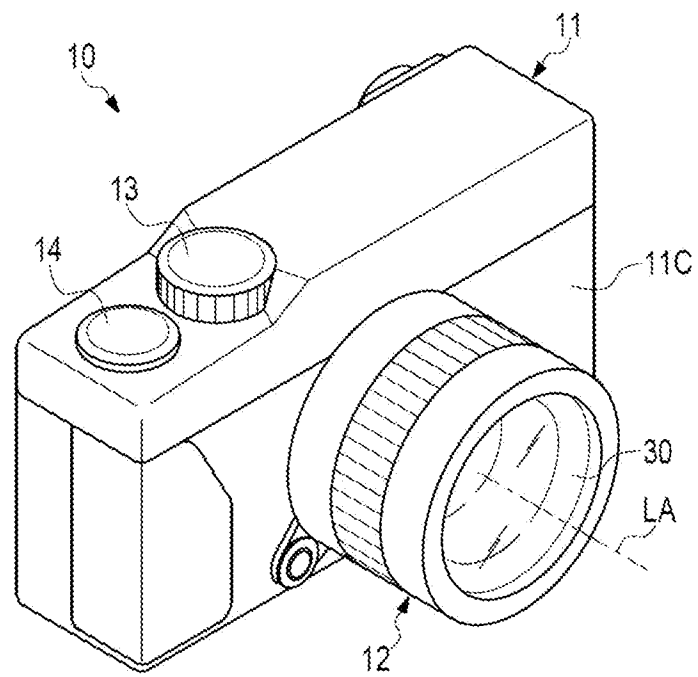
第1フレーム期間中に、第1位相差画素領域から信号を読み出す第1読み出し処理と、

前記第1フレーム期間に続く第2フレーム期間中に、第2位相差画素領域から信号を読み出す第2読み出し処理と、を実行させ、

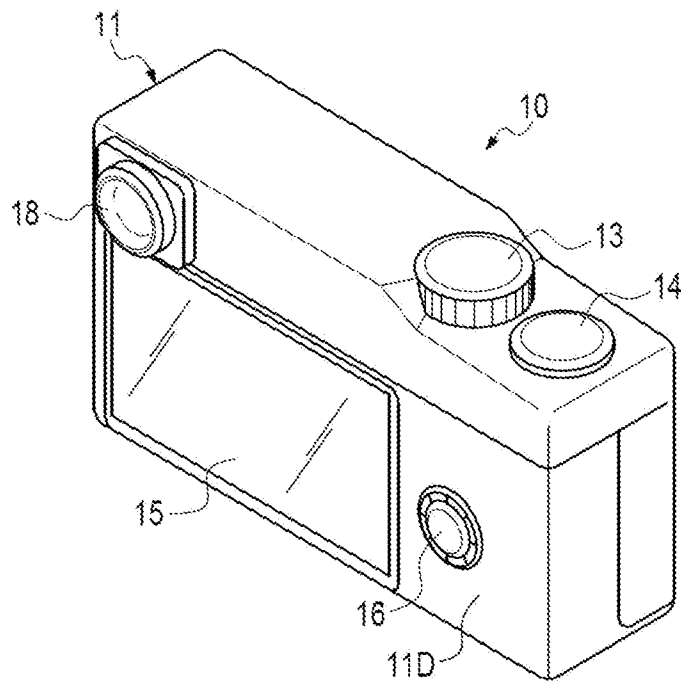
前記第1位相差画素領域が露光される第1露光時間、及び、前記第2位相差画素領域が露光される第2露光時間は、前記撮像画素領域の露光時間と異なっている、

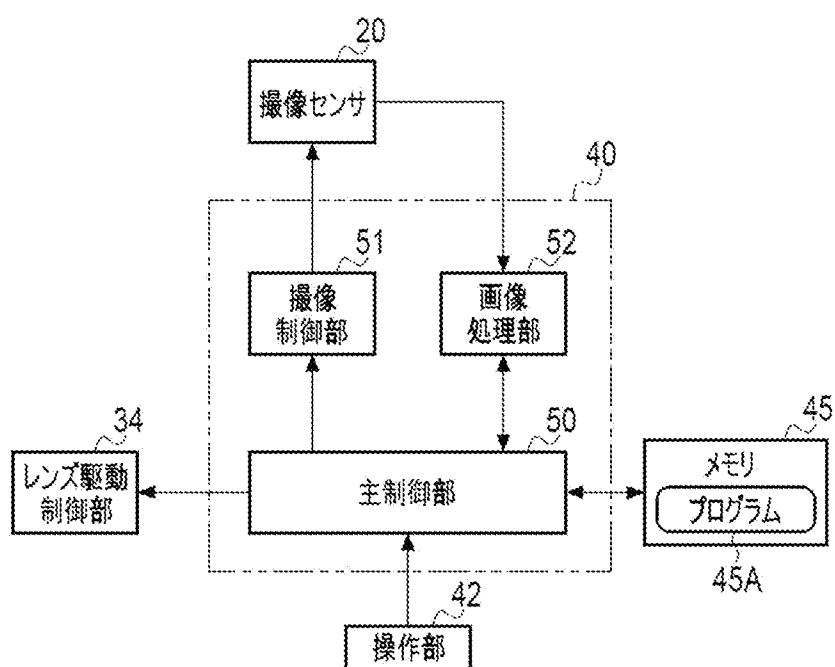
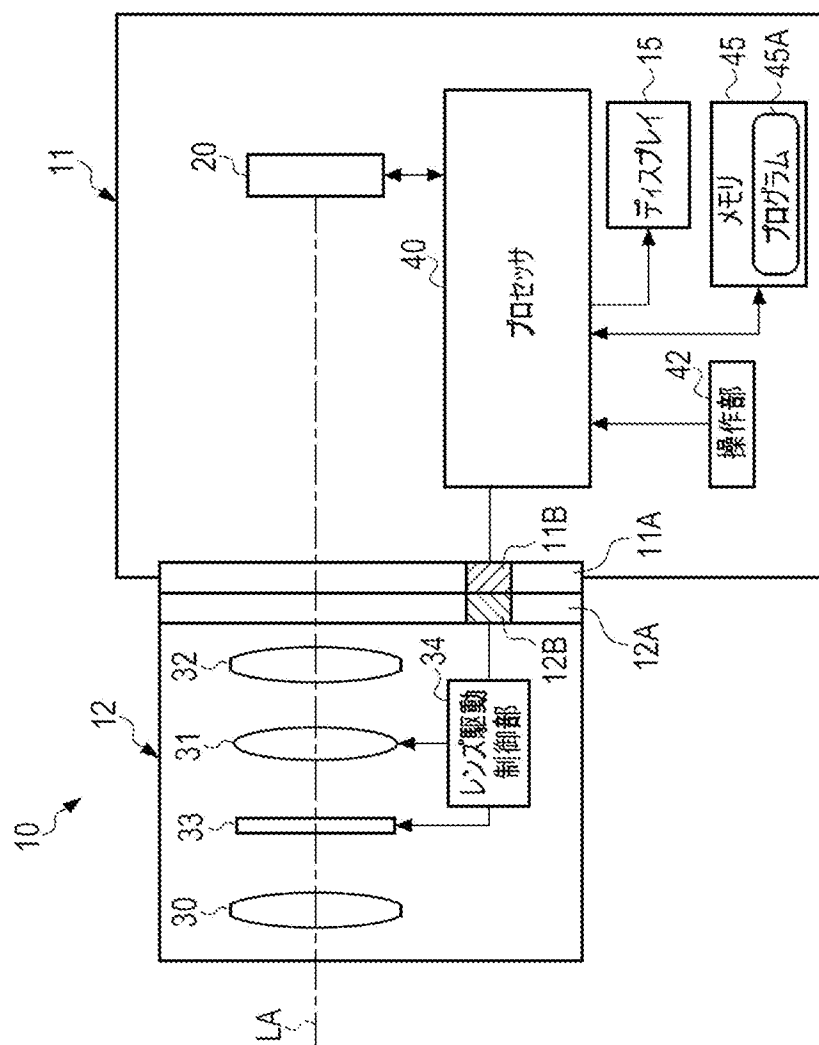
プログラム。

[図1]

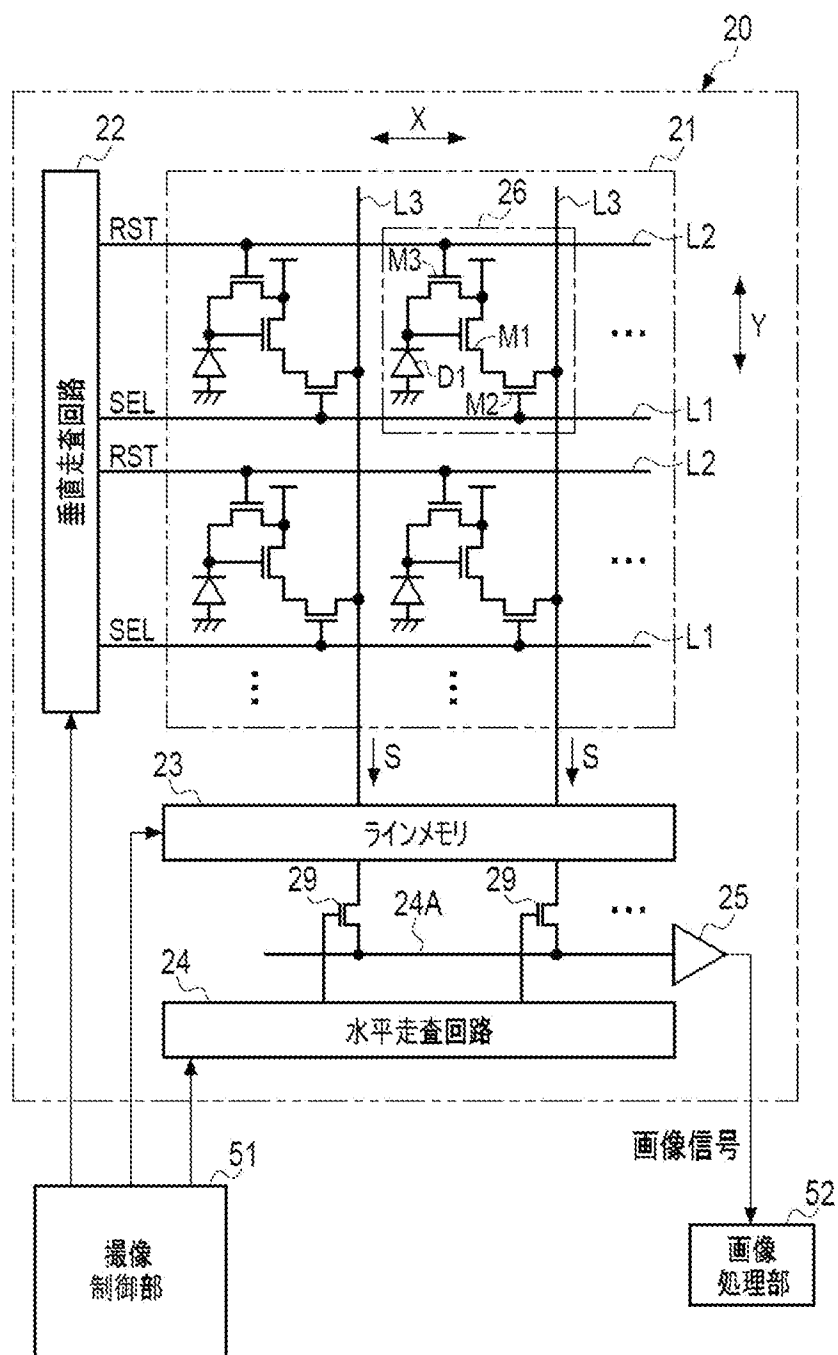


[図2]

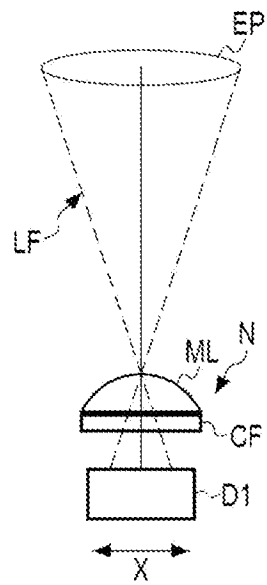




[図5]



[図6]



[図7]

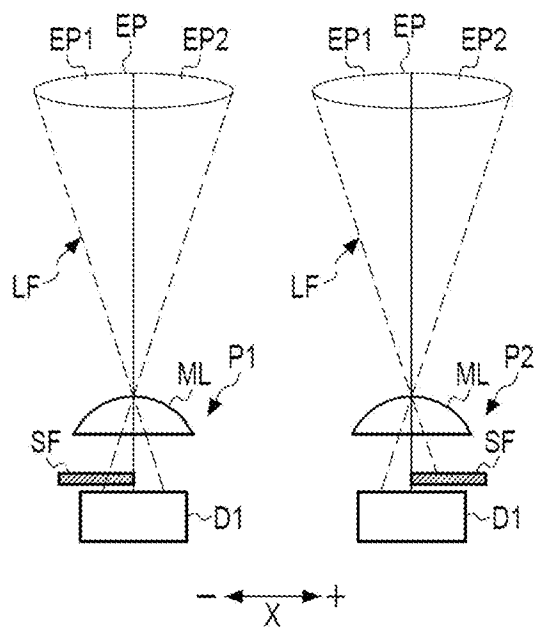
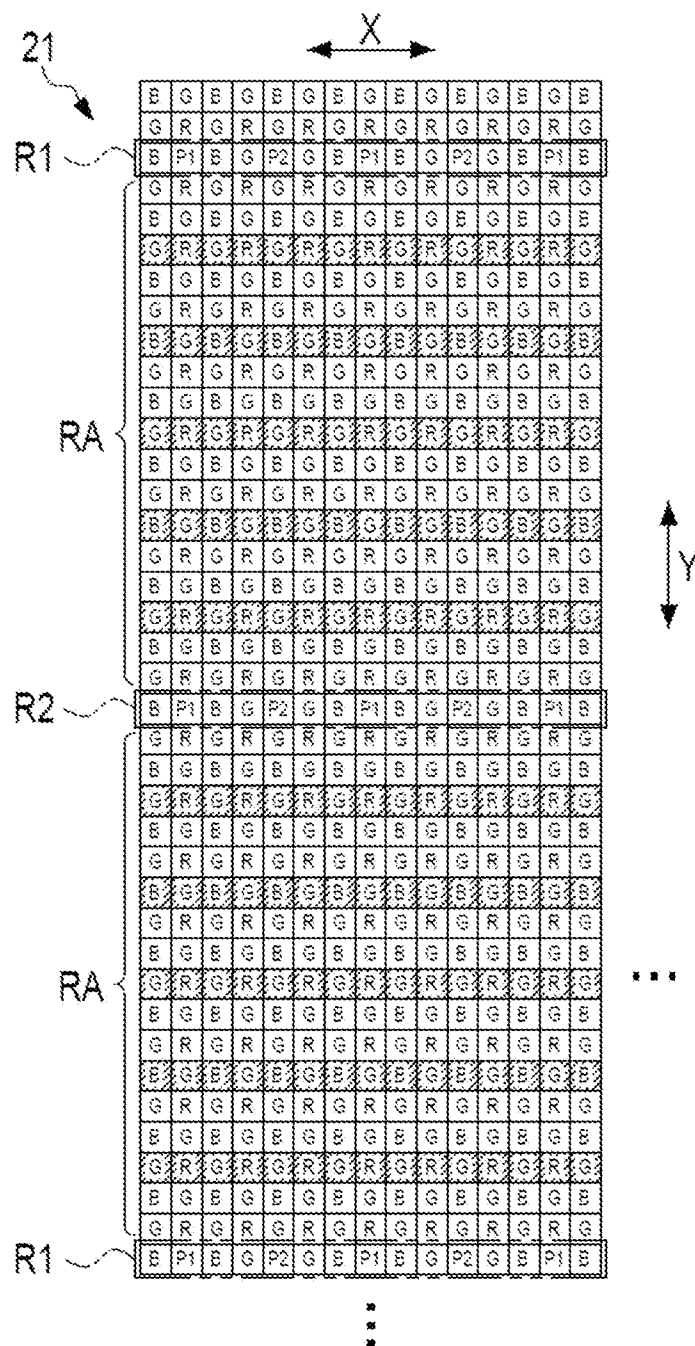
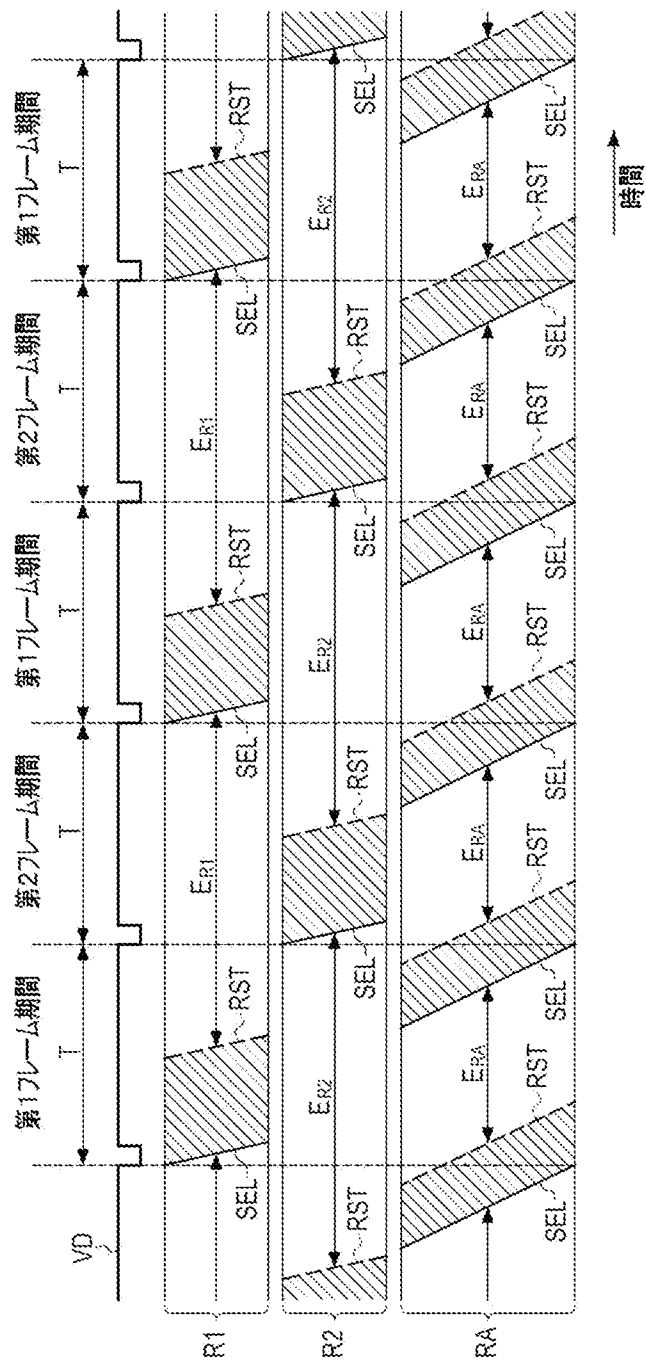


Figure 1 is a schematic diagram of a grid 21. The grid is 16 columns wide and 24 rows high. The columns are labeled B, G, B, G, B, G, B, G, B, G, B, G, B, G, B. The rows are labeled R1, RA, and R2. The grid is divided into four quadrants by a vertical line between columns 8 and 9 and a horizontal line between rows 8 and 9. The top-left quadrant (rows R1 to RA, columns B to G) contains a pattern of B and G cells. The top-right quadrant (rows R1 to RA, columns G to B) contains a pattern of G and B cells. The bottom-left quadrant (rows RA to R2, columns B to G) contains a pattern of B and G cells. The bottom-right quadrant (rows RA to R2, columns G to B) contains a pattern of G and B cells. The grid is labeled 21 in the top left corner. A coordinate system (X, Y) is shown in the top right corner. A north arrow (N) is shown in the top left corner. A vertical ellipsis is shown at the bottom center.

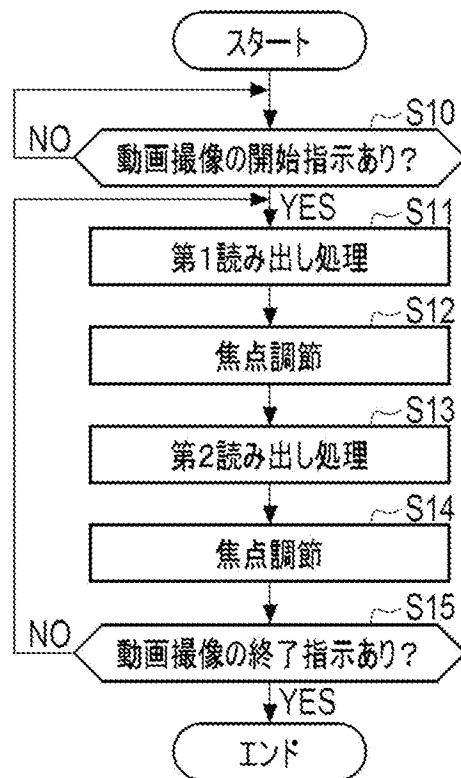
[図9]



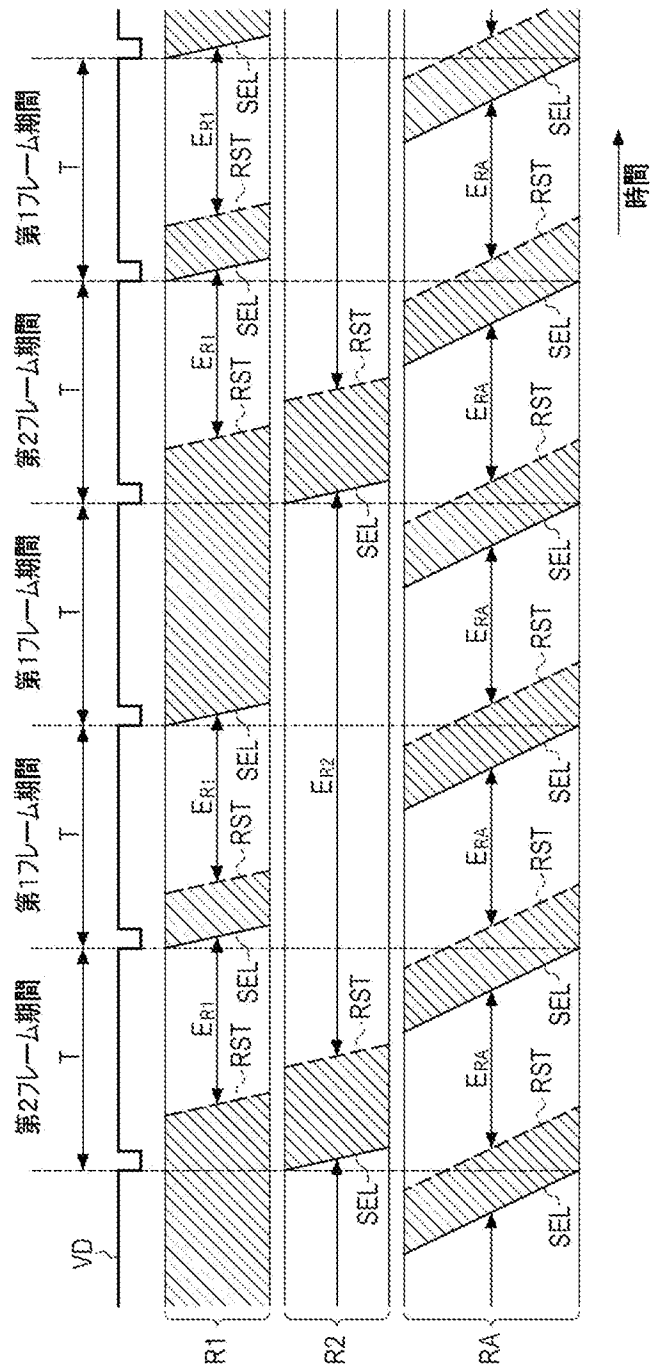
[図10]



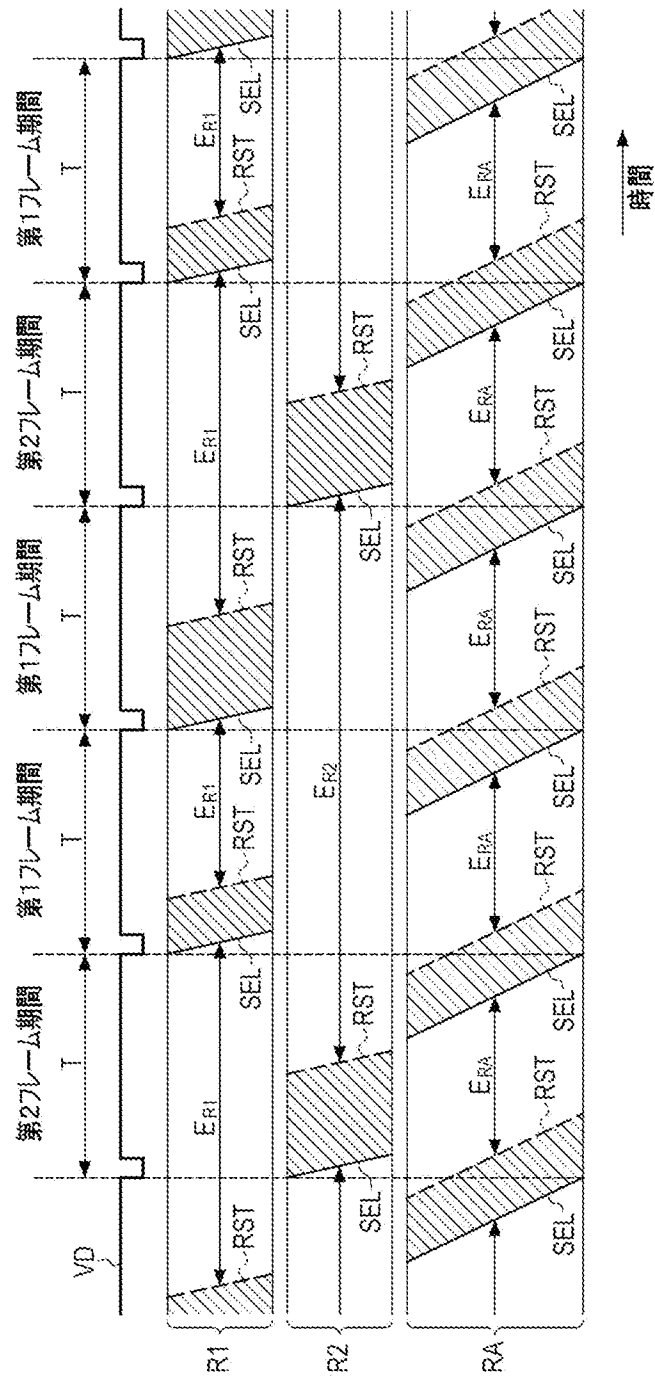
[図11]



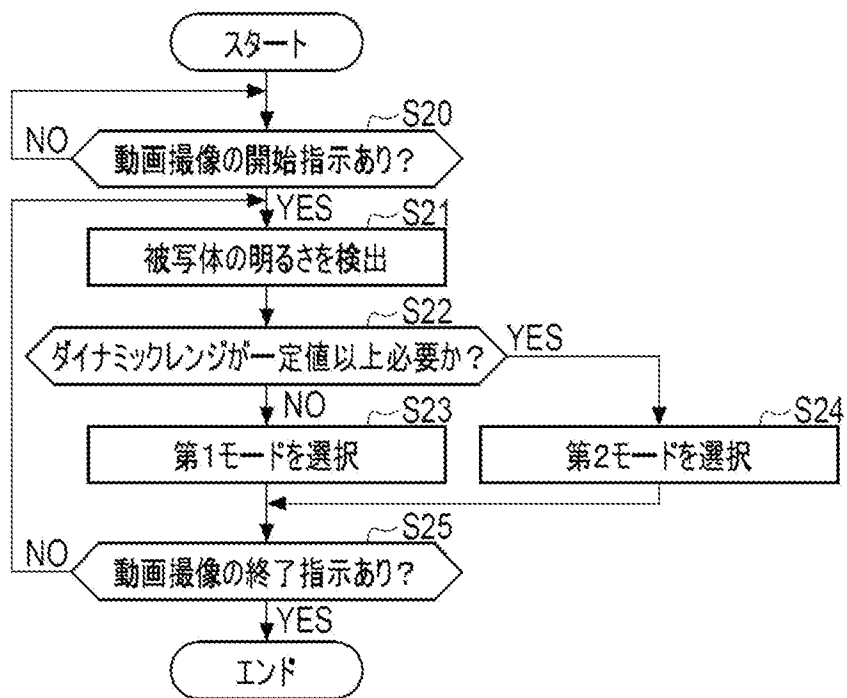
[図12]



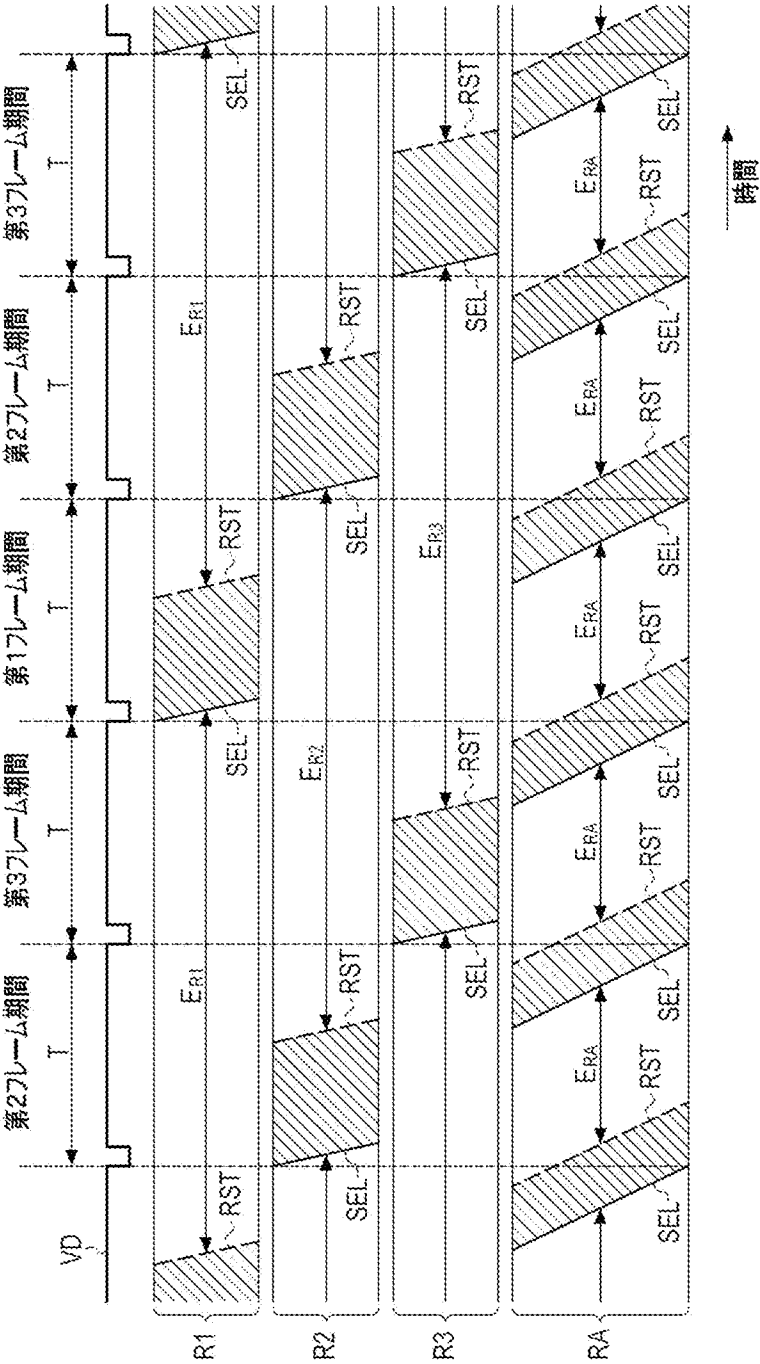
[図13]



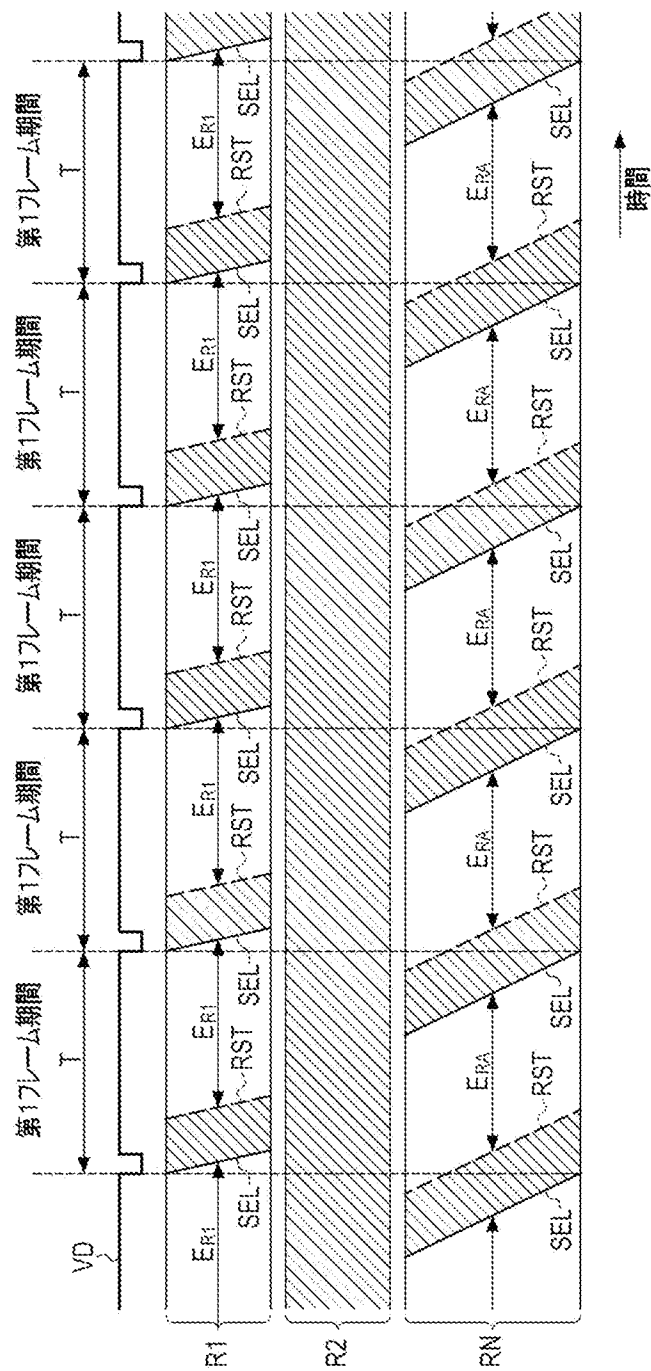
[図14]



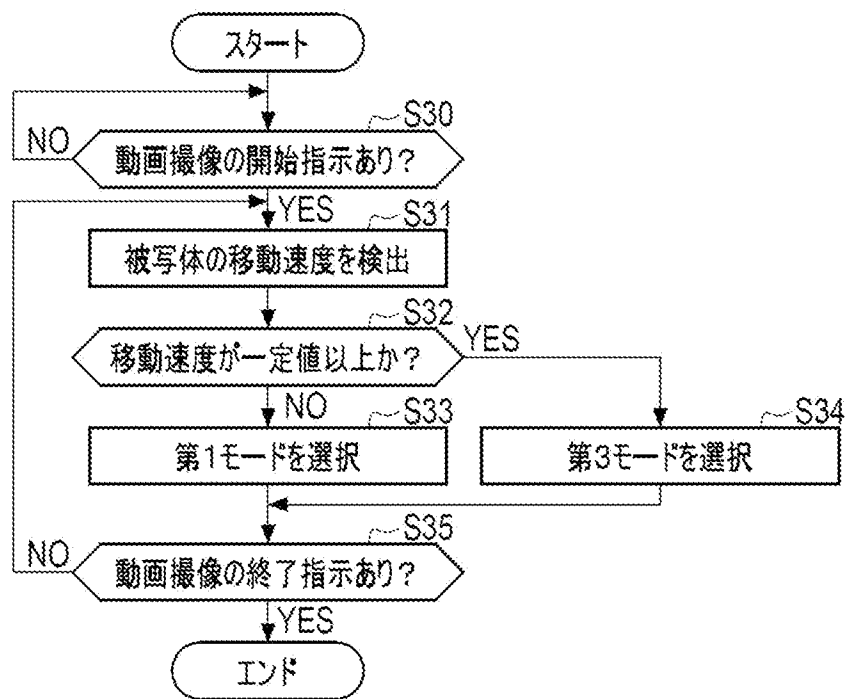
[図16]



[図17]



[図18]



The diagram illustrates a 2D grid structure, likely representing a memory array or a data layout. The grid is composed of multiple rows and columns. The rows are labeled on the left side, and the columns are labeled on the top side.

Row Labels:

- RA (Repeating Address)
- R1a (Row 1a)
- R1b (Row 1b)
- R2a (Row 2a)
- R2b (Row 2b)

Column Labels:

- B (Block)
- G (Group)
- P1 (Pattern 1)
- P2 (Pattern 2)

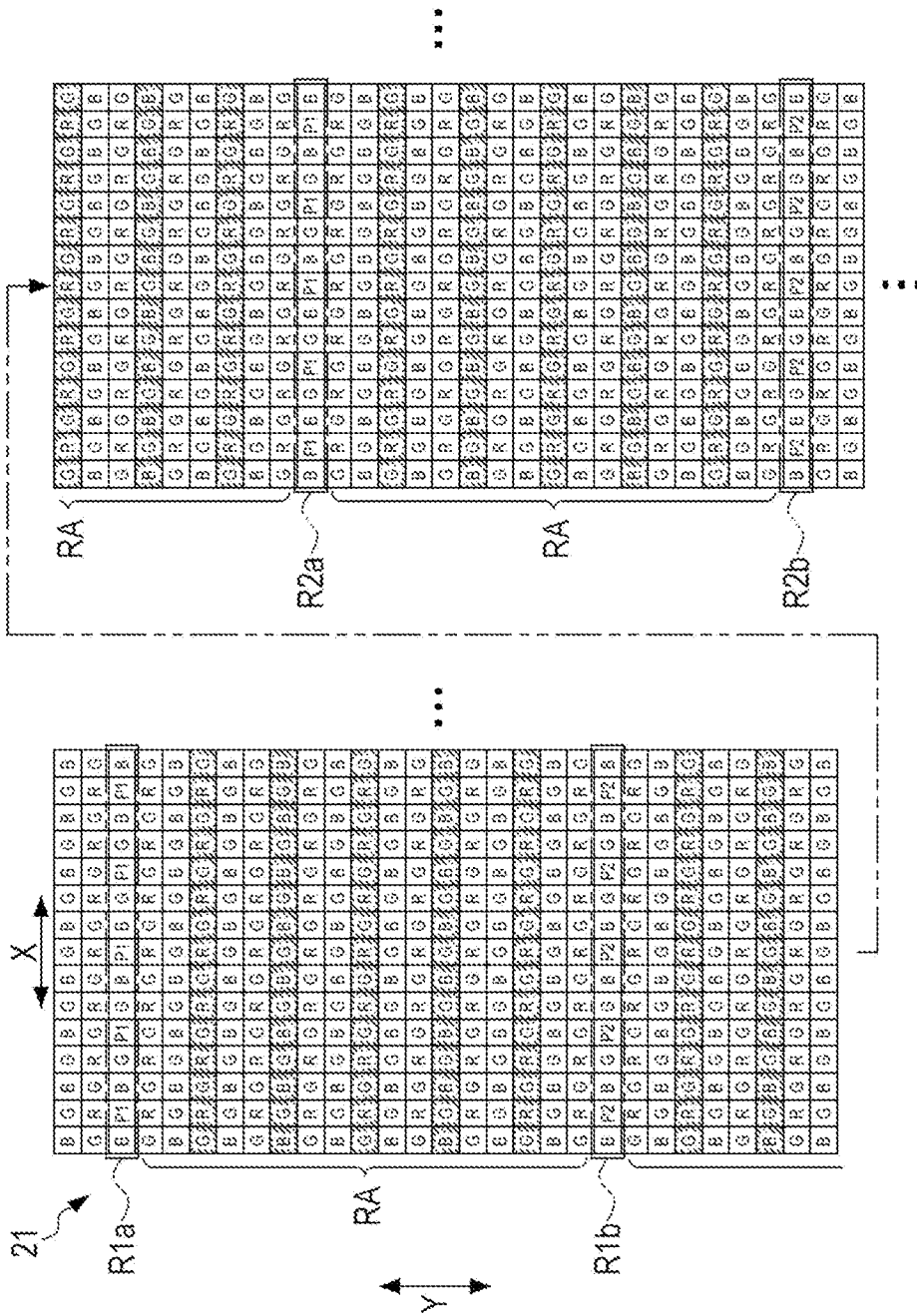
Grid Structure:

- The grid is divided into four main sections, each containing a 4x16 sub-grid.
 - Section 1 (RA, R1a, R1b):** The first row (R1a) contains a sequence of blocks: B, G, B, G, B, G, B, G, B, G, B, G, B, G, B, G. The second row (R1b) contains a sequence of blocks: B, P1, B, G, P1, G, B, P1, B, G, P1, G, B, P1, B, G. The third row (R1b) contains a sequence of blocks: G, R, G, R, G, R, G, R, G, R, G, R, G, R, G, R. The fourth row (R1b) contains a sequence of blocks: B, G, B, G, B, G, B, G, B, G, B, G, B, G, B, G.
 - Section 2 (RA, R2a, R2b):** The first row (R2a) contains a sequence of blocks: B, G, B, G, B, G, B, G, B, G, B, G, B, G, B, G. The second row (R2b) contains a sequence of blocks: B, P2, B, G, P2, G, B, P2, B, G, P2, G, B, P2, B, G. The third row (R2b) contains a sequence of blocks: G, R, G, R, G, R, G, R, G, R, G, R, G, R, G, R. The fourth row (R2b) contains a sequence of blocks: B, G, B, G, B, G, B, G, B, G, B, G, B, G, B, G.
- Vertical ellipses (⋮) indicate that the grid continues beyond the shown sections.
- Horizontal ellipses (⋯) indicate that the grid continues beyond the shown columns.

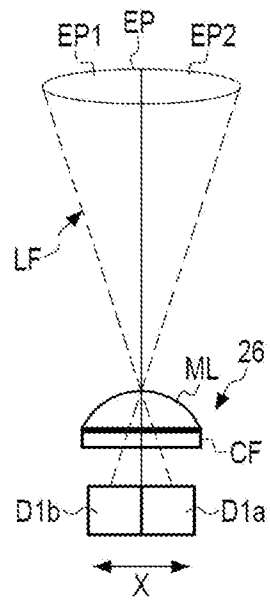
Dimensions:

- N:** The number of rows in the grid.
- X:** The number of columns in the grid.

[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/034049

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/353**(2011.01)i; **H04N 5/232**(2006.01)i; **H04N 5/369**(2011.01)i

FI: H04N5/353 500; H04N5/369 600; H04N5/232 120

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/353; H04N5/232; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/088119 A1 (FUJIFILM CORP.) 17 May 2018 (2018-05-17) paragraph [0050], fig. 3	1-15
A	JP 2018-66931 A (CANON KK) 26 April 2018 (2018-04-26) paragraph [0041], fig. 5(b)	1-15
A	JP 2010-219958 A (CANON INC.) 30 September 2010 (2010-09-30) paragraph [0029], fig. 4	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 November 2021

Date of mailing of the international search report

30 November 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/034049

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2018/088119	A1	17 May 2018	US	2019/0268530	A1	
				paragraph [0063], fig. 3			
				CN	109906604	A	
JP	2018-66931	A	26 April 2018	US	2018/0115729	A1	
				paragraph [0159], fig. 14			
JP	2010-219958	A	30 September 2010	US	2012/0038810	A1	
				paragraph [0038], fig. 4			
				WO	2010/106846	A1	
				CN	102292974	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/353(2011.01)i; H04N 5/232(2006.01)i; H04N 5/369(2011.01)i FI: H04N5/353 500; H04N5/369 600; H04N5/232 120														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H04N5/353; H04N5/232; H04N5/369														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2021年													
日本国実用新案登録公報	1996-2021年													
日本国登録実用新案公報	1994-2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2018/088119 A1（富士フイルム株式会社）17.05.2018（2018-05-17） 段落 [0050]、図3	1-15												
A	JP 2018-66931 A（キヤノン株式会社）26.04.2018（2018-04-26） 段落 [0041]、図5(b)	1-15												
A	JP 2010-219958 A（キヤノン株式会社）30.09.2010（2010-09-30） 段落 [0029]、図4	1-15												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 10.11.2021	国際調査報告の発送日 30.11.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/034049

引用文献			公表日	パテントファミリー文献			公表日
WO	2018/088119	A1	17.05.2018	US	2019/0268530	A1	
				段落 [0063]、図3			
				CN	109906604	A	
JP	2018-66931	A	26.04.2018	US	2018/0115729	A1	
				段落 [0159]、図14			
JP	2010-219958	A	30.09.2010	US	2012/0038810	A1	
				段落 [0038]、図4			
				WO	2010/106846	A1	
				CN	102292974	A	