

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
H01J 17/49

(45) 공고일자 2003년09월17일
(11) 등록번호 10-0397431
(24) 등록일자 2003년08월27일

(21) 출원번호 10-2001-0020614
(22) 출원일자 2001년04월18일

(65) 공개번호 특2002-0080818
(43) 공개일자 2002년10월26일

(73) 특허권자 엘지전자 주식회사
서울특별시 영등포구 여의도동 20번지 LG트윈타워

(72) 발명자 신영교
서울특별시성동구하왕십리1동303-5

양성수
광주광역시서구치평동1168-1중흥아파트111동1103호

이재구
경상북도포항시남구지곡동756,교수아파트6/903

(74) 대리인 김영호

심사관 : 박영복

(54) 플라즈마 디스플레이 패널 및 그 구동방법

요약

본 발명은 방전효율을 향상시킬 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것이다.
본 발명의 플라즈마 디스플레이 패널은 주사/서스테인전극 및 공통서스테인전극을 포함한 서스테인전극쌍과; 상기 서스테인전극쌍 사이에 상기 서스테인전극쌍과 나란하게 형성됨과 아울러 그 폭이 60 μ m 내지 140 μ m의 사이에서 설정되는 보조전극을 구비한다. 상기 보조전극에는 벽전하를 형성하기 위한 보조펄스가 공급된다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 도면.
도 2는 서스테인기간에 도 1에 도시된 플라즈마 디스플레이 패널의 주사/서스테인전극 및 공통서스테인전극에 인가되는 구동펄스를 나타내는 도면.
도 3은 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 도면.
도 4는 서스테인기간에 도 3에 도시된 전극들에 공급되는 구동펄스를 나타내는 파형도.
도 5a 및 5c는 도 4의 구동펄스에 의한 구동과정을 나타내는 도면.
도 6은 도 3에 도시된 보조전극의 폭에 따른 플라즈마 디스플레이 패널의 효율값을 나타내는 그래프.

도 7은 도 3에 도시된 보조전극과 서스테인전극들의 간격에 따른 플라즈마 디스플레이 패널의 효율값을 나타내는 그래프.

도 8은 도 3에 도시된 서스테인전극들의 폭에 따른 플라즈마 디스플레이 패널의 효율값을 나타내는 그래프.

도 9는 종래의 플라즈마 디스플레이 패널과 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 휘도값을 나타내는 그래프.

도 10은 종래의 플라즈마 디스플레이 패널과 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 소비전력을 나타내는 그래프.

도 11은 종래의 플라즈마 디스플레이 패널과 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 효율을 나타내는 그래프.

< 도면의 주요 부분에 대한 부호의 설명 >

10,30 : 상부기판 12Y,32Y : 주사/서스테인전극

12Z,32Z : 공통서스테인전극 14,22,34,42 : 유전체층

16,36 : 보호막 18,38 : 하부기판

20X,40X : 어드레스전극 26,46 : 형광체

44 : 보조전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것으로 특히, 방전효율을 향상시킬 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것이다.

플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은 가스방전에 의해 발생하는 진공 자외선이 형광체를 여기시킬 때 형광체로부터 가시광선이 발생하는 것을 이용한 표시장치이다.

PDP는 지금까지 표시수단의 주종을 이루어왔던 음극선관(Cathode Ray Tube : CRT)에 비해 두께가 얇고 가벼우며, 고선명 대형화면의 구현이 가능하다는 점등의 장점이 있다. PDP는 매트릭스 형태로 배열된 다수의 방전셀들로 구성되며, 하나의 방전셀은 화면의 한 화소를 이루게 된다.

도 1은 종래의 3전극 교류 면방전형 PDP의 방전셀 구조를 나타내는 도면이다.

도 1을 참조하면, 종래의 3전극 교류 면방전형 PDP의 방전셀은 상부기판(10) 상에 형성되어진 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과, 하부기판(18) 상에 형성되어진 어드레스전극(20X)을 구비한다.

주사/서스테인전극(12Y)과 공통서스테인전극(12Z)이 나란하게 형성된 상부기판(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다.

보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방전 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다.

어드레스전극(20X)이 형성된 하부기판(18) 상에는 하부 유전체층(22) 및 도 시되지 않은 격벽이 형성되며, 하부 유전체층(22)과 격벽의 표면에는 형광체층(26)이 도포된다. 어드레스전극(20X)은 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과 교차되는 방향으로 형성된다.

격벽은 어드레스전극(20X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상부기판(10)/하부기판(18)과 격벽 사이에 마련된 방전공간에는 가스방전을 위한 불활성 가스가 주입된다.

이러한 교류 면방전형 PDP는 화상의 계조(Gray Level)를 표현하기 위하여 한 프레임을 방전횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 표현하는 서스테인기간으로 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 8개의 서브필드들로 나누어지게 된다. 아울러, 8개의 서브필드들 각각은 어드레스기간과 서스테인기간으로 다시 나누어지게 된다. 여기서, 각 서브필드의 리셋기간 및 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인기간은 각 서브필드에서 2^n ($n=0,1,2,3,4,5,6,7$)의 비율로 증가된다. 이와 같이 각 서브필드에서 서스테인기간이 달라지게 되므로 화상의 계조를 표현할 수 있게 된다.

여기서, 리셋기간에는 공통서스테인전극(12Z)에 리셋 펄스가 공급되어 리셋 방전이 일어난다. 어드레스 기간에는 주사/서스테인전극(12Y)에 주사펄스가 공급됨과 아울러 어드레스전극(20X)에 데이터 펄스가 공급되어 두 전극(12Y,20X) 간에 어드레스 방전이 일어난다. 어드레스 방전시에는 상/하부 유전체층(14,22)에 벽전하가 형성된다. 서스테인기간에는 도 2와 같이 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)에 교번적으로 공급되는 펄스신호에 의해 두 전극(12Y,12Z) 간에 서스테인 방전이 일어난다.

이를 상세히 설명하면, 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)에 펄스신호가 공급되면 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)이 음극 및 양극을 반복하면서 서스테인 방전이 발생한다. 이때, 주사/서스테인전

극(12Y) 및 공통서스테인전극(12Z)은 방전셀의 중심부에 좁은 간격으로 형성되어 있기 때문에 방전공간의 활용도가 떨어진다.

다시 말하여, 서스테인 방전은 인접되게 형성되어 있는 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)간에 발생되고, 서스테인 방전에 의해 생성된 플라즈마는 전극들(12Y, 12Z)을 따라 수평적으로 형성된다. 즉, 인접되게 형성되어 있는 전극들(12Y, 12Z)간에 방전이 발생하기 때문에 방전경로가 짧아지고, 이에 따라 방전면적이 축소되어 방전 효율이 저하되는 문제점이 있다.

이와 같은 문제점을 해결하기 위하여 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)을 넓은 간격으로 형성할 수 있다. 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)간의 간격이 넓어지면 방전경로가 길어지고, 이에 따라 방전면적이 증가하여 방전효율이 향상된다. 하지만, 이와 같이 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)간의 간격이 넓어지면 방전개시전압 및 방전유지전압이 상승하여 전체적인 구동전압이 증가하는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 방전효율을 향상시킬 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 플라즈마 디스플레이 패널은 주사/서스테인전극 및 공통서스테인전극과; 상기 주사/서스테인전극과 상기 공통서스테인전극 사이에 형성되며 60 μ m 내지 140 μ m의 사이의 폭을 가지는 보조전극을 구비한다. 상기 보조전극에는 벽전하를 형성하기 위한 보조펄스가 공급되는 것을 특징으로 한다. 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동방법은 상기 주사/서스테인전극과 상기 공통서스테인전극에 서스테인펄스들을 교번적으로 공급하여 서스테인방전을 일으키는 단계와, 상기 보조전극에 상기 서스테인펄스와 상이한 펄스폭을 가지는 제 1 보조펄스를 공급하여 상기 보조전극 상에 벽전하를 형성하는 단계와, 상기 주사/서스테인전극에 공급되는 서스테인펄스들 사이에 상기 제 1 보조펄스에 동기되는 제 2 보조펄스를 공급하는 단계와, 상기 공통서스테인전극에 공급되는 서스테인펄스들 사이에 상기 제 1 보조펄스에 동기되는 제 3 보조펄스를 공급하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 3 내지 도 11을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 3은 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 도면이다.

도 3을 참조하면, 본 발명의 실시예에 의한 PDP는 상부기판(30) 상에 형성되어진 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)과, 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)의 사이에 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)과 나란하게 형성되는 보조전극(44)과, 하부기판(38) 상에 형성되어진 어드레스전극(40X)을 구비한다.

주사/서스테인전극(32Y)과 공통서스테인전극(32Z)이 나란하게 형성된 상부기판(30)에는 상부 유전체층(34)과 보호막(36)이 적층된다. 상부 유전체층(34)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(36)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(34)의 손상을 방지함과 아울러 2차 전자의 방전 효율을 높이게 된다.

주사/서스테인전극(32Y)과 공통서스테인전극(32Z)의 사이에는 보조전극(44)이 형성된다. 이때, 주사/서스테인전극(32Y)과 공통서스테인전극(32Z)간의 간격은 종래에 비해서 넓게 형성된다.

어드레스전극(40X)이 형성된 하부기판(38) 상에는 하부 유전체층(42) 및 도사되지 않은 격벽이 형성되며, 하부 유전체층(42)과 격벽의 표면에는 형광체층(46)이 도포된다. 어드레스전극(40X)은 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)과 교차되는 방향으로 형성된다.

도 4는 본 발명의 실시예에 의한 서스테인기간에 보조전극, 주사/서스테인전극 및 공통서스테인전극에 공급되는 구동파형을 나타내는 도면이다.

도 4를 참조하면, 본 발명의 서스테인 기간에 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)에 교번적으로 서스테인펄스(SUSP1, SUSP2)가 공급된다. 보조전극(44)에는 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)에 서스테인 펄스(SUSP1, SUSP2)가 공급될때마다 제 1 보조펄스(A1)가 공급된다.

또한, 주사/서스테인전극(32Y)에 공급되는 서스테인펄스(SUSP1)의 사이에는 제 2 보조펄스(A2)가 공급됨과 아울러 공통서스테인전극(32Z)에 공급되는 서스테인펄스(SUSP2)의 사이에는 제 3 보조펄스(A3)가 공급된다. 이와 같은, 제 2 보조펄스(A2) 및 제 3 보조펄스(A3)는 교번적으로 공급됨과 아울러 제 1 보조펄스(A1)와 동기되도록 공급된다.

제 1 보조펄스(A1), 제 2 보조펄스(A2) 및 제 3 보조펄스(A3)는 동일한 펄스 폭(T2)을 갖는다. 이와 같은, 제 1 보조펄스(A1), 제 2 보조펄스(A2) 및 제 3 보조펄스(A3)는 대략 0.5 ~ 1.5 μ m의 펄스 폭을 가지며, 바람직하게는 0.6~1.0 μ m의 펄스 폭을 갖는다. 서스테인펄스(SUSP1, SUSP2)는 제 1 내지 제 3 보조펄스(A1내지A3)의 펄스 폭(T2)보다 넓은 펄스 폭(T1)을 갖는다. 이와 같은 서스테인펄스(SUSP1, SUSP2)의 펄스 폭(T1)은 대략 3 μ m로 설정된다.

한편, 제 1 보조펄스(A1)의 전압은 -150V ~ -170V 범위에서 설정되며, 제 2 보조펄스(A2) 및 제 3 보조펄스(A3)의 전압은 50 내지 60V의 사이에서 설정된다.

도 5a 내지 도 5c를 참조하여 동작과정을 상세히 설명하면, 먼저 도 5a와 같이 주사/서스테인전극(32Y)에는 양의 벽전하가 형성되고, 공통서스테인전극(32Z)에는 부의 벽전하가 형성됨과 아울러 보조전극(44)에는 부의 벽전하가 형성

되어 있다 고 가정한다. 이후, 보조전극(44)에 음극성의 제 1 보조펄스(A1)가 공급된다.

보조전극(44)에 음극성의 제 1 보조펄스(A1)가 공급되면 도 5b와 같이 보조전극(44)에 양의 벽전하가 형성된다. 이때, 공통서스테인전극(32Z)에는 양극성의 제 3 보조펄스(A3)가 공급된다. 따라서, 공통서스테인전극(32Z)은 이전에 형성된 부의 벽전하들을 유지 또는 강화한다.

이후, 공통서스테인전극(32Z)에 부극성의 서스테인펄스(SUSP2)가 공급된다. 공통서스테인전극(32Z)에 부극성의 서스테인펄스(SUSP2)가 공급되면 서스테인 방전이 발생한다. 이때, 보조전극(44)에는 주사/서스테인전극(32Y)과 동일한 극성의 벽전하들이 형성되어 있기 때문에 보조전극(44)과 공통서스테인전극(32Z)간에 방전이 개시된다. 이후, 주사/서스테인전극(32Y)과 공통서스테인전극(32Z)간에 서스테인 방전이 일어난다. 즉, 본 발명에서는 보조전극(44)에 양의 벽전하를 형성하여 넓은 간격으로 형성되어 있는 주사/서스테인전극(32Y)과 공통서스테인전극(32Z)간에 서스테인방전을 일으킬 수 있다. 다시말하여, 본 발명에서는 보조전극(44)에 양의 벽전하를 형성하여 낮은 전압으로 주사/서스테인전극(32Y)과 공통서스테인전극(32Z)간에 서스테인방전을 일으킬 수 있다.

주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)간에 서스테인 방전이 일어나면 도 5c와 같이 주사/서스테인전극(32Y)에는 음의 벽전하가 형성되고, 공통서스테인전극(32Z)에는 양의 벽전하가 형성됨과 아울러 보조전극(44)에는 부의 벽전하가 형성된다. 이후, 보조전극(44)에 음극성의 제 1 보조펄스(A1)가 공급되어 양의 벽전하를 형성하게 된다. 본 발명에서는 이와 같은 과정을 반복하며 서스테인 방전을 하게 된다.

도 6은 보조전극의 폭에 따른 효율값을 나타내는 그래프이다.

도 6을 참조하면, 보조전극(44)의 폭이 넓어질수록 효율이 증가함을 알 수 있다. 여기서, X축은 보조전극의 폭을 나타내며, Y축은 휘도를 소비전력으로 나눈 효율값을 나타낸다. 이때, 보조전극(44)과 서스테인전극들(32Y, 32Z) 사이의 간격은 60 μ m로 고정되고, 서스테인전극들(32Y, 32Z)과 방전셀의 경계부까지의 거리는 220 μ m로 고정된다. 따라서, 보조전극(44)의 폭이 넓어질수록 서스테인전극들(32Y, 32Z)의 폭이 줄어들게 된다. 도 6에 도시된 바와 같이 보조전극(44)의 폭이 60 μ m에서 100 μ m로 증가할때 효율이 급격히 증가하며, 100 μ m에서 140 μ m로 증가할때 효율이 서서히 증가함을 알 수 있다. 따라서, 본 발명에서 보조전극(44)의 폭은 60 μ m 내지 140 μ m에서 설정되며, 바람직하게는 100 μ m의 폭으로 설정된다.

도 7은 보조전극과 서스테인전극들의 간격에 따른 효율값을 나타내는 그래프이다.

도 7을 참조하면, 보조전극(44)과 서스테인전극들(32Y, 32Z) 간의 간격이 넓어질수록 효율이 증가함을 알 수 있다. 여기서, Y축은 PDP의 효율을 나타내며, X축은 보조전극(44)과 서스테인전극들(32Y, 32Z)간의 간격을 나타낸다. 이때, 보조전극(44)의 폭은 100 μ m로 고정되고, 서스테인전극들(32Y, 32Z)과 방전셀의 경계부까지의 거리는 220 μ m로 고정된다. 따라서, 보조전극(44)과 서스테인전극들(32Y, 32Z) 간의 간격이 넓어질수록 서스테인전극들(32Y, 32Z)의 폭은 줄어들게 된다. 도 7에 도시된 바와 같이 보조전극(44)과 서스테인전극들(32Y, 32Z)간의 간격이 40 μ m에서 60 μ m로 증가할 때 효율이 급격히 증가하며, 60 μ m에서 100 μ m로 증가할때 효율이 서서히 증가함을 알 수 있다. 따라서, 본 발명에서 보조전극(44)과 서스테인전극들(32Y, 32Z)간의 간격은 60 μ m 내지 100 μ m에서 설정된다.

도 8은 서스테인전극들의 폭에 따른 효율값을 나타내는 그래프이다.

도 8을 참조하면, 효율은 서스테인전극들(32Y, 32Z)의 폭에 관계없이 거의 일정함을 알 수 있다. 여기서, X축은 서스테인전극들(32Y, 32Z)의 폭을 나타내며, Y축은 효율을 나타낸다. 이때, 보조전극(44)의 폭은 100 μ m로 고정되고, 보조전극(44)과 서스테인전극들(32Y, 32Z)간의 간격은 60 μ m로 고정된다.

도 9 내지 도 11은 종래의 PDP와 본 발명의 실시예에 의한 PDP의 휘도, 소비전력 및 효율을 나타내는 그래프이다.

이때, 본 발명의 실시예에 의한 PDP는 보조전극(44)의 폭을 100 μ m로 고정하고, 보조전극(44)과 서스테인전극들(32Y, 32Z)의 간격을 60 μ m(제 1 PDP), 80 μ m(제 2 PDP) 및 100 μ m(제 3 PDP)로 설정하여 측정한다. 서스테인전극들(32Y, 32Z)과 방전셀의 경계부까지의 거리는 220 μ m로 고정된다.

제 1 PDP에서 제 1 보조펄스(A1)의 전압은 -150V이고, 제 2 보조펄스(A2) 및 제 3 보조펄스(A3)의 전압은 50V로 설정된다. 제 2 PDP에서 제 1 보조펄스(A1)의 전압은 -150V이고, 제 2 보조펄스(A2) 및 제 3 보조펄스(A3)의 전압은 60V로 설정된다. 제 3 PDP에서 제 1 보조펄스(A1)의 전압은 -160V이고, 제 2 보조펄스(A2) 및 제 3 보조펄스(A3)의 전압은 60V로 설정된다.

도 9는 서스테인전압의 변화에 따른 휘도값을 나타내는 그래프이다.

도 9를 참조하면, 본 발명의 실시예에 의한 PDP들은 종래에 비해서 높은 휘도값을 갖는다. 예를 들어, 서스테인전극들(32Y, 32Z)에 -200V의 전압이 인가되었을때 제 2 PDP가 가장 높은 휘도값을 가지며, 종래 PDP가 가장 낮은 휘도값을 갖는다. 다시말하여, 서스테인전극들(32Y, 32Z)에 -200V의 전압이 인가되었을때 제 2 PDP는 767cd/m²의 휘도를 가지며, 제 3 PDP는 765cd/m²의 휘도를 갖는다. 또한, 제 1 PDP는 688cd/m²의 휘도를 가지며, 종래 PDP는 348cd/m²의 휘도를 갖는다. 즉, 본 발명의 실시예에 의한 PDP들은 종래의 PDP에 비하여 대략 80~100%정도 향상된 휘도값을 갖는다.

도 10은 서스테인전압의 변화에 따른 소비전력값을 나타내는 그래프이다.

도 10을 참조하면, 본 발명의 실시예에 의한 PDP들은 종래의 PDP에 비해서 많은 소비전력이 소모된다. 예를 들어, 서스테인전극들(32Y, 32Z)에 -200V의 전압이 인가되었을때 종래 PDP는 약 0.000642W의 소비전력을 소모하며, 제 3 PDP는 0.000657W의 소비전력을 소모한다. 또한, 제 2 PDP는 0.000686W의 소비전력을 소모하며, 제 1 PDP는 0.000693W의 소비전력을 소모한다. 즉, 본 발명의 실시예에 의한 PDP들은 종래의 PDP에 비하여 대략 10%정도 많은 소비전력을 소모한다.

도 11은 서스테인전압의 변화에 따른 효율을 나타내는 그래프이다.

도 11을 참조하면, 본 발명의 실시예에 의한 PDP들은 종래의 PDP에 비해서 높은 효율을 갖는다. 예를 들어, 서스테인전극들(32Y, 32Z)에 -200V의 전압이 인가되었을때 제 3 PDP는 1.82lm/W의 효율을 가지며, 제 2 PDP는 1.73lm/W

W의 효율을 갖는다. 또한, 제 1 PDP는 1.52lm/W의 효율을 가지며, 종래의 PDP는 0.88lm/W의 효율을 갖는다. 즉, 본 발명의 실시예에 의한 PDP들은 종래의 PDP에 비하여 대략 80~100%정도 향상된 효율을 갖는다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널 및 그 구동방법에 의하면 주사/서스테인전극 및 공통서스테인전극을 넓은 간격으로 형성하고, 주사/서스테인전극 및 공통서스테인전극의 사이에 보조전극을 형성한다. 이와 같이 주사/서스테인전극 및 공통서스테인전극이 넓은 간격으로 형성되면 방전경로가 길어지고, 이에 따라 방전면적이 증가하여 방전효율이 향상된다. 또한, 서스테인방전시에 보조전극을 양극으로 이용하여 저전압 구동이 가능하다. 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

주사/서스테인전극 및 공통서스테인전극과;

상기 주사/서스테인전극과 상기 공통서스테인전극 사이에 형성되며 60 μ m 내지 140 μ m의 사이의 폭을 가지는 보조전극을 구비하며,

상기 보조전극에는 벽전하를 형성하기 위한 보조펄스가 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서,

상기 보조전극의 폭은 100 μ m인 것을 특징으로 하는 플라즈마 디스플레이 패널.

청구항 4.

제 1 항에 있어서,

상기 보조전극과 상기 서스테인전극쌍과의 간격은 60 μ m 내지 100 μ m의 사이인 것을 특징으로 하는 플라즈마 디스플레이 패널.

청구항 5.

주사/서스테인전극과 공통서스테인전극 사이에 보조전극이 형성된 플라즈마 디스플레이 패널을 구동하기 위한 방법에 있어서,

상기 주사/서스테인전극과 상기 공통서스테인전극에 서스테인펄스들을 교번적으로 공급하여 서스테인방전을 일으키는 단계와,

상기 보조전극에 상기 서스테인펄스와 상이한 펄스폭을 가지는 제 1 보조펄스를 공급하여 상기 보조전극 상에 벽전하를 형성하는 단계와,

상기 주사/서스테인전극에 공급되는 서스테인펄스들 사이에 상기 제 1 보조펄스에 동기되는 제 2 보조펄스를 공급하는 단계와,

상기 공통서스테인전극에 공급되는 서스테인펄스들 사이에 상기 제 1 보조펄스에 동기되는 제 3 보조펄스를 공급하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 6.

제 5 항에 있어서,

상기 제 1 보조펄스는 상기 보조전극에 형성된 벽전하의 극성을 변환시키는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

제 5 항에 있어서,

상기 제 1 보조펄스, 제 2 보조펄스 및 제 3 보조펄스의 펄스 폭은 상기 서스테인펄스의 펄스 폭보다 좁게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 10.

제 5 항에 있어서,

상기 제 1 보조펄스, 제 2 보조펄스 및 제 3 보조펄스의 펄스 폭은 0.5 내지 1.5 μ m의 사이에서 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 11.

제 5 항에 있어서,

상기 제 1 보조펄스의 펄스 폭은 $0.6 \sim 1.0 \mu\text{m}$ 인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 12.

제 5 항에 있어서,

상기 제 1 보조펄스는 $-150\text{V} \sim -170\text{V}$ 범위의 전압값을 가지는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

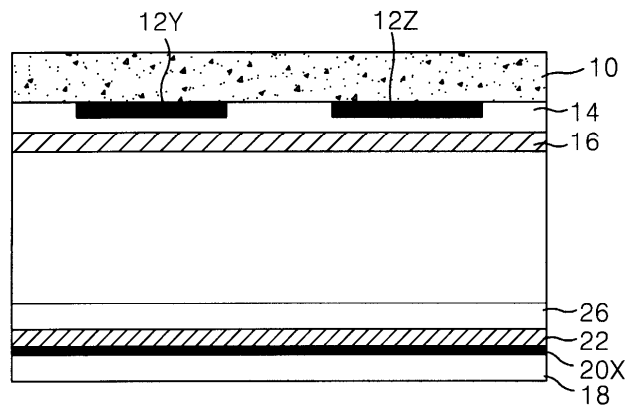
청구항 13.

제 5 항에 있어서,

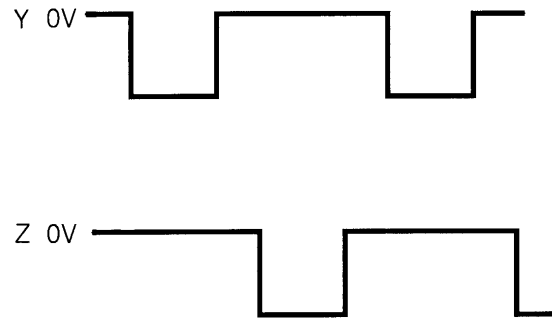
상기 제 2 및 제 3 보조펄스의 전압값은 50 내지 60V의 사이에서 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

도면

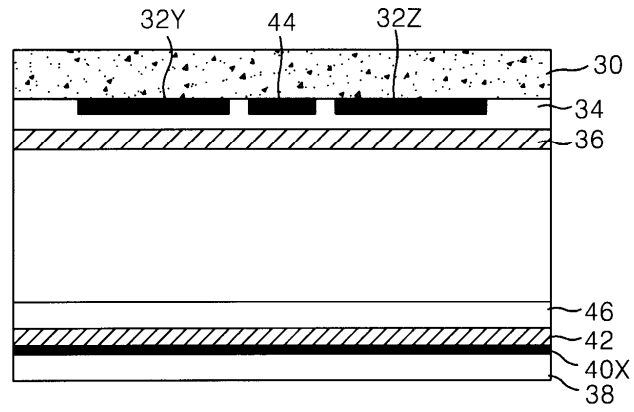
도면1



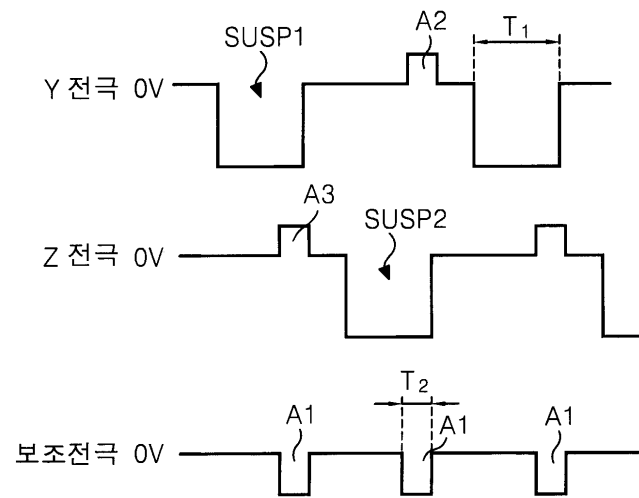
도면2



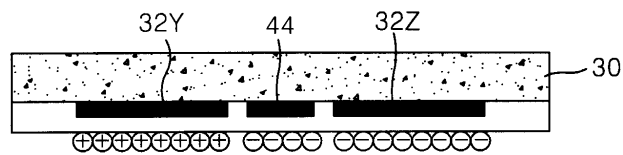
도면3



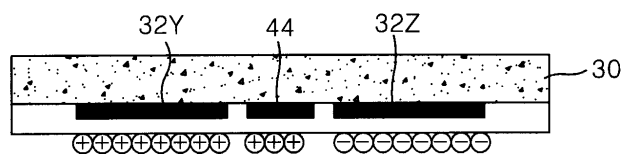
도면4



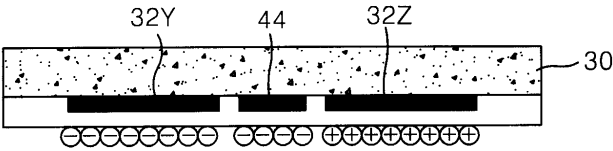
도면5a



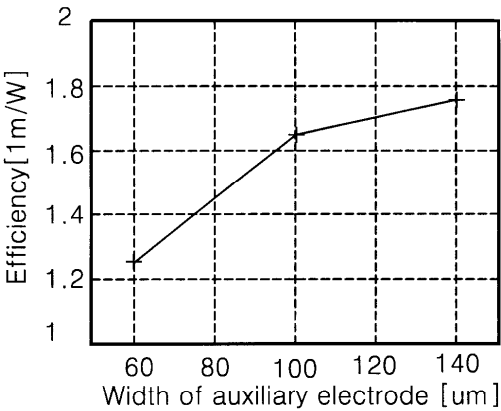
도면5b



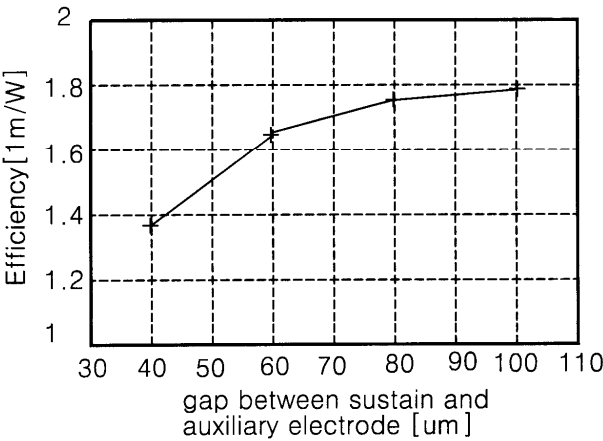
도면5c



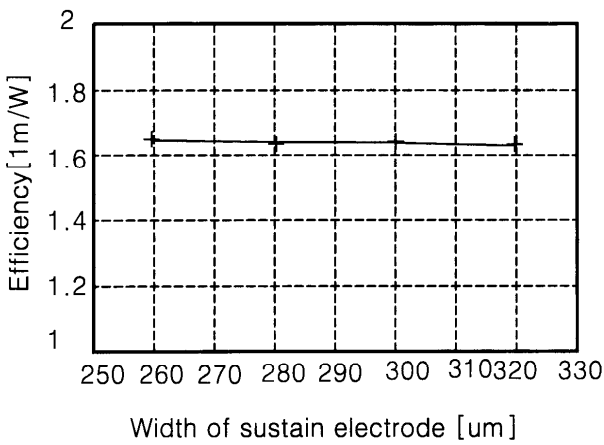
도면6



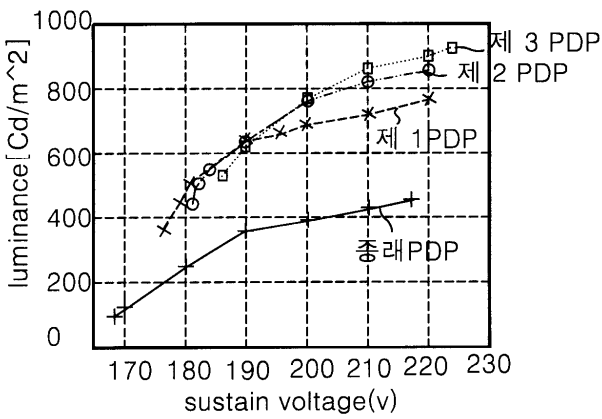
도면7



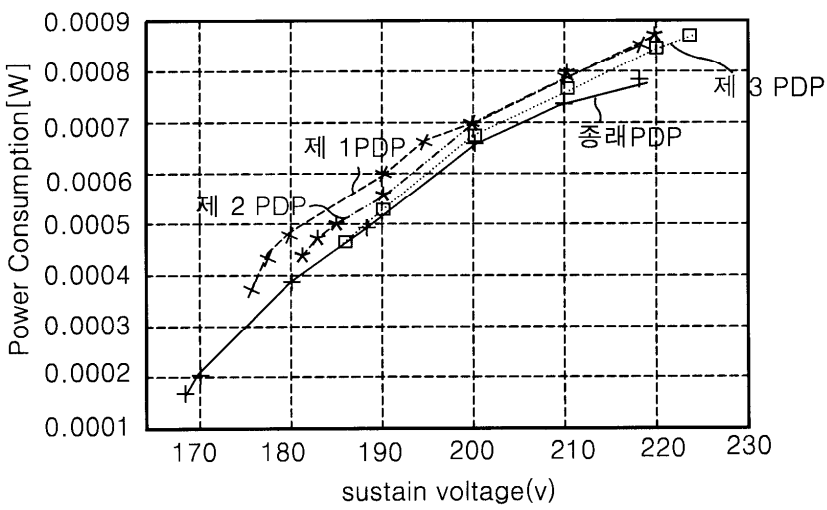
도면8



도면9



도면10



도면11

