



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년04월16일
(11) 등록번호 10-0893230
(24) 등록일자 2009년04월06일

(51) Int. Cl.

H01L 33/00 (2006.01) H01S 5/343 (2006.01)

(21) 출원번호 10-2004-7005171

(22) 출원일자 2004년04월08일

심사청구일자 2007년09월18일

번역문제출일자 2004년04월08일

(65) 공개번호 10-2004-0062947

(43) 공개일자 2004년07월09일

(86) 국제출원번호 PCT/JP2002/010323

국제출원일자 2002년10월03일

(87) 국제공개번호 WO 2003/034560

국제공개일자 2003년04월24일

(30) 우선권주장

JP-P-2001-00315703 2001년10월12일 일본(JP)

(56) 선행기술조사문헌

KR1020010050558 A

전체 청구항 수 : 총 51 항

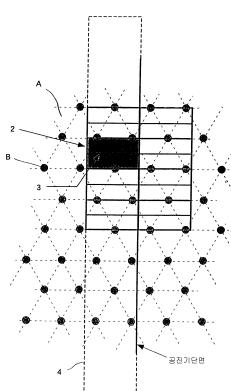
심사관 : 박혜련

(54) 반도체 발광소자의 제조방법, 반도체발광소자, 반도체소자의 제조방법, 반도체소자, 소자의 제조방법 및 소자

(57) 요 약

제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체기판상에 발광소자 또는 소자구조를 형성하는 질화물계 III-V족 화합물 반도체층을 성장시킴으로써 반도체 발광소자 또는 반도체소자를 제조할 때, 제 2 영역이 실질적으로 포함되지 않도록 질화물계 III-V족 화합물 반도체기판상에 소자영역을 획정(劃定)하거나, 발광영역 혹은 활성영역에 제 2 영역이 실질적으로 포함되지 않도록 한다.

대 표 도 - 도8



(72) 발명자

다마무라 고시

일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반
35고 소 니 가부시끼 가이샤내

도조 츠요시

일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반
35고 소 니 가부시끼 가이샤내

고토 오사무

일본국 미야기켄 시로이시시 시라토리 3-53-2 소니
시로이시 세미콘덕터 가부시끼가이샤내

겐사쿠 모토키

일본국 효고켄 이타미시 코야키타 1쵸메 1-1 이타
미 웍스 오 브 스미토모 일렉트릭 인더스트리즈 가
부시끼가이샤내

특허청구의 범위

청구항 1

제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 상기 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체기판상에 발광소자 구조를 형성하는 질화물계 III-V족 화합물 반도체층을 성장시킴으로써 반도체 발광소자를 제조하도록 한 반도체 발광소자의 제조방법에 있어서,

상기 제 2 영역이 실질적으로 포함되지 않도록 상기 질화물계 III-V족 화합물 반도체기판상에 소자영역을 확정(劃定)하고,

상기 제 2 영역 중 적어도 하나는 상기 제 1 영역에 대하여 반전된 C축을 가지는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 2

제 1항에 있어서,

상기 제 2 영역이 실질적으로 포함되지 않도록 상기 소자영역의 크기 및 배치를 결정하도록 한 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 3

제 1항에 있어서,

상기 복수의 제 2 영역은 주기적으로 배열되어 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 4

제 1항에 있어서,

상기 복수의 제 2 영역은 육방격자(六方格子)형으로 주기적으로 배열되어 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 5

제 1항에 있어서,

상기 복수의 제 2 영역은 직사각형 격자형으로 주기적으로 배열되어 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 6

제 1항에 있어서,

상기 복수의 제 2 영역은 정사각형 격자형으로 주기적으로 배열되어 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 7

제 1항에 있어서,

상기 소자영역은 직사각형인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 8

제 7항에 있어서,

상기 소자영역의 서로 대향하는 한 쌍의 변은 <1-100> 방향으로 평행하며, 다른 서로 대향하는 한 쌍의 변은 <11-20> 방향으로 평행한 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 9

제 1항에 있어서,

상기 소자영역은 정사각형인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 10

제 1항에 있어서,

서로 인접하는 2개의 상기 제 2 영역의 간격은 $20\mu\text{m}$ 이상 $1000\mu\text{m}$ 이하인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 11

제 1항에 있어서,

서로 인접하는 2개의 상기 제 2 영역의 간격은 $50\mu\text{m}$ 이상 $1000\mu\text{m}$ 이하인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 12

제 1항에 있어서,

서로 인접하는 2개의 상기 제 2 영역의 간격은 $100\mu\text{m}$ 이상 $1000\mu\text{m}$ 이하인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 13

제 3항에 있어서,

상기 제 2 영역의 배열주기는 $20\mu\text{m}$ 이상 $1000\mu\text{m}$ 이하인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 14

제 3항에 있어서,

상기 제 2 영역의 배열주기는 $50\mu\text{m}$ 이상 $1000\mu\text{m}$ 이하인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 15

제 3항에 있어서,

상기 제 2 영역의 배열주기는 $100\mu\text{m}$ 이상 $1000\mu\text{m}$ 이하인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 16

제 1항에 있어서,

상기 제 2 영역은 상기 질화물계 III-V족 화합물 반도체기판을 관통하고 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 17

제 1항에 있어서,

상기 제 2 영역은 부정(不定) 다각주(多角柱)형의 형상을 가지는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 18

제 1항에 있어서,

상기 제 1 영역과 상기 제 2 영역과의 사이에 상기 제 1 평균전위밀도보다 높고, 또한 상기 제 2 평균전위밀도보다 낮은 제 3의 평균전위밀도를 가지는 제 3 영역이 설치되어 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 19

제 18항에 있어서,

상기 제 2 영역 및 상기 제 3 영역이 실질적으로 포함되지 않도록 상기 소자영역을 확정하도록 한 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 20

제 1항에 있어서,

상기 제 2 영역의 직경은 $10\mu\text{m}$ 이상 $100\mu\text{m}$ 이하인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 21

제 1항에 있어서,

상기 제 2 영역의 직경은 $20\mu\text{m}$ 이상 $50\mu\text{m}$ 이하인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 22

제 18항에 있어서,

상기 제 3 영역의 직경은 상기 제 2 영역의 직경보다 $20\mu\text{m}$ 이상 $200\mu\text{m}$ 이하 큰 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 23

제 18항에 있어서,

상기 제 3 영역의 직경은 상기 제 2 영역의 직경보다 $40\mu\text{m}$ 이상 $160\mu\text{m}$ 이하 큰 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 24

제 18항에 있어서,

상기 제 3 영역의 직경은 상기 제 2 영역의 직경보다 $60\mu\text{m}$ 이상 $140\mu\text{m}$ 이하 큰 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 25

제 1항에 있어서,

상기 제 2 영역의 평균전위밀도는 상기 제 1 영역의 평균전위밀도의 5배 이상인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 26

제 1항에 있어서,

상기 제 2 영역의 평균전위밀도는 $1 \times 10^8 \text{ cm}^{-2}$ 이상인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 27

제 1항에 있어서,

상기 제 1 영역의 평균전위밀도는 $2 \times 10^6 \text{ cm}^{-2}$ 이하, 상기 제 2 영역의 평균전위밀도는 $1 \times 10^8 \text{ cm}^{-2}$ 이상인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 28

제 18항에 있어서,

상기 제 1 영역의 평균전위밀도는 $2 \times 10^6 \text{ cm}^{-2}$ 이하, 상기 제 2 영역의 평균전위밀도는 $1 \times 10^8 \text{ cm}^{-2}$ 이상, 상기 제 3 영역의 평균전위밀도는 $1 \times 10^8 \text{ cm}^{-2}$ 보다 작고 $2 \times 10^6 \text{ cm}^{-2}$ 보다 큰 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 29

제 1항에 있어서,

상기 반도체 발광소자의 발광영역이 상기 제 2 영역에서 $1\mu\text{m}$ 이상 떨어져 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 30

제 1항에 있어서,

상기 반도체 발광소자의 발광영역이 상기 제 2 영역에서 $10\mu\text{m}$ 이상 떨어져 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 31

제 1항에 있어서,

상기 반도체 발광소자의 발광영역이 상기 제 2 영역에서 $100\mu\text{m}$ 이상 떨어져 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 32

제 18항에 있어서,

상기 반도체 발광소자의 발광영역이 상기 제 2 영역 및 상기 제 3 영역을 포함하지 않는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 33

제 1항에 있어서,

상기 반도체 발광소자에 있어서 스트라이프형 전극을 통하여 구동전류가 흐르는 영역이 상기 제 2 영역에서 $1\mu\text{m}$ 이상 떨어져 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 34

제 1항에 있어서,

상기 반도체 발광소자에 있어서 스트라이프형 전극을 통하여 구동전류가 흐르는 영역이 상기 제 2 영역에서 $10\mu\text{m}$ 이상 떨어져 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 35

제 1항에 있어서,

상기 반도체 발광소자에 있어서 스트라이프형 전극을 통하여 구동전류가 흐르는 영역이 상기 제 2 영역에서 $100\mu\text{m}$ 이상 떨어져 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 36

제 18항에 있어서,

상기 반도체 발광소자에 있어서 스트라이프형 전극을 통하여 구동전류가 흐르는 영역이 상기 제 2 영역 및 상기 제 3 영역을 포함하지 않는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 37

제 1항에 있어서,

상기 소자영역의 윤곽선은 서로 인접하는 적어도 2개의 상기 제 2 영역을 연결하는 직선을 포함하는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 38

제 1항에 있어서,

서로 인접하는 적어도 2개의 상기 제 2 영역을 연결하는 직선을 포함하는 윤곽선을 따라 상기 질화물계 III-V족 화합물 반도체층이 성장된 상기 질화물계 III-V족 화합물 반도체기판의 스크라이빙을 행하는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 39

제 38항에 있어서,

벽개(劈開)에 의해 상기 스크라이빙을 행하는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 40

제 1항에 있어서,

상기 소자영역의 윤곽선은 상기 제 2 영역에서 $1\mu\text{m}$ 이상 떨어져 있는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 41

제 1항에 있어서,

상기 제 2 영역에서 $1\mu\text{m}$ 이상 떨어진 윤곽선을 따라 상기 질화물계 III-V족 화합물 반도체층이 성장된 상기 질화물계 III-V족 화합물 반도체기판의 스크라이빙을 행하는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 42

제 41항에 있어서,

벽개에 의해 상기 스크라이빙을 행하는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 43

제 1항에 있어서,

상기 질화물계 III-V족 화합물 반도체기판은 $\text{Al}_x\text{B}_y\text{Ga}_{1-x-y-z}\text{In}_z\text{As}_{1-u-v}\text{P}_v$ (단, $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$, $0 \leq u \leq 1$, $0 \leq v \leq 1$, $0 \leq x+y+z < 1$, $0 \leq u+v < 1$)으로 이루어지는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 44

제 1항에 있어서,

상기 질화물계 III-V족 화합물 반도체기판은 $\text{Al}_x\text{B}_y\text{Ga}_{1-x-y-z}\text{In}_z\text{N}$ (단, $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$, $0 \leq x+y+z < 1$)으로 이루어지는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 45

제 1항에 있어서,

상기 질화물계 III-V족 화합물 반도체기판은 $\text{Al}_x\text{Ga}_{1-x-y-z}\text{In}_z\text{N}$ (단, $0 \leq x \leq 1$, $0 \leq z \leq 1$)으로 이루어지는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 46

제 1항에 있어서,

상기 질화물계 III-V족 화합물 반도체기판은 GaN으로 이루어지는 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 47

제 1항에 있어서,

상기 반도체 발광소자는 반도체 레이저인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 48

제 1항에 있어서,

상기 반도체 발광소자는 발광다이오드인 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물 III-V족 화합물 반도체기판상에 발광소자를 형성하는 질화물계 III-V족 화합물 반도체층을 성장시킴으로써 반도체 발광소자를 제조하도록 한 반도체 발광소자의 제조방법에 있어서,

상기 제 2 영역이 실질적으로 포함되지 않도록 소자영역을 확정하고,

상기 제 2 영역 중 적어도 하나는 상기 제 1 영역에 대하여 반전된 C축을 가지는 특징으로 하는 반도체 발광소자의 제조방법.

청구항 55

제 54항에 있어서,

상기 제 1 영역은 단결정이며,

상기 제 2 영역은 단결정, 다결정, 비정질 및 이들 3가지의 혼합체 중 한 가지로 구성된 것을 특징으로 하는 반도체 발광소자의 제조방법.

청구항 56

삭제

청구항 57

삭제

청구항 58

제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 상기 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체기판상에 소자구조를 형성하는 질화물계 III-V족 화합물 반도체층을 성장시킴으로써 반도체소자를 제조하도록 한 반도체소자의 제조방법에 있어서,

상기 제 2 영역이 실질적으로 포함되지 않도록 상기 질화물계 III-V족 화합물 반도체기판상에 소자영역을 확정하고,

상기 제 2 영역 중 적어도 하나는 상기 제 1 영역에 대하여 반전된 C축을 가지는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

삭제

청구항 78

삭제

청구항 79

삭제

청구항 80

삭제

청구항 81

삭제

청구항 82

삭제

청구항 83

삭제

청구항 84

삭제

청구항 85

삭제

청구항 86

삭제

청구항 87

삭제

청구항 88

삭제

청구항 89

삭제

청구항 90

삭제

청구항 91

삭제

청구항 92

삭제

청구항 93

삭제

청구항 94

삭제

청구항 95

삭제

청구항 96

삭제

청구항 97

삭제

청구항 98

삭제

청구항 99

삭제

청구항 100

삭제

청구항 101

삭제

청구항 102

삭제

청구항 103

삭제

청구항 104

삭제

청구항 105

삭제

청구항 106

삭제

청구항 107

삭제

청구항 108

삭제

청구항 109

삭제

청구항 110

삭제

청구항 111

삭제

청구항 112

삭제

청구항 113

삭제

청구항 114

삭제

청구항 115

삭제

청구항 116

삭제

청구항 117

삭제

청구항 118

삭제

청구항 119

삭제

청구항 120

삭제

청구항 121

삭제

청구항 122

삭제

청구항 123

삭제

청구항 124

삭제

청구항 125

삭제

청구항 126

삭제

청구항 127

삭제

청구항 128

삭제

청구항 129

삭제

명세서

기술분야

<1> 본 발명은, 반도체 발광소자의 제조방법, 반도체 발광소자, 반도체소자의 제조방법, 반도체소자, 소자의 제조방법 및 소자에 관한 것이며, 예를 들면, 질화물계 III-V족 화합물 반도체를 이용한 반도체 레이저나 발광다이오드 또는 전자(電子) 주행(走行)소자의 제조에 적용하기에 적합한 것이다.

배경기술

<2> 종래, 반도체소자를 제조할 때에는, 적절한 기판상에 원하는 반도체층을 성장시킨 후 가공을 실시하는 방법이 널리 이용되고 있다. 일반적으로 반도체층은, 격자(格子) 정수(定數) 등의 기판 정보에 따라서 상당히 민감하게 특성이 변하게 되기 때문에, 가장 바람직스러운 것은, 성장시키는 반도체층과 동질의 기판을 채용하여 반도체층을 에피택셜 성장시키는 방법이다.

<3> 따라서, 반도체소자의 기판은, 소자에 이용하는 반도체와 동질의 재료로 형성되며, 또한 동시에 전위 등의 결함 밀도가 낮은 것이 요구된다. 왜냐하면, 기판의 결함이 그대로 그 위의 반도체층에도 전파하고, 소자특성 저하로 연결되는 일이 자주 일어나기 때문이다.

<4> 그런데, GaN으로 대표되는 질화물계 III-V족 화합물 반도체는, 밴드 갭(band gap)이 크기 때문에, 자외(紫外)로부터 보라(紫), 또한 청이나 녹이라는, 다른 반도체에서는 얻는 것이 곤란한 파장영역의 발광소자로서의 개발이 진행되어, 이미 발광다이오드(LED) 및 반도체 레이저(LD)도 실용화되어 있다.

- <5> 그렇지만, 질화물계 III-V족 화합물 반도체에서는 벌크성장이 어렵고, 반도체소자의 기판으로서 사용할 수 있도록 결합이 작은 기판을 얻는 것은 곤란하였다. 그 때문에, 대부분의 경우, 사파이어나 SiC등의 질화물계 III-V족 화합물 반도체와 동질이 아닌 기판상에 질화물계 III-V족 화합물 반도체의 결정성장을 행하지 않으면 안되며, 저온 베피층의 도입 등의 방법이 필요하게 된다. 그런데, 그와 같은 방법을 채용하고 성장을 행함으로써 얻어지는 질화물계 III-V족 화합물 반도체조차, 그 결합밀도는 상당히 높게 되어 버리며, 소자 특성으로의 영향이 무시할 수 없는 것이다.
- <6> 따라서, 특성이 양호한 질화물계 III-V족 화합물 반도체소자를 제조하기 위한 기판으로서, 동질의 기판, 즉 질화물계 III-V족 화합물 반도체로 이루어지며, 또한 결합밀도가 낮은 것이 소망 되고 있다.
- <7> 이제까지, 결합밀도가 낮은 질화물계 III-V족 화합물 반도체기판의 제조방법으로서는, 특개 2001-102307호 공보에 있어서, 기상(氣相)성장의 성장표면이 평면상태가 아닌, 3차원적인 파세트구조를 가지도록 하고, 파세트구조를 가진채, 파세트구조를 매립하지 않고 성장시킴으로써 전위를 저감하도록 한 단결정 GaN 기판의 제조방법이 제안되어 있다.
- <8> 그렇지만, 특개 2001-102307호 공보에 개시된 기술은, 특히 관통전위를 성장측의 어느 영역에 집중시킴으로써, 타 영역의 관통전위를 감소시키는 것이므로, 얻어진 단결정 GaN 기판에는 저결합밀도의 영역과 고결합밀도의 영역이 혼재하고 있고, 게다가 고결합밀도의 영역이 발생하는 위치는 제어할 수 없으며, 랜덤으로 발생한다. 이 때문에, 이 단결정 GaN 기판상에 질화물계 III-V족 화합물 반도체층을 성장시켜 반도체소자, 예를 들면, 반도체 레이저를 제조하는 경우, 고결합밀도의 영역이 발광영역으로 형성되는 것을 피할 수 없고, 반도체 레이저의 발광특성이나 신뢰성의 저하를 초래하고 있다.
- <9> 따라서, 본 발명이 해결하고자 하는 과제는, 발광특성 등의 특성이 양호하고 신뢰성도 높은 긴 수명의 반도체 발광소자 및 그와 같은 반도체 발광소자를 용이하게 제조할 수 있는 반도체 발광소자의 제조방법을 제공하는 데에 있다.
- <10> 보다 일반적으로는, 본 발명이 해결하고자 하는 과제는, 특성이 양호하고 신뢰성도 높은 긴 수명의 반도체소자 및 그와 같은 반도체소자를 용이하게 제조할 수 있는 반도체소자의 제조방법을 제공하는 것에 있다.
- <11> 더욱 일반적으로는, 본 발명이 해결하려고 하는 과제는, 특성이 양호하고 신뢰성도 높은 긴 수명의 각종 소자 및 그와 같은 소자를 용이하게 제조할 수 있는 소자의 제조방법을 제공하는 데에 있다.
- 발명의 상세한 설명**
- <12> 본 발명자는, 상기 과제를 해결하기 위해 예의검토를 행하였다. 그 개요에 대하여 설명하면, 다음과 같다.
- <13> 본 발명자는, 특개 2001-102307호 공보에 개시된 기술의 개량을 거듭한 결과, 저결합밀도영역 내에 발생하는 고결합밀도영역의 위치를 제어하는 것에 성공했다. 이것에 의하면, 저결합밀도영역 내에 고결합밀도영역이 규칙적, 예를 들면, 주기적으로 배열되어 있는 기판을 얻을 수 있고, 고결합밀도영역의 배열 패턴도 자유자재로 바꿀 수 있다.
- <14> 이와 같은 기판을 이용하여 반도체 레이저 등의 반도체 발광소자, 보다 일반적으로는 반도체소자를 제조하는 경우, 기판에 존재하는 고결합밀도의 영역이 소자에 미치는 악영향을 배제하거나, 또는 그 악영향을 감소시킬 필요가 있다. 그것을 위한 방법에 대하여 여러 가지 검토를 행한 결과, 이하의 방법이 유효한 것을 발견했다.
- <15> 즉, 상기의 기판에 있어서는, 고결합밀도영역은 규칙적으로 배열시킬 수 있으므로, 이 배열에 따라서 소자의 사이즈나 소자의 배치, 또는 소자의 활성영역(예를 들면, 발광소자에 있어서는 발광영역)의 위치의 설계를 행할 수 있다. 그리고, 이 설계에 의해, 최종적으로 기판의 스크라이빙에 의해 칩으로 되는 영역(이하 「소자영역」이라 한다) 또는 소자의 활성영역에 고결합밀도영역이 포함되지 않도록 할 수 있다. 이와 같이 하면, 기판상에 성장시키는 반도체층에 기초기판의 고결합밀도영역에서 결함이 전파해도, 그것에 의한 악영향이 소자영역 또는 활성영역에는 미치지 않도록 할 수 있으므로, 결함에 기인하는 소자의 특성 열화나 신뢰성의 저하 등을 방지 할 수 있다.
- <16> 상기 방법은, 소자에 사용하는 반도체와 동질로 저결합밀도의 기판을 얻는 것이 곤란한 경우, 질화물계 III-V족 화합물 반도체 이외의 반도체를 이용한 반도체소자의 제조에도 유효하다. 보다 일반적으로는, 소자에 사용하는 재료와 동질로 저결합밀도의 기판을 얻는 것이 곤란한 경우, 그와 같은 소자의 제조에 유효하다.
- <17> 본 발명은, 본 발명자에 의한 이상의 검토에 의거하여 또한 검토를 행한 결과, 안출된 것이다.

- <18> 즉, 상기 과제를 해결하기 위해, 본 발명의 제 1 발명은, 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체기판상에 발광소자 구조를 형성하는 질화물계 III-V족 화합물 반도체층을 성장시킴으로써 반도체 발광소자를 제조하도록 한 반도체 발광소자의 제조방법에 있어서,
- <19> 제 2 영역이 실질적으로 포함되지 않도록 질화물계 III-V족 화합물 반도체기판상에 소자영역을 확정하도록 한 것을 특징으로 하는 것이다.
- <20> 여기서, 「제 2 영역이 실질적으로 포함되지 않는다」란, 소자영역의 윤곽선이 제 2 영역을 완전히 포함하고 있는 경우뿐만 아니라, 그 윤곽선이 제 2 영역을 통과하고 있고, 기판의 스크라이빙을 행한 후에 얻어지는 칩 단면 또는 각부(角部)에 제 2 영역이 잔존하는 경우도 포함하는 것을 의미한다(이하 동일).
- <21> 소자영역은, 구체적으로는, 제 2 영역이 실질적으로 포함되지 않도록 그 크기 및 배치를 결정한다. 복수의 제 2 영역은, 전형적으로는 주기적으로 설치되며, 구체적으로는, 예를 들면, 육방격자형, 직사각형 격자형, 정사각형 격자형으로 설치되어 있다. 이들 두 종류 이상의 배열 패턴이 혼재해 있어도 좋다. 더욱이는, 제 2 영역이 주기적인 배열로 설치된 부분과, 제 2 영역이 규칙적이지만 주기적이 아닌 배열로 설치된 부분이 혼재해 있어도 좋다.
- <22> 소자영역은 전형적으로는 직사각형 또는 정사각형이며, 벽개(劈開)를 양호하게 행하는 등의 관점에 의해, 적합하게는 그들의 서로 대향하는 한 쌍의 변은 <1-100> 방향으로 평행하며, 다른 서로 대향하는 한 쌍의 변은 <11-20> 방향으로 평행하다.
- <23> 서로 인접하는 2개의 제 2 영역의 간격 혹은 제 2 영역의 배열주기는, 소자의 크기 등에 따라서 선택되지만, 일반적으로는, $20\mu\text{m}$ 이상 또는 $50\mu\text{m}$ 이상 또는 $100\mu\text{m}$ 이상이다. 이 제 2 영역의 간격 또는 제 2 영역의 배열주기의 상한은 반드시 명확한 것은 존재하지 않으나, 일반적으로는 $1000\mu\text{m}$ 정도이다. 이 제 2 영역은, 전형적으로는 질화물계 III-V족 화합물 반도체기판을 관통하고 있다. 또, 이 제 2 영역은 전형적으로는 부정(不定) 다각주(多角柱)형의 형상을 가진다. 제 1 영역과 제 2 영역의 사이에는, 제 1 평균전위밀도보다 높고, 또한 제 2 평균전위밀도보다 낮은 제 3 평균전위밀도를 가지는 제 3 영역이 천이영역으로서 존재하는 것도 많고, 이 경우, 가장 적합하게는, 이들 제 2 영역 및 제 3 영역이 실질적으로 포함되지 않도록 소자영역을 확정한다.
- <24> 제 2 영역의 직경은, 전형적으로는 $10\mu\text{m}$ 이상 $100\mu\text{m}$ 이하, 보다 전형적으로는 $20\mu\text{m}$ 이상 $50\mu\text{m}$ 이하이다. 또, 제 3 영역이 존재하는 경우, 그 직경은 전형적으로는 제 2 영역의 직경보다 $20\mu\text{m}$ 이상 $200\mu\text{m}$ 이하보다 크고, 보다 전형적으로는 $40\mu\text{m}$ 이상 $160\mu\text{m}$ 이하 크고, 가장 전형적으로는 $60\mu\text{m}$ 이상 $140\mu\text{m}$ 이하 크다.
- <25> 제 2 영역의 평균전위밀도는 일반적으로는 제 1 영역의 전위밀도의 5배 이상이다. 전형적으로는, 제 1 영역의 평균전위밀도는 $2 \times 10^6 \text{ cm}^{-2}$ 이하, 제 2 영역의 평균전위밀도는 $1 \times 10^8 \text{ cm}^{-2}$ 이상이다. 제 3 영역이 존재하는 경우, 그 평균전위밀도는, 전형적으로는 $1 \times 10^8 \text{ cm}^{-2}$ 보다 작고, $2 \times 10^6 \text{ cm}^{-2}$ 보다 크다.
- <26> 반도체 발광소자의 발광영역은, 평균전위밀도가 높은 제 2 영역에 의한 악영향을 방지하기 위해, 제 2 영역에서 $1\mu\text{m}$ 이상, 적합하게는 $10\mu\text{m}$ 이상, 보다 적합하게는 $100\mu\text{m}$ 이상 떨어진다. 제 3 영역이 존재하는 경우, 가장 적합하게는, 반도체 발광소자의 발광영역이 제 2 영역 및 제 3 영역을 포함하지 않도록 한다. 보다 구체적으로는, 반도체 발광소자는 반도체 레이저나 발광다이오드이지만, 전자의 반도체 레이저의 경우, 스트라이프형 전극을 통하여 구동전류가 흐르는 영역은 제 2 영역에서 적합하게는 $1\mu\text{m}$ 이상, 보다 적합하게는 $10\mu\text{m}$ 이상, 더욱 적합하게는 $100\mu\text{m}$ 이상 떨어진다. 제 3 영역이 존재하는 경우, 가장 적합하게는, 스트라이프형 전극을 통하여 구동전류가 흐르는 영역이 제 2 영역 및 제 3 영역을 포함하지 않도록 한다. 스트라이프형 전극, 즉 레이저 스트라이프의 수는 하나 또는 복수 설치하여 좋고, 그 폭도 필요에 따라서 선택할 수 있다.
- <27> 소자영역의 윤곽선은, 소자영역에 제 2 영역이 실질적으로 포함되지 않는 범위에서, 제 2 영역의 배열 패턴이나 그들 간격 혹은 배열주기 등에 따라서 기판면적을 효율적으로 사용할 수 있도록 선택되지만, 전형적으로는 서로 인접하는 적어도 2개의 제 2 영역을 연결하는 직선을 포함하도록 선택한다. 침화하기 위한 스크라이빙공정에 있어서는, 적합하게는, 이 서로 인접하는 적어도 2개의 제 2 영역을 연결하는 직선을 포함하는 윤곽선을 따라서, 질화물계 III-V족 화합물 반도체층이 성장된 질화물계 III-V족 화합물 반도체기판의 스크라이빙을 행한다. 이 스크라이빙은, 전형적으로는 벽개에 의해 행하지만, 다른 방법, 예를 들면 다이아몬드소나 레이저빔을 이용하여 행하여도 좋다. 특히 벽개에 의해 스크라이빙을 행하는 경우, 소자영역의 윤곽선에 서로 인접하는 적어도 2개의 제 2 영역을 연결하는 직선이 포함되면, 제 1 영역 보다 평균전위밀도가 높은 제 2 영역은 기

계적 강도가 제 1 영역 보다 낮기 때문에, 벽개를 용이하게 또한 양호하게 행할 수 있다는 이점이 있다. 이 것은 특히, 반도체 레이저에 있어서 양호한 공진기 단면을 얻는 경우에 유리하다. 소자영역의 윤곽선은, 제 2 영역은 하나도 통과하지 않도록 선택해도 좋다. 이 경우, 제 2 영역에 의한 악영향을 최소한으로 막기 위해, 소자영역의 윤곽선은, 적합하게는 제 2 영역에서 $1\mu\text{m}$ 이상 떨어진다. 그리고, 스크라이빙 공정에 있어서는, 이 제 2 영역에서 내측에 $1\mu\text{m}$ 이상 떨어진 윤곽선을 따라 질화물계 III-V족 화합물 반도체층이 성장된 질화물계 III-V족 화합물 반도체기판의 스크라이빙을 행한다.

- <28> 질화물계 III-V족 화합물 반도체기판 혹은 질화물계 III-V족 화합물 반도체층은, 가장 일반적으로는 $\text{Al}_x \text{B}_y \text{Ga}_{1-x-y-z} \text{In}_z \text{As}_u \text{N}_{1-u-v} \text{P}_v$ (단, $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$, $0 \leq u \leq 1$, $0 \leq v \leq 1$, $0 \leq x+y+z < 1$, $0 \leq u+v < 1$)로 이루어지며, 보다 구체적으로는 $\text{Al}_x \text{B}_y \text{Ga}_{1-x-y-z} \text{In}_z \text{N}$ (단, $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$, $0 \leq x+y+z < 1$)로 이루어지며, 전형적으로는 $\text{Al}_x \text{Ga}_{1-x-y-z} \text{In}_z \text{N}$ (단, $0 \leq x \leq 1$, $0 \leq z \leq 1$)로 이루어진다. 질화물계 III-V족 화합물 반도체기판은, 가장 전형적으로는 GaN 으로 이루어진다.
- <29> 본 발명의 제 1 발명에 관련하여 서술한 이상의 것은, 그 성질에 반하지 않는 한, 이하의 발명에 대하여도 성립하는 것이다.
- <30> 본 발명의 제 2 발명은,
- <31> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균결함밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체기판상에 발광소자 구조를 형성하는 질화물계 III-V족 화합물 반도체층을 성장시키고,
- <32> 서로 인접하는 적어도 2개의 제 2 영역을 연결하는 직선을 포함하는 윤곽선을 따라, 질화물계 III-V족 화합물 반도체층이 성장된 질화물계 III-V족 화합물 반도체기판의 스크라이빙을 행함으로써 제조된 것을 특징으로 하는 반도체 발광소자이다.
- <33> 본 발명의 제 3 발명은,
- <34> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체기판상에 발광소자 구조를 형성하는 질화물계 III-V족 화합물 반도체층이 성장된 반도체소자에 있어서,
- <35> 질화물계 III-V족 화합물 반도체기판의 단면 또는 각부(角部)에 적어도 하나의 제 2 영역이 존재하는 것을 특징으로 하는 것이다.
- <36> 본 발명의 제 4 발명은,
- <37> 제 1 평균결함밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결함밀도보다 높은 제 2 평균결함밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체 기판상에 발광소자 구조를 형성하는 질화물계 III-V족 화합물 반도체층을 성장시킴으로써 반도체 발광소자를 제조하도록 한 반도체 발광소자의 제조방법에 있어서,
- <38> 제 2 영역이 실질적으로 포함되지 않도록 질화물계 III-V족 화합물 반도체기판상에 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.
- <39> 본 발명의 제 5 발명은,
- <40> 제 1 평균결함밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결함밀도보다 높은 제 2 평균결함밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체기판상에 발광소자 구조를 형성하는 질화물계 III-V족 화합물 반도체층을 성장시키고,
- <41> 서로 인접하는 적어도 2개의 제 2 영역을 연결하는 직선을 포함하는 윤곽선을 따라, 질화물계 III-V족 화합물 반도체층이 성장된 질화물계 III-V족 화합물 반도체기판의 스크라이빙을 행함으로서 제조된 것을 특징으로 하는 반도체 발광소자이다.
- <42> 본 발명의 제 6 발명은,
- <43> 제 1 평균결함밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결함밀도보다 높은 제 2 평균결함밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체기판상에 발광소자

구조를 형성하는 질화물계 III-V족 화합물 반도체층이 성장된 반도체 발광소자에 있어서,

<44> 질화물계 III-V족 화합물 반도체기판의 단면 또는 각부에 적어도 하나의 제 2 영역이 존재하는 것을 특징으로 하는 것이다.

<45> 본 발명의 제 4, 제 5 및 제 6의 발명에 있어서, 「평균결합밀도」란, 소자의 특성이나 신뢰성 등에 악영향을 미치는 격자결합 전체의 평균밀도를 의미하고, 결함에는 전위나 적층결함이나 점 결함 등 모든 것이 포함된다 (이하 동일).

<46> 본 발명은 제 7 발명은,

<47> 결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물 III-V족 화합물 반도체기판상에 발광소자 구조를 형성하는 질화물계 III-V족 화합물 반도체층을 성장시킴으로써 반도체 발광소자를 제조하도록 한 반도체 발광소자의 제조방법에 있어서,

<48> 제 2 영역이 실질적으로 포함되지 않도록 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.

<49> 본 발명의 제 8 발명은,

<50> 결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물 III-V족 화합물 반도체기판상에 발광소자 구조를 형성하는 질화물계 III-V족 화합물 반도체층을 성장시키고,

<51> 서로 인접하는 적어도 2개의 제 2 영역을 연결하는 직선을 포함하는 윤곽선을 따라, 질화물계 III-V족 화합물 반도체층이 성장된 질화물계 III-V족 화합물 반도체기판의 스크라이빙을 행함으로써 제조된 것을 특징으로 하는 반도체 발광소자이다.

<52> 본 발명의 제 9 발명은,

<53> 결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체기판상에 발광소자 구조를 형성하는 질화물계 III-V족 화합물 반도체층이 성장된 반도체 발광소자에 있어서,

<54> 질화물계 III-V족 화합물 반도체기판의 단면 또는 각부에 적어도 하나의 제 2 영역이 존재하는 것을 특징으로 하는 것이다.

<55> 본 발명의 제 7, 제 8 및 제 9의 발명에 있어서, 전형적으로는, 결정으로 이루어지는 제 1 영역은 단결정이며, 이 제 1 영역보다 결정성이 나쁜 제 2 영역은 단결정, 다결정 혹은 비정질 또는 이들 둘 이상이 혼재한 것이다 (이하 동일). 이것은, 제 2 영역의 평균전위밀도 혹은 평균결합밀도가 제 1 영역의 평균전위밀도 혹은 평균결합밀도보다 높은 경우와 대응하는 것이다.

<56> 본 발명의 제 10 발명은,

<57> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체기판상에 소자 구조를 형성하는 질화물계 III-V족 화합물 반도체층을 성장시킴으로써 반도체 발광소자를 제조하도록 한 반도체 발광소자의 제조방법에 있어서,

<58> 제 2 영역이 실질적으로 포함되지 않도록 질화물계 III-V족 화합물 반도체기판상에 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.

<59> 본 발명의 제 11 발명은,

<60> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체기판상에 발광소자 구조를 형성하는 질화물계 III-V족 화합물 반도체층을 성장시키고,

<61> 서로 인접하는 적어도 2개의 제 2영역을 연결하는 직선을 포함하는 윤곽선을 따라, 질화물계 III-V족 화합물 반도체층이 성장된 질화물계 III-V족 화합물 반도체기판의 스크라이빙을 행함으로써 제조된 것을 특징으로 하는 반도체 발광소자이다.

<62> 본 발명의 제 12 발명은,

- <63> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 질화물계 III-V족 화합물 반도체기판상에 소자구조를 형성하는 질화물계 III-V족 화합물 반도체층을 성장된 반도체소자에 있어서,
- <64> 질화물계 III-V족 화합물 반도체기판의 단면 또는 각부에 적어도 하나의 제 2 영역이 존재하는 것을 특징으로 하는 것이다.
- <65> 본 발명의 제 10~제 12의 발명에 있어서, 반도체소자에는, 발광다이오드나 반도체 레이저와 같은 발광소자 외, 수광소자, 더욱이는 고(高)전자이동도 트랜지스터 등의 전계 효과 트랜지스터(FET)나 헤테로 접합 바이폴라 트랜지스터(HBT)와 같은 전자주행소자가 포함된다(이하 동일).
- <66> 본 발명의 제 10~제 12의 발명에 있어서, 반도체소자의 활성영역은, 평균전위밀도가 높은 제 2 영역에 의한 악영향을 방지하기 위해, 제 2 영역으로부터 적합하게는 $1\mu\text{m}$ 이상, 보다 적합하게는 $10\mu\text{m}$ 이상, 더욱 적합하게는 $100\mu\text{m}$ 이상 떨어진다. 제 3 영역이 존재하는 경우, 가장 적합하게는, 반도체소자의 활성화영역이 제 2 영역 및 제 3 영역을 포함하지 않도록 한다. 여기서, 활성영역이란, 반도체 발광소자에 있어서는 발광영역, 반도체 수광소자에 있어서는 수광영역, 전자주행소자에 있어서는 전자가 주행하는 영역을 의미한다(이하 동일).
- <67> 본 발명의 제 13 발명은,
- <68> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 반도체 기판상에 발광소자구조를 형성하는 반도체층을 성장시킴으로써 반도체 발광소자를 제조하도록 한 반도체 발광소자의 제조방법에 있어서,
- <69> 제 2 영역이 실질적으로 포함되지 않도록 반도체 기판상에 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.
- <70> 본 발명의 제 14 발명은,
- <71> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 반도체기판상에 발광소자구조를 형성하는 반도체층을 성장시키고,
- <72> 서로 인접하는 적어도 2개의 제 2영역을 연결하는 직선을 포함하는 윤곽선을 따라, 반도체층이 성장된 반도체기판의 스크라이빙을 행함으로써 제조된 것을 특징으로 하는 반도체 발광소자이다.
- <73> 본 발명의 제 15 발명은,
- <74> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 반도체기판상에 발광소자 구조를 형성하는 반도체층이 성장된 반도체 발광소자에 있어서,
- <75> 반도체기판의 단면 또는 각부에 적어도 하나의 제 2 영역이 존재하는 것을 특징으로 하는 것이다.
- <76> 본 발명의 제 16 발명은,
- <77> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 반도체기판상에 소자 구조를 형성하는 반도체층을 성장시킴으로써 반도체소자를 제조하도록 한 반도체소자의 제조방법에 있어서,
- <78> 제 2 영역이 실질적으로 포함되지 않도록 반도체기판상에 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.
- <79> 본 발명의 제 17 발명은,
- <80> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 반도체기판상에 소자 구조를 형성하는 반도체층을 성장시키고,
- <81> 서로 인접하는 적어도 2개의 제 2 영역을 연결하는 직선을 포함하는 윤곽선을 따라, 반도체층이 성장된 반도체기판의 스크라이빙을 행함으로써 제조된 것을 특징으로 하는 반도체소자이다.

- <82> 본 발명의 제 18 발명은,
- <83> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 반도체기판상에 소자구조를 형성하는 반도체층이 성장된 반도체 발광소자에 있어서,
- <84> 반도체기판의 단면 또는 각부에 적어도 하나의 제 2 영역이 존재하는 것을 특징으로 하는 것이다.
- <85> 본 발명의 제 13~제 18의 발명에 있어서, 반도체층 재료는, 질화물계 III-V족 화합물 반도체 외, 울츠(wurtzit) 광형(鑛型) 구조, 보다 일반적으로는 육방정계(六方晶系) 결정구조를 가지는 다른 반도체, 예를 들면 ZnO , $\alpha-ZnS$, $\alpha-CdS$, $\alpha-CdSe$ 등이어도 좋고, 또한 다른 결정구조를 가지는 각종 반도체이어도 좋다.
- <86> 본 발명의 제 19 발명은,
- <87> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 기판상에 소자 구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,
- <88> 제 2 영역이 실질적으로 포함되지 않도록 기판상에 소자영역을 확정하도록 한 것을 특징으로 한 것이다.
- <89> 본 발명의 제 20 발명은,
- <90> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층을 성장시키고,
- <91> 서로 인접하는 적어도 2개의 제 2 영역을 연결하는 직선을 포함하는 윤곽선을 따라, 층이 성장된 기판의 스크라이빙을 행함으로써 제조된 것을 특징으로 하는 소자이다.
- <92> 본 발명의 제 21 발명은,
- <93> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층이 성장된 소자에 있어서,
- <94> 기판의 단면 또는 각부에 적어도 하나의 제 2 영역이 존재하는 것을 특징으로 하는 것이다.
- <95> 본 발명의 제 19~21의 발명에 있어서, 소자는, 반도체소자(발광소자, 수광소자, 전자주행소자 등) 외, 압전소자, 초전(焦電)소자, 광학소자(예를 들면, 비선형 광학결정을 이용하는 제 2차 고주파 발생소자 등), 유전체소자(강유전체소자를 포함), 초전도(超傳導)소자 등이다. 이 경우, 기판 혹은 층의 재료는, 반도체소자에서는 상기와 같은 각종 반도체를 이용할 수 있고, 압전소자, 초전소자, 광학소자, 유전체소자, 초전도소자 등에서는, 예를 들면, 산화물 등의 각종 재료를 이용할 수 있다. 산화물재료에 대하여는, 예를 들면, Journal of the Society of Japan Vol. 103, No.11(1995) pp. 1099-1111 나, Materials Science and Engineering B41(1996) 166-173에 개시된 것 등, 많은 것이 있다.
- <96> 본 발명의 제 22 발명은,
- <97> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 기판상에 소자 구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 소자의 제조방법에 있어서,
- <98> 제 2 영역이 소자의 활성영역에 포함되지 않도록 기판상에 소자영역을 확정하도록 한 것을 특징으로 하는 것이다.
- <99> 본 발명의 제 23 발명은,
- <100> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층이 성장된 소자에 있어서,
- <101> 기판 내부, 단면 또는 각부에 적어도 하나의 제 2 영역이 존재하고, 또한, 제 2 영역이 소자의 활성영역에 포함

되지 않는 것을 특징으로 하는 것이다.

<102> 본 발명의 제 24 발명은,

제 1 평균결합밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결합밀도보다 높은 제 2 평균결합밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,

<104> 제 2 영역이 소자의 활성영역에 포함되지 않도록 기판상에 소자영역을 확정하도록 한 것을 특징으로 하는 것이다.

<105> 본 발명의 제 25 발명은,

<106> 제 1 평균결합밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결합밀도보다 높은 제 2 평균결합밀도를 가지는 복수의 제 2 영역이 규칙적으로 배열되어 있는 기판상에 소자 구조를 형성하는 층이 성장된 반도체 발광소자에 있어서,

<107> 기판의 내부, 단면 또는 각부에 적어도 하나의 제 2 영역이 존재하고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않는 것을 특징으로 하는 것이다.

<108> 본 발명의 제 26 발명은,

<109> 결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 복수의 제 2 영역이 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,

<110> 제 2 영역이 소자의 활성화영역에 포함되지 않도록 소자영역을 확정하도록 한 것을 특징으로 하는 것이다.

<111> 본 발명의 제 27 발명은,

<112> 결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 복수의 제 2 영역이 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층이 성장된 소자에 있어서,

<113> 기판의 내부, 단면 또는 각부에 적어도 하나의 제 2 영역이 존재하고, 또한 제 2 영역이 소자의 활성화영역에 포함되지 않는 것을 특징으로 하는 것이다.

<114> 본 발명의 제 28 발명은,

<115> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 제 1 방향으로 제 1 간격으로 규칙적으로 배열되고, 제 1 방향과 직교하는 제 2 방향으로 제 1 간격보다 작은 제 2 간격으로 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,

<116> 제 2 방향의 제 2 영역의 열(列)이 실질적으로 7개 이상 포함되지 않고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않도록 기판상에 소자영역을 확정하도록 한 것을 특징으로 한 것이다.

<117> 본 발명의 제 29 발명은,

<118> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 제 1 방향으로 제 1 간격으로 규칙적으로 배열되고, 제 1 방향과 직교하는 제 2 방향으로 제 1 간격보다 작은 제 2 간격으로 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층이 성장된 소자에 있어서,

<119> 기판에 제 2 방향의 제 2 영역의 열이 실질적으로 7개 이상 포함되지 않고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않는 것을 특징으로 하는 것이다.

<120> 본 발명의 제 30 발명은,

<121> 제 1 평균결합밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결합밀도보다 높은 제 2 평균결합밀도를 가지는 복수의 제 2 영역이 제 1 방향으로 제 1 간격으로 규칙적으로 배열되고, 제 1 방향과 직교하는 제 2 방향으로 제 1 간격보다 작은 제 2 간격으로 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,

<122> 제 2 방향의 제 2 영역의 열이 실질적으로 7개 이상 포함되지 않고, 또한, 제 2 영역이 소자의 활성영역에 포함

되지 않도록 기판상에 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.

<123> 본 발명의 제 31 발명은,

제 1 평균결합밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결합밀도보다 높은 제 2 평균결합밀도를 가지는 복수의 제 2 영역이 제 1 방향으로 제 1 간격으로 규칙적으로 배열되고, 제 1 방향과 직교하는 제 2 방향으로 제 1 간격보다 작은 제 2 간격으로 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 충이 성장된 소자에 있어서,

<125> 기판에 제 2 방향의 2 영역의 열이 실질적으로 7개 이상 포함되지 않고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않는 것을 특징으로 하는 것이다.

<126> 본 발명의 제 32 발명은,

결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 복수의 제 2 영역이 제 1 방향으로 제 1 간격으로 규칙적으로 배열되고, 제 1 방향과 직교하는 제 2 방향으로 제 1 간격보다 작은 제 2 간격으로 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 충을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,

<128> 제 2 방향의 제 2 영역의 열이 실질적으로 7개 이상 포함되지 않고, 또한, 제 2 영역이 소자의 활성화영역에 포함되지 않도록 기판상에 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.

<129> 본 발명의 제 33 발명은,

결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 복수의 제 2 영역이 제 1 방향으로 제 1 간격으로 규칙적으로 배열되고, 제 1 방향과 직교하는 제 2 방향으로 제 1 간격보다 작은 제 2 간격으로 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 충이 성장된 소자에 있어서,

<131> 기판에 제 2 방향의 제 2 영역의 열이 실질적으로 7개 이상 포함되지 않고, 또한, 제 2 영역이 소자의 활성화영역에 포함되지 않는 것을 특징으로 하는 것이다.

<132> 본 발명의 제 34 발명은,

제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 제 1 방향으로 제 1 간격으로 규칙적으로 배열되고, 제 1 방향과 직교하는 제 2 방향으로 제 1 간격보다 작은 제 2 간격으로 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 충을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,

<134> 제 1 간격이 $50\mu\text{m}$ 이상이며, 제 2 방향의 제 2 영역의 열이 1개 이상 포함되고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않도록 기판상에 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.

<135> 본 발명의 제 35 발명은,

제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 복수의 제 2 영역이 제 1 방향으로 제 1 간격으로 규칙적으로 배열되고, 제 1 방향과 직교하는 제 2 방향으로 제 1 간격보다 작은 제 2 간격으로 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 충이 성장된 소자에 있어서,

<137> 제 1 간격이 $50\mu\text{m}$ 이상이며, 제 2 방향의 제 2 영역의 열이 1개 이상 포함되고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않는 것을 특징으로 하는 것이다.

<138> 본 발명의 제 36 발명은,

제 1 평균결합밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결합밀도보다 높은 제 2 평균결합밀도를 가지는 복수의 제 2 영역이 제 1 방향으로 제 1 간격으로 규칙적으로 배열되고, 제 1 방향과 직교하는 제 2 방향으로 제 1 간격보다 작은 제 2 간격으로 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 충을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,

<140> 제 1 간격이 $50\mu\text{m}$ 이상이며, 제 2 방향의 제 2 영역의 열이 1개 이상 포함되고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않도록 기판상에 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.

<141> 본 발명의 제 37 발명은,

- <142> 제 1 평균결합밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결합밀도보다 높은 제 2 평균결합밀도를 가지는 복수의 제 2 영역이 제 1 방향으로 제 1 간격으로 규칙적으로 배열되고, 제 1 방향과 직교하는 제 2 방향으로 제 1 간격보다 작은 제 2 간격으로 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층이 성장된 소자에 있어서,
- <143> 제 1 간격이 50 μm 이상이며, 기판에 제 2 방향의 제 2 영역의 열이 1개 이상 포함되고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않는 것을 특징으로 하는 것이다.
- <144> 본 발명의 제 38 발명은,
- <145> 결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 복수의 제 2 영역이 제 1 방향으로 제 1 간격으로 규칙적으로 배열되고, 제 1 방향과 직교하는 제 2 방향으로 제 1 간격보다 작은 제 2 간격으로 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,
- <146> 제 1 간격이 50 μm 이상이며, 제 2 방향의 제 2 영역의 열이 1개 이상 포함되고, 또한, 제 2 영역이 소자의 활성화영역에 포함되지 않도록 기판상에 소자영역을 확정하도록 한 것을 특징으로 하는 것이다.
- <147> 본 발명의 제 39 발명은,
- <148> 결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 복수의 제 2 영역이 제 1 방향으로 제 1 간격으로 규칙적으로 배열되고, 제 1 방향과 직교하는 제 2 방향으로 제 1 간격보다 작은 제 2 간격으로 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층이 성장된 소자에 있어서,
- <149> 제 1 간격이 50 μm 이상이며, 기판에 제 2 방향의 제 2 영역의 열이 1개 이상 포함되고, 또한, 제 2 영역이 소자의 활성화영역에 포함되지 않는 것을 특징으로 하는 것이다.
- <150> 본 발명의 제 40 발명은,
- <151> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 직선상태로 연재(延在)하는 복수의 제 2 영역이 서로 평행하게 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,
- <152> 제 2 영역이 실질적으로 7개 이상 포함되지 않고, 또한 제 2 영역이 소자의 활성영역에 포함되지 않도록 기판상에 소자영역을 확정하도록 한 것을 특징으로 하는 것이다.
- <153> 본 발명의 제 41 발명은,
- <154> 제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 직선상태로 연재하는 복수의 제 2 영역이 서로 평행하게 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층이 성장된 소자에 있어서,
- <155> 기판에 제 2 영역이 실질적으로 7개 이상 포함되지 않고, 또한 제 2 영역이 소자의 활성영역에 포함되지 않는 것을 특징으로 하는 것이다.
- <156> 본 발명의 제 42 발명은,
- <157> 제 1 평균결합밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결합밀도보다 높은 제 2 평균결합밀도를 가지는 직선상태로 연재하는 복수의 제 2 영역이 서로 평행하게 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,
- <158> 제 2 영역이 실질적으로 7개 이상 포함되지 않고, 또한 제 2 영역이 소자의 활성영역에 포함되지 않도록 기판상에 소자영역을 확정하도록 한 것을 특징으로 하는 것이다.
- <159> 본 발명의 제 43 발명은,
- <160> 제 1 평균결합밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결합밀도보다 높은 제 2 평균전위밀도를 가지는 직선상태로 연재하는 복수의 제 2 영역이 서로 평행하게 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층이 성장된 소자에 있어서,
- <161> 기판에 제 2 영역이 실질적으로 7개 이상 포함되지 않고, 또한 제 2 영역이 소자의 활성영역에 포함되지 않는

것을 특징으로 하는 것이다.

<162> 본 발명의 제 44 발명은,

결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 직선상태로 연재하는 복수의 제 2 영역이 서로 평행하게 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,

<164> 제 2 영역이 실질적으로 7개 이상 포함되지 않고, 또한 제 2 영역이 소자의 활성영역에 포함되지 않도록 기판상에 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.

<165> 본 발명의 제 45 발명은,

결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 직선상태로 연재하는 복수의 제 2 영역이 서로 평행하게 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층이 성장된 소자에 있어서,

<167> 기판에 제 2 영역이 실질적으로 7개 이상 포함되지 않고, 또한 제 2 영역이 소자의 활성영역에 포함되지 않는 것을 특징으로 하는 것이다.

<168> 본 발명의 제 46 발명은,

제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 직선상태로 연재하는 복수의 제 2 영역이 서로 평행하게 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,

<170> 제 2 영역의 간격이 $50\mu\text{m}$ 이상이며, 제 2 영역이 1개 이상 포함되고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않도록 기판상에 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.

<171> 본 발명의 제 47 발명은,

제 1 평균전위밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균전위밀도보다 높은 제 2 평균전위밀도를 가지는 직선상태로 연재하는 복수의 제 2 영역이 서로 평행하게 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층이 성장된 소자에 있어서,

<173> 제 2 영역의 간격이 $50\mu\text{m}$ 이상이며, 기판에 제 2 영역이 1개 이상 포함되고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않는 것을 특징으로 하는 것이다.

<174> 본 발명의 제 48 발명은,

<175> 제 1 평균결합밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결합밀도보다 높은 제 2 평균결합밀도를 가지는 직선상태로 연재하는 복수의 제 2 영역이 서로 평행하게 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,

<176> 제 2 영역의 간격이 $50\mu\text{m}$ 이상이며, 제 2 영역이 1개 이상 포함되고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않도록 기판상에 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.

<177> 본 발명의 제 49 발명은,

<178> 제 1 평균결합밀도를 가지는 결정으로 이루어지는 제 1 영역 내에 제 1 평균결합밀도보다 높은 제 2 평균결합밀도를 가지는 직선상태로 연재하는 복수의 제 2 영역이 서로 평행하게 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층이 성장된 소자에 있어서,

<179> 제 2 영역의 간격이 $50\mu\text{m}$ 이상이며, 기판에 제 2 영역이 1개 이상 포함되고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않는 것을 특징으로 하는 것이다.

<180> 본 발명의 제 50 발명은,

<181> 결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 직선상태로 연재하는 복수의 제 2 영역이 서로 평행하게 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층을 성장시킴으로써 소자를 제조하도록 한 소자의 제조방법에 있어서,

<182> 제 2 영역의 간격이 $50\mu\text{m}$ 이상이며, 제 2 영역이 1개 이상 포함되고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않도록 기판상에 소자영역을 획정하도록 한 것을 특징으로 하는 것이다.

- <183> 본 발명의 제 51 발명은,
- <184> 결정으로 이루어지는 제 1 영역 내에 이 제 1 영역보다 결정성이 나쁜 직선상태로 연재하는 복수의 제 2 영역이 서로 평행하게 규칙적으로 배열되어 있는 기판상에 소자구조를 형성하는 층이 성장된 소자에 있어서,
- <185> 제 2 영역의 간격이 $50\mu\text{m}$ 이상이며, 기판에 제 2 영역이 1개 이상 포함되고, 또한, 제 2 영역이 소자의 활성영역에 포함되지 않는 것을 특징으로 하는 것이다.
- <186> 본 발명의 제 22~27의 발명에 있어서는, 그 성질에 반하지 않는 한, 본 발명의 제 1~21의 발명에 관계하여 서술한 것이 성립한다.
- <187> 본 발명의 제 28~33, 제 40~45의 발명에 있어서, 제 1 방향의 제 2 영역의 간격(제 1 간격) 또는 직선상태로 연재하는 제 2 영역의 간격은, 본 발명의 제 1 발명에 관련하여 서술한 제 2 영역의 간격 또는 제 2 영역의 배열간격과 동일하다. 본 발명의 제 34~39의 발명에 있어서, 제 1 방향의 제 2 영역의 간격(제 1 간격) 또는 직선상태로 연재하는 제 2 영역의 간격은, 하한이 $50\mu\text{m}$ 인 것을 제외하고, 본 발명의 제 1 발명에 관련하여 서술한 제 2 영역의 간격 또는 제 2 영역의 배열간격과 동일하다. 본 발명의 제 28~39의 발명에 있어서, 제 2 방향의 제 2 영역의 간격은, 기본적으로는 제 1 간격보다 작은 범위에서 자유롭게 선택할 수 있으며, 제 2 영역의 크기에도 의하면, 일반적으로는 $10\mu\text{m}$ 이상 $1000\mu\text{m}$ 이하, 전형적으로는 $20\mu\text{m}$ 이상 $200\mu\text{m}$ 이하이다.
- <188> 본 발명의 제 28~33, 제 40~45의 발명에 있어서, 제 2 방향의 제 2 영역의 열 또는 직선상태로 연재하는 제 2 영역의 수의 상한을 7개로 한 것은, 제 2 방향의 제 2 영역의 열 또는 직선상태로 연재하는 제 2 영역의 간격에 의해서는, 소자의 칩 사이즈와의 관계에서 소자영역에 7개 정도 포함되는 것도 있을 수 있는 것을 고려한 것이다. 이 제 2 방향의 제 2 영역의 열 또는 직선상태로 연재하는 제 2 영역의 수는, 일반적으로 칩 사이즈가 작은 반도체 발광소자에서는, 전형적으로는 3개 이하이다.
- <189> 본 발명의 제 22~51의 발명에 있어서는, 상기 이외의 것은, 그 성질에 반하지 않는 한, 본 발명의 제 1~21의 발명에 관련하여 서술한 것이 성립한다.
- <190> 상술한 바와 같이 구성된 본 발명에 있어서는, 제 1 영역보다 평균전위밀도가 높고, 혹은 평균결합밀도가 높고, 혹은 결정성이 나쁜 제 2 영역이 실질적으로 포함되지 않도록, 혹은 제 2 영역이 소자의 활성영역에 포함되지 않도록 질화물계 III-V족 화합물 반도체기판, 혹은 반도체기판, 혹은 기판상에 소자영역을 확정하도록 하고 있으므로, 발광소자구조 혹은 소자구조를 형성하는 질화물계 III-V족 화합물 반도체층, 혹은 반도체층, 혹은 각종 재료로 이루어지는 층에 제 2 영역으로부터 전위 등의 결함이 전파해도, 기판의 스크라이빙에 의해 얻어지는 칩에는 전위 등의 결함이 거의 존재하지 않도록 할 수 있다.

실시예

- <236> 이하, 본 발명의 실시형태에 대하여 도면을 참조하면서 설명한다. 또한, 실시형태의 전도면에 있어서, 동일 또는 대응하는 부분에는 동일의 부호를 붙인다.
- <237> 이하의 실시의 형태에 있어서는, 도 1a에 나타내는 바와 같이, 어떤 결정으로 이루어지는 영역(A) 중에, 그 결과는 결정성이 다른 영역(B)이 주기적으로 섬 모양으로 배열되어 있는 것을 기판으로 하고, 그 위에 반도체소자를 형성하는 경우에 대하여 설명한다. 영역(B)은 기판을 관통하고 있다. 또, 영역(B)은, 영역(A) 보다도 결정성이 나쁘고, 보다 많은 결정결함을 포함하고 있는 것으로 한다. 도 1b에, 영역(B)의 최근접 방향의 단면도를 나타낸다. 여기서, 영역(B)은, 부정(不定) 다각주(多角柱)형의 형상을 가지는 것이 일반적이나, 도 1a에 있어서는, 간략화하여 원주형상으로 하고 있다(이하 동일). 반도체 레이저를 제조하는데에는, 이 기판상에, 예를 들면, 유기금속화학 기상성장(MOCVD), 하이드라이드 기상 에피택셜 성장 또는 하라이드 기상 에피택셜 성장(HVPE) 등에 의해, 소자구조를 형성하는 반도체층을 순차성장시킨다. 그 후, 전극 등의 필요한 프로세스를 실행하고, 또한 기판 및 그 위의 반도체층의 스크라이빙을 벽개 등에 의해 행하고 침화함으로써, 반도체소자를 제조한다.
- <238> 이 때, 기초기판의 결정결함은 그 위에 성장되는 반도체층에도 전파하기 때문에, 영역(B)이 포함되어 있는 소자영역에 형성되는 반도체소자는 그 결함의 영향을 받아 특성이 떨어지게 된다. 예를 들면, 발광다이오드나 반도체 레이저의 경우는, 발광영역에 결함이 존재하면, 발광특성이거나 신뢰성이 현저히 손상된다. 그래서, 발광영역, 보다 일반적으로는 활성영역이 영역(B)에 의한 악영향을 받지 않도록, 이하와 같은 방법을 취한다.
- <239> (1) 소자 사이즈를 영역(B)이 존재하는 주기에 맞추어 설계한다.

- <240> 예를 들면, 도 2에 나타내는 바와 같이, 영역(B)이 육방격자상태로 등간격으로 주기적으로 배열되어 있고, 최근접의 영역(B)의 중심끼리의 간격이 $400\mu\text{m}$ 인 경우, 소자영역을 $400\mu\text{m} \times 346\mu\text{m}$ 의 직사각형으로 한다. 이 $346\mu\text{m}$ 이라는 수치는 $400\mu\text{m} \times (3^{1/2}/2)$ 이다.
- <241> (2) 소자영역이 실질적으로 영역(B) 상에 형성되지 않도록, 바꾸어 말하면 소자영역이 실질적으로 영역(B)을 포함하지 않도록, 그 기판상에 있어서의 소자영역의 배치를 결정한다.
- <242> 예를 들면, 도 3에 있어서 파선으로 나타내는 선에 따라 기판의 스크라이빙을 행함으로써, $400\mu\text{m} \times 346\mu\text{m}$ 의 직사각형인 소자영역을 분리하여 칩화한다. 이와 같이 함으로써, 영역(B)은 각 칩, 즉 각 반도체소자의 단면 및 각부에만 존재하게 된다.
- <243> (3) 소자내부의 활성영역이 영역(B) 상에 형성되지 않도록, 소자에 있어서의 활성영역의 위치를 설계한다.
- <244> 예를 들면, 반도체 레이저의 경우, 발광영역은 스트라이프형의 형상인 경우가 많으므로, 그 스트라이프가 영역(B) 상에 형성되지 않도록 반도체 레이저의 구조를 설계한다. 도 4에, 그와 같은 스트라이프 위치의 일례를 나타낸다.
- <245> 이상의 (1)~(3)에 서술한 방법에 의하여, 결함이 많은 영역(B)의 영향을 의도적으로 회피하는 배치에 각 소자영역을 배치할 수 있다.
- <246> 상기의 것에 부과하여, 특히 반도체 레이저의 경우에는, 발광영역의 공진기(共振器) 단면이 영역(B) 상에 형성되지 않도록 소자영역이나 소자구조의 설계를 행한다.
- <247> 반도체 레이저에서는 칩의 단면을 공진기 단면으로서 이용하므로, 도 5에 나타내는 바와 같이 그 공진기의 미러로 되는 부분이 결정결함이 많은 영역(B) 상에 형성되면, 레이저의 특성이 손상되어 버린다. 이 때문에, 영역(B) 상에는 공진기의 미러부가 형성되지 않도록, 발광영역의 위치나 기판상에 있어서의 소자영역의 배치를 설계한다.
- <248> 또한, 상기의 (1)에 있어서, $400\mu\text{m} \times 346\mu\text{m}$ 의 직사각형이라는 것은 일례이며, 소자의 사이즈나 형상은, (2) 및 (3)에 서술한 조건이 만족하도록 선택되면 된다.
- <249> 이어서, 본 발명의 제 1 실시형태에 대하여 설명한다. 이 제 1 실시형태에 있어서는, 평균전위밀도가 낮은 결정으로 이루어지는 영역(A) 내에 평균전위밀도가 높은 결정으로 이루어지는 영역(B)이 규칙적으로 배열되어 있는 GaN 기판상에 GaN계 반도체층을 성장시켜서 GaN계 반도체 레이저를 형성하는 경우에 대하여 설명한다.
- <250> 도 6은 이 제 1 실시형태에 있어서 이용하는 GaN기판을 나타내는 평면도이다. 이 GaN기판(1)의 사시도 및 단면도는 도 1a 및 도 1b와 동일하다. 이 GaN기판(1)은 n형에서 (0001)면(C면) 방위이다. 단, GaN기판(1)은 R면, A면 또는 M면 방위의 것이어도 좋다. 이 GaN기판(1)에 있어서는, 평균전위밀도가 낮은 결정으로 이루어지는 영역(A) 내에 평균전위밀도가 높은 결정으로 이루어지는 영역(B)이 육방격자상태로 주기적으로 배열되어 있다. 이 경우, 최근접의 영역(B)끼리를 연결하는 직선은 GaN의 <1-100> 방향 및 그것과 등가인 방향과 일치하고 있다. 단, 최근접의 영역(B)끼리를 연결하는 직선을 GaN의 <11-20> 방향 및 그것과 등가인 방향과 일치하도록 해도 좋다. 영역(B)은 GaN기판(1)을 관통하고 있다. 이 GaN기판(1)의 두께는, 예를 들면, 200~600 μm 이다. 또한, 도 6의 파선은 영역(B)의 상대적인 위치관계를 나타내기 위한 것일 뿐이며, 실재하는(물리적인 의미가 있는) 선은 아니다(이하 동일).
- <251> 영역(B)의 배열주기(가장 근방의 영역(B)의 중심끼리의 간격)는, 예를 들면, $400\mu\text{m}$, 그 직경은, 예를 들면, 20 μm 이다. 또, 영역(A)의 평균전위밀도는, 예를 들면, $2 \times 10^6 \text{ cm}^{-2}$, 영역(B)의 평균전위밀도는, 예를 들면, $1 \times 10^8 \text{ cm}^{-2}$ 이다. 영역(B)의 중심에서 반경방향의 전위밀도의 분포의 일례를 도 7에 나타낸다.
- <252> 이 GaN기판(1)은, 결정성장기술을 이용하여, 예를 들면, 다음과 같이 하여 제조할 수 있다.
- <253> 이 GaN기판(1)의 제조에 이용하는 기본적인 결정성장 메커니즘은, 파세트면으로 이루어지는 사면(斜面)을 가지고 성장시켜, 그 파세트면 사면을 유지하고 성장시키는 것으로 전위(轉位)를 전파시키고, 소정 위치에 집합시키는 것이다. 이 파세트면에 의해 성장한 영역은, 전위의 이동에 의해 저밀도의 결합영역이 된다. 그 파세트면 사면 하부에는, 명확한 경계를 가진 고밀도의 결합영역을 가지고 성장이 행해지며, 전위는 고밀도의 결합영역의 경계 혹은 그 내부에 집합하고, 여기서 소멸 혹은 축적한다.
- <254> 이 고밀도의 결합영역의 형상에 따라, 파세트면의 형상도 다르다. 결합영역이 도트형인 경우는, 그 도트를

바닥(底)으로 하고 패세트면이 둘러싸서 패세트면으로 이루어지는 피트를 형성한다. 또, 결합영역이 스트라이프형인 경우는, 스트라이프를 밑바닥(谷底)으로 하여 그 양측에 패세트면 사면을 가지고 가로로 누운 삼각형의 프리즘모양의 패세트면이 된다.

<255> 그 후, 성장층 표면에 연삭, 연마를 실시함으로써, 표면을 평탄화하고, 기판으로서 사용할 수 있는 형태로 할 수 있다.

<256> 또, 상기의 고밀도의 결합영역은, 몇개의 상태가 있을 수 있다. 예를 들면, 다결정으로 이루어지는 경우가 있다. 또, 단결정이지만 주변의 저밀도 결합영역에 대하여 C축이 반전하고 있는 경우도 있다. 이렇게 하여, 이 고밀도 결합영역은 명확한 경계를 가지고 있고, 주변과 구별된다.

<257> 이 고밀도결합영역을 가지고 성장시킴으로써, 그 주변의 패세트면을 채워 넣지 않고, 패세트면을 유지하고 성장을 진행할 수 있다.

<258> 이 고밀도결합영역은, 기초기판상에 GaN을 결정성장시킬 때, 고밀도결합영역을 형성하는 장소에 씨앗(種)을 미리 형성하여 둑으로써, 발생시킬 수 있다. 그 씨앗으로서는 비정질 혹은 다결정의 층을 형성한다. 그 위에서 GaN을 성장시키는 것으로, 정확히 그 씨앗의 영역에 고밀도 결합영역을 형성할 수 있다.

<259> 이 GaN기판(1)의 구체적인 제조방법은 다음과 같다. 먼저, 기초기판을 준비한다. 이 기초기판으로서는 여러 가지의 기판을 이용할 수 있고, 일반적인 사파이어기판이라도 좋지만, 후공정에서 제거하는 것을 고려하면 제거하기 쉬운 GaAs기판 등을 이용하는 것이 바람직하다. 그리고, 이 기초기판상에, 예를 들면, SiO_2 막으로 이루어지는 씨앗을 형성한다. 이 씨앗의 형상은, 예를 들면, 도트형 또는 스트라이프형으로 할 수 있다. 이 씨앗은 규칙적으로, 다수 개 형성할 수 있다. 보다 구체적으로는, 이 경우, 씨앗은 도 6에 나타내는 영역(B)의 배치에 대응한 배치로 형성한다. 그 후, 예를 들면 하이드라이드 기상 에피택시(HVPE)에 의해, GaN을 후막(厚膜) 성장시킨다. 성장 후, GaN의 후막층의 표면에는, 씨앗의 패턴형상에 따른 패세트면이 형성된다. 이 제 1 실시의 형태와 같이 씨앗이 도트형의 패턴인 경우는, 패세트면으로 이루어지는 피트가 규칙적으로 형성된다. 한편, 씨앗이 스트라이프형의 패턴인 경우는, 프리즘형의 패세트면이 형성된다.

<260> 그 후, 기초기판을 제거하고, 또한, GaN의 후막층을 연쇄가공하고, 연마가공하여 표면을 평탄화한다. 이것에 의하여, GaN기판(1)을 제조할 수 있다. 여기서, GaN기판(1)의 두께는 자유로 설정할 수 있다.

<261> 이와 같이 하여 제조된 GaN기판(1)은, C면이 주면이며, 그 중에, 소정 사이즈의 도트형(혹은 스트라이프형)의 고밀도결합영역, 즉 영역(B)이 규칙적으로 형성된 기판으로 되어 있다. 영역(B) 이외의 단결정영역, 즉 영역(A)은, 영역(B)에 비하여 저전위밀도로 되어 있다.

<262> 이 제 1 실시형태에 있어서는, 도 6에 나타내는 GaN기판(1)상에, 도 7에 나타내는 바와 같은 형상 및 배치로 소자영역(2)(두꺼운 실선으로 둘러싸인 한 구획)을 확정한다. 그리고, GaN기판(1)상에 레이저구조를 형성하는 GaN계 반도체층을 성장시키고, 레이저 스트라이프의 형성, 전극의 형성 등의 필요한 프로세스를 실행하여 레이저구조를 형성한 뒤, 소자영역의 윤곽선을 따라 레이저구조가 형성된 GaN기판(1)의 스크라이빙을 행함으로써 개개의 GaN계 반도체레이저칩으로 분리한다.

<263> 도 8에 있어서는, 회색의 직사각형이 하나의 GaN계 반도체 레이저를 나타내고, 그 중앙부근에 그려진 직선이 레이저 스트라이프(3)이며, 이것이 발광영역의 위치에 상당한다. 더욱이, 그들이 연결된 파선으로 그려진 직사각형이 레이저바(4)를 나타내고 있고, 이 레이저바(4)의 긴 변이 공진기 단면에 상당한다.

<264> 도 8에 나타내는 예에 있어서는, GaN계 반도체 레이저의 사이즈가, 예를 들면, $600\mu\text{m} \times 346\mu\text{m}$ 이며, 가로방향(긴 변 방향)은 영역(B)을 연결하는 직선을 따라, 세로방향(짧은 변 방향)은 영역(B)을 통과하지 않는 직선을 따라, 각각 기판의 스크라이빙을 행함으로써 그 사이즈의 GaN계 반도체 레이저로 분리한다.

<265> 이 경우, 영역(B)은 각 GaN계 반도체 레이저의 긴 변의 단면부분에만 존재하게 되므로, 레이저 스트라이프(3)가 짧은 변의 중점끼리를 연결하는 직선 근방에 위치하도록 소자의 설계를 행함으로써, 영역(B)의 영향이 발광영역에 미치는 것을 피할 수 있다.

<266> 공진기의 미러에 대해서는, 도 8중 세로방향의 직선을 따라서, 벽개 등에 의해 기판의 스크라이빙을 행함으로써 단면에 형성되지만, 그 직선이 영역(B)을 통과하지 않으므로, 영역(B)에 있어서의 전위의 영향을 받지 않는다. 따라서, 발광특성이 좋고, 신뢰성이 높은 GaN계 반도체 레이저를 얻을 수 있다.

<267> GaN계 반도체 레이저의 구체적인 구조 및 제조 프로세스의 일례를 들면, 다음과 같다. 여기서는, 럿지구조

및 SCH(Separate Confinement Heterostructure)구조를 가지는 GaN계 반도체 레이저에 대하여 설명한다.

<268> 즉, 도 9에 나타내는 바와 같이, 우선, GaN계 반도체기판(1)의 표면을 서멀클리닝등에 의해 청정화한 뒤, 그 위에 MOCVD법에 의해, n형 GaN버퍼층(5), n형 AlGaN그래드층(6), n형 GaN광도파층, 언도프의 $_{1-x}^{Ga}In_xN/Ga_{1-y}In_yN$ 다중(多重) 양자(量子) 정호(井戸)구조의 활성층(8), 언도프 InGaN 열화방지층(9), p형 AlGaN캡층(10), p형 GaN 광도파층(11), p형 AlGaN 그래드층(12) 및 p형 콘택트층(13)을 순차 예피택셜 성장시킨다.

<269> 여기서, n형 GaN버퍼층(5)은 두께가, 예를 들면, $0.05\mu m$ 이며, n형 불순물로서, 예를 들면, Si가 도프되어 있다. n형 AlGaN 그래드층(6)은 두께가, 예를 들면, $1.0\mu m$ 이며, n형 불순물로서, 예를 들면, Si가 도프되고, Al조성은, 예를 들면, 0.08이다. n형 GaN 광도파층(7)은 두께가, 예를 들면, $0.1\mu m$ 이며, n형 불순물로서, 예를 들면, Si가 도프되어 있다. 언도프 $_{x}^{In}Ga_{1-x}N/In_yGa_{1-y}N$ 다중양자 정호(井戸)구조의 활성층(8)은, 예를 들면, 정호층으로서의 $_{x}^{In}Ga_{1-x}N$ 층의 두께가 $3.5nm$ 에서 $x=0.14$, 장벽층으로서의 $_{y}^{In}Ga_{1-y}N$ 층의 두께가 $7nm$ 에서 $y=0.02$, 정호수가 3이다.

<270> 언도프(InGaN) 열화방지층(9)은, 활성층(8)에 접하고 있는 면에서 p형 AlGaN캡층(9)에 접하고 있는 면을 향하여 In 조성이 서서히 단조 감소하는 그레이드 구조를 가지고, 활성층(8)에 접하고 있는 면에 있어서의 In 조성은 활성층(8)의 장벽층으로서의 $_{y}^{In}Ga_{1-y}N$ 층의 In 조성 y와 일치하고 있고, p형 AlGaN 캡층(10)에 접하고 있는 면에 있어서의 In조성은 0으로 되어 있다. 이 언도프(InGaN) 열화방지층(9)의 두께는, 예를 들면, $20nm$ 이다.

<271> p형 AlGaN 캡층(10)은 두께가, 예를 들면, $10nm$ 이며, p형 불순물로서, 예를 들면, 마그네슘(Mg)이 도프되어 있다. 이 p형 AlGaN 캡층(10)의 Al조성은, 예를 들면, 0.2이다. 이 p형 AlGaN 캡층(10)은, p형 GaN 광도파층(11), p형 AlGaN 그래드층(12) 및 p형 GaN 콘택트층(13)의 성장시에 활성층(8)에서 In 이탈하여 열화하는 것을 방지하는 동시에, 활성층(8)으로부터의 캐리어층(전자)의 오버플로를 방지하기 위한 것이다. p형 GaN광도파층(11)은 두께가, 예를 들면, $0.1\mu m$ 이며, p형 불순물로서, 예를 들면, Mg가 도프되어 있다. p형 AlGaN 그래드층(12)은 두께가, 예를 들면, $0.5\mu m$ 이며, p형 불순물로서, 예를 들면, Mg가 도프되며, Al조성은, 예를 들면, 0.08이다. p형 GaN 콘택트층(13)은 두께가, 예를 들면, $0.1\mu m$ 이며, p형 불순물로서, 예를 들면, Mg가 도프되어 있다.

<272> 또, In을 포함하지 않은 층인 n형 GaN 버퍼층(5), n형 AlGaN 그래드층(6), n형 GaN 광도파층(7), p형 AlGaN 캡층(10), p형 GaN 광도파층(11), p형 AlGaN 그래드층(12) 및 p형 GaN 콘택트층(13)의 성장온도는, 예를 들면, $1000^{\circ}C$ 정도로 하고, In을 포함하는 층인 $_{1-x}^{Ga}In_xN/Ga_{1-y}In_yN$ 다중양자 정호구조의 활성층(8)의 성장온도는, 예를 들면, $700\sim800^{\circ}C$, 예를 들면, $730^{\circ}C$ 로 한다. 언도프 InGaN 열화방지층(9)의 성장온도는, 성장개시 시점은 활성층(8)의 성장온도와 같이, 예를 들면, $730^{\circ}C$ 로 설정하고, 그 후, 예를 들면, 직선적으로 상승시키고, 성장종료시점에서 p형 AlGaN 캡층(10)의 성장온도와 같이, 예를 들면, $835^{\circ}C$ 가 되도록 한다.

<273> 이들 GaN계 반도체층의 성장원료는, 예를 들면, Ga원료로서는 트리메틸갈륨($(CH_3)_3Ga$, TMG), Al의 원료로서는 트릴메틸알루미늄($(CH_3)_3Al$, TMA), In의 원료로서는 트리메틸인듐($(CH_3)_3In$, TMI)을, N의 원료로서는 NH_3 를 이용한다. 또, 캐리어 가스로서는, 예를 들면, H_2 를 이용한다. 도편트(dopant)에 대하여는, n형 도편트로서는, 예를 들면, 모노실란(SiH_4), p형 도편트로서는, 예를 들면, 비스=메틸시크로펜타디에닐마그네슘($(CH_3C_5H_4)_2Mg$), 또는 비스=시크로펜타디에닐마그네슘($(C_5H_5)_2Mg$)을 이용한다.

<274> 다음으로, 상술과 같이 하여 GaN계 반도체층을 성장시킨 GaN기판(1)을 MOCVD장치에서 인출한다. 그리고, p형 GaN 콘택트층(13)의 전면에, 예를 들면, CVD법, 진공증착법, 스퍼터링법 등에 의해, 예를 들면, 두께가 $0.1\mu m$ 의 SiO_2 막(도시하지 않음)을 형성한 후, 이 SiO_2 막 상에 리소그래피에 의해 럿지부의 형상에 대응한 소정 형상의 레지스트 패턴(도시하지 않음)을 형성하고, 이 레지스트 패턴을 마스크로 하여, 예를 들면, 플루오르화수소산계의 에칭액을 이용한 웨이트에칭, 또는 CF_4 나 CHF_3 등의 불소를 포함하는 에칭가스를 이용한 RIE법에 의해 SiO_2 막을 에칭하고, 럿지부에 대응하는 형상으로 한다.

<275> 다음으로, 이 SiO_2 막을 마스크로 하여 RIE법에 의해 p형 AlGaN 그래드층(12)의 두께방향의 소정의 깊이까지 에칭을 행함으로써, 도 10에 나타내는 바와 같이, <1-100> 방향으로 연재하는 럿지(14)를 형성한다. 이 럿지(14)부의 폭은, 예를 들면, $3\mu m$ 이다. 이 RIE의 에칭가스로서는, 예를 들면, 염소계 가스를 이용한다.

- <276> 다음으로, 에칭마스크로서 이용한 SiO_2 막을 에칭 제거한 후, 기판 전면(全面)에, 예를 들면, CVD법, 진공증착법, 스퍼터링법 등에 의해, 예를 들면, 두께가 $0.3\text{ }\mu\text{m}$ 의 SiO_2 막과 같은 절연막(15)을 성막한다. 이 절연막(15)은 전기절연 및 표면 보호를 위한 것이다.
- <277> 다음으로, 리소그래피에 의해 p측 전극형성영역을 제외한 영역의 절연막(15)의 표면을 덮는 레지스트패턴(도시하지 않음)을 형성한다.
- <278> 다음으로, 이 레지스트패턴을 마스크로서 절연막(15)을 에칭함으로써, 개구(15a)를 형성한다.
- <279> 다음으로, 레지스트패턴을 남긴 그대로의 상태로, 기판 전면에, 예를 들면, 진공증착법에 의해, 예를 들면, Pd막, Pt막 및 Au막을 순차형성한 후, 레지스트패턴을 그 위에 형성된 Pd막, Pt막 및 Au막과 함께 제거한다(리프트 오프). 이것이에 의하여, 절연막(15)의 개구(15a)를 통하여 p형 GaN 콘택트층(13)에 콘택트한 p측 전극(16)이 형성된다. 여기서, 이 p측 전극(16)을 구성하는 Pd막, Pt막 및 Au막의 두께는, 예를 들면, 각각 10nm , 100nm 및 300nm 으로 한다. 다음으로, p측 전극(16)을 오믹 접촉하게 하기 위한 합금(alloy)처리를 행한다.
- <280> 다음으로, GaN기판(1)의 이면에, 예를 들면, 진공증착법에 의해, 예를 들면, Ti막, Pt막 및 Au막을 순차 형성하고, Ti/Pt/Au구조의 n측 전극(17)을 형성한다. 여기서, 이 n측 전극(17)을 구성하는 Ti막, Pt막 및 Au막의 두께는, 예를 들면, 각각 10nm , 50nm 및 100nm 로 한다. 다음으로, n측 전극(17)을 오믹 접촉하게 하기 위한 합금처리를 행한다.
- <281> 다음으로, 소자영역(2)의 윤곽선을 따라, 상술한 바와 같이 하여 레이저구조가 형성된 GaN기판(1)의 스크라이빙을 벽개에 의하여 행하고 레이저바(4)로 가공하여 양 공진기 단면을 형성한다. 다음으로, 이들 공진기 단면에 단면 코팅을 실시한 후, 다시 이 레이저바(4)의 스크라이빙을 벽개 등에 의해 행하여 침화한다.
- <282> 이상에 의해, 도 11에 나타내는 바와 같이, 목적으로 하는 럿지구조 및 SCH구조를 가지는 GaN계 반도체 레이저가 제조된다.
- <283> 이상과 같이, 이 제 1 실시형태에 따르면, 평균전위밀도가 낮은 영역(A) 내에 평균전위밀도가 높은 영역(B)이 육방격자형태로 주기적으로 배열되어 있는 GaN기판(1)상에 영역(B)을 실질적으로 포함하지 않도록 소자영역(2)을 획정한 후, 이 GaN기판(1)상에 레이저구조를 형성하는 GaN계 반도체층을 성장시키고 있으므로, 이 GaN계 반도체층에 GaN기판(1)의 영역(B)으로부터 전위 등의 결합이 전파해도, 소자영역(2) 상의 GaN계 반도체층에는 그 영향이 미치지 않도록 할 수 있다. 그리고, GaN계 반도체층을 성장시킨 후에 럿지(14)의 형성, p측 전극(16) 및 n측 전극(17)의 형성 등을 행한 후, 소자영역(2)의 윤곽선을 따라서 레이저구조가 형성된 GaN기판(1)의 스크라이빙을 행함으로써 개개의 GaN계 반도체 레이저 칩으로 분리하고 있으므로, 이 GaN계 반도체 레이저 칩에는 GaN기판(1)에서 계속되는 전위는 거의 존재하지 않는다. 이 때문에, 발광특성이 양호하고, 신뢰성이 높은 긴 수명의 GaN계 반도체 레이저를 실현할 수 있다.
- <284> 부가하여, 이 제 1 실시형태에 따르면, 활성층(8)에 접하여 언도프 InGaN 열화방지층(9)이 설치되며, 이 언도프 InGaN 열화방지층(9)에 접하여 p형 AlGaN 캡층(10)이 설치되어 있으므로, 언도프 InGaN 열화방지층(9)에 의하여, p형 AlGaN 캡층(10)에 의해 활성층(8)에 발생하는 응력을 대폭으로 완화할 수 있는 동시에, p형층의 p형 도편트로서 이용되는 Mg가 활성층(7)에 확산하는 것을 유효하게 억제할 수 있다.
- <285> 다음으로, 본 발명의 제 2 실시의 형태에 대하여 설명한다.
- <286> 도 12에 나타내는 바와 같이, 이 제 2 실시형태에 있어서는, 제 1 실시형태와 달리, 직사각형의 소자영역(2)의 윤곽선은, 그 긴 변 및 짧은 변도, 영역(B)의 중심끼리를 연결하는 직선으로 이루어진다. 이 경우도, 레이저스트라이프(3)의 위치는, 소자영역(2)의 짧은 변의 중점끼리를 연결하는 선상으로 한다. 이렇게 함으로써, 영역(B)의 영향이 발광영역에 미치는 것을 피할 수 있다.
- <287> 이 제 2실시형태에 있어서는, 영역(B)의 중심끼리를 연결하는 직선으로 이루어지고, 소자영역(2)의 윤곽선을 따라 벽개에 의해 스크라이빙을 행함으로써 공진기의 미러가 형성되는 것이 제 1 실시형태와 다르다.
- <288> 여기서, 영역(B)은 전위가 많으므로, 영역(A) 보다도 붕괴되기 쉽다고 생각된다. 따라서, 영역(B)끼리를 연결하는 직선을 따라서 스크라이빙을 행하면, 영역(B)이 이른바 미성 눈(目)과 같은 역할을 하여 영역(A)의 부분도 깨끗하게 벽개된다. 이때, 영역(B) 부분의 단면은 전위가 많기 때문에, 반드시 평탄하게 되는 것은 아니지만, 그 사이의 영역(A) 부분의 단면은 평탄하게 된다. 도 13에 단면의 형상을 개념적으로 나타낸다.
- <289> 평탄성이 필요로 되는 것은, 레이저 스트라이프(2)의 단면부분이지만, 도 12에 나타내는 바와 같은 배치이면,

영역(B) 부분의 단면은 발광특성 등에 악영향을 미치지 않는다.

<290> 상기 이외의 것은 제 1 실시형태와 동일하므로, 설명을 생략한다.

<291> 이 제 2 실시형태에 의해서도, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<292> 다음으로, 본 발명의 제 3의 실시형태에 대하여 설명한다.

<293> 이 제 3 실시형태에 있어서는, 도 14에 나타내는 바와 같이, GaN기판(1)에 있어서, 평탄전위밀도가 낮은 결정으로 이루어지는 영역(A) 내에 평균전위밀도가 높은 결정으로 이루어지는 영역(B)이 직사각형 격자상태로 주기적으로 배열되어 있다. 그리고, 영역(B)이 그 네 개의 각부에 위치하는 이 하나의 직사각형을 소자영역(2)으로 한다. 이 경우, 직사각형의 긴 변 방향의 최근접의 영역(B)끼리를 연결하는 직선은 GaN의 <1-100> 방향과 일치하고, 짧은 변 방향의 최근접의 영역(B)끼리를 연결하는 직선은 GaN의 <11-20> 방향과 일치하고 있다.

<294> 직사각형 격자의 긴 변 방향의 영역(B)의 배열주기는, 예를 들면, $600\mu\text{m}$, 짧은 변 방향의 영역(B)의 배열주기는, 예를 들면, $400\mu\text{m}$ 이며, 이 경우, 소자영역(2)의 사이즈는 $600\mu\text{m} \times 400\mu\text{m}$ 이 된다.

<295> 소자영역(2)의 레이저 스트라이프(3)는 직사각형 격자의 짧은 변 방향의 주변의 중점을 연결하는 직선상으로 한다.

<296> 상기 이외의 것은 제 1 실시형태와 동일하므로, 설명을 생략한다.

<297> 이 제 3의 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<298> 다음으로, 본 발명의 제 4의 실시형태에 대하여 설명한다.

<299> 이 제 4의 실시형태에 있어서는, 도 15에 나타내는 바와 같이, GaN기판(1)의 영역(A) 내에 영역(B)이 육방격자 형태로 주기적으로 배열되어 있는 것은 제 1 실시의 형태와 동일하나, 영역(A)과 영역(B)의 사이에 영역(A)의 평균전위밀도와 영역(B)의 평균전위밀도의 중간적인 평균전위밀도의 영역(C)이 천이영역으로서 형성되어 있는 것이 제 1 실시형태와 다르다. 구체적으로는, 영역(A)의 평균전위밀도는 $2 \times 10^6 \text{ cm}^{-2}$ 이하, 영역(B)의 평균전위밀도는 $1 \times 10^8 \text{ cm}^{-2}$ 이상, 영역(C)의 평균전위밀도는 $1 \times 10^8 \text{ cm}^{-2}$ 보다 작고, $2 \times 10^6 \text{ cm}^{-2}$ 보다 크다. 영역(B)의 배열주기(최근접의 영역(B)의 중심끼리의 간격)는, 예를 들면, $300\mu\text{m}$, 그 직경은, 예를 들면, $20\mu\text{m}$ 이다. 또, 영역(C)의 직경은, 예를 들면, $120\mu\text{m}$ 이다.

<300> 이 경우, 제 1 실시형태와 달리, 직사각형의 소자영역(2)의 윤곽선은, 그 긴 변 및 짧은 변도, 영역(B)의 중심끼리를 연결하는 직선으로 이루어진다. 소자영역(2)의 사이즈는, 예를 들면, $600\mu\text{m} \times 260\mu\text{m}$ 이다. 이 경우도, 레이저 스트라이프(3)의 위치는, 소자영역(2)의 짧은 변의 중점끼리를 연결하는 선상으로 하지만, 이 레이저 스트라이프(3)는 영역(B) 및 영역(C)도 포함하지 않는다. 이렇게 함으로써, 영역(B) 및 영역(C)의 영향이 발광영역에 미치는 것을 피할 수 있다.

<301> 상기 이외의 것은 제 1 실시형태와 동일하므로, 설명을 생략한다.

<302> 이 제 4 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<303> 다음으로, 본 발명의 제 5 실시형태에 대하여 설명한다.

<304> 이 제 5 실시형태에 있어서는, 도 16에 나타내는 바와 같이, GaN기판(1)의 영역(A) 내에 육방격자 상태로 주기적으로 배열되어 있는 것은 제 1 실시형태와 동일하지만, 영역(A)과 영역(B)의 사이에, 영역(A)의 평균전위밀도와 영역(B)의 평균전위밀도의 중간적인 평균전위밀도의 영역(C)이 천이영역으로서 형성되어 있는 것이 제 1 실시형태와 다르다. 구체적으로는, 영역(A)의 평균전위밀도는 $2 \times 10^6 \text{ cm}^{-2}$ 이하, 영역(B)의 평균전위밀도는 $1 \times 10^8 \text{ cm}^{-2}$ 이상, 영역(C)의 평균전위밀도는 $1 \times 10^8 \text{ cm}^{-2}$ 보다 작고, $2 \times 10^6 \text{ cm}^{-2}$ 보다 크다. 영역(B)의 배열주기(최근접의 영역(B)의 중심끼리의 간격)는, 예를 들면, $400\mu\text{m}$, 그 직경은, 예를 들면, $20\mu\text{m}$ 이다. 또, 영역(C)의 직경은, 예를 들면, $120\mu\text{m}$ 이다.

<305> 이 경우, 제 1 예에 있어서는, 제 1 실시형태와 달리, 직사각형의 소자영역(2)의 짧은 변 방향의 윤곽선은 영역(B)의 중심끼리를 연결하는 직선으로 되지만, 긴 변 방향의 윤곽선은 최근접의 영역(B)의 중심끼리를 연결하는 직선에서, 예를 들면, $23\mu\text{m}$ 떨어져 있다. 이 경우, 소자영역(2)의 사이즈는, 예를 들면, $400\mu\text{m} \times 300\mu\text{m}$ 이다.

이 경우도, 레이저 스트라이프(3)의 위치는, 소자영역(2)의 짧은 변의 중점끼리를 연결하는 선상으로 하지만, 이 레이저 스트라이프(3)는 영역(B) 및 영역(C)도 포함하지 않는다. 이렇게 함으로써, 영역(B) 및 영역(C)의

영향이 발광영역에 미치는 것을 피할 수 있다.

<306> 한편, 제 2 예에 있어서는, 직사각형의 소자영역(2)의 긴 변 방향의 윤곽선은 <1-100> 방향 최근접의 영역(B)의 중심끼리를 연결하는 직선에서, 예를 들면, $23\mu\text{m}$ 떨어져 있고, 짧은 변 방향의 윤곽선은 <11-20> 방향의 최근접의 영역(B)의 중심끼리를 연결하는 직선에서, 예를 들면, $100\mu\text{m}$ 떨어져 있다. 이 경우도, 소자영역(2)의 사이즈는 $400\mu\text{m} \times 300\mu\text{m}$ 이다. 레이저 스트라이프(3)의 위치는, 소자영역(2)의 짧은 변의 중심끼리를 연결하는 선상으로 하지만, 이 레이저 스트라이프(3)는 영역(B) 및 영역(C)도 포함하지 않는다. 이렇게 함으로서, 영역(B) 및 영역(C)의 영향이 발광영역에 미치는 것을 피할 수 있다.

<307> 상기 이외의 것은 제 1실시형태와 동일하므로, 설명을 생략한다.

<308> 이 제 5실시형태에 의해서도, 제 1실시형태와 동일한 이점을 얻을 수 있다.

<309> 다음으로, 본 발명의 제 6 실시형태에 대하여 설명한다.

<310> 이 제 6 실시형태에 있어서는, GaN기판(1)의 영역(A) 내에 B가 육각격자형으로 주기적으로 배열되어 있는 것은 제 1 실시형태와 동일하지만, 이 경우, 도 17에 나타내는 바와 같이, <1-100> 방향의 최근접의 영역(B)의 중심끼리를 연결하는 간격이 직사각형의 소자영역(2)의 짧은 변 길이의 2배로 설정되어 있고, 구체적으로는, 예를 들면, $700\mu\text{m}$ 으로 설정되어 있다. <1-100> 방향의 최근접의 영역(B)의 이 소자영역(2)의 짧은 변 방향의 윤곽선은 <11-20> 방향의 최근접의 영역(B)의 중심끼리를 연결하는 직선으로 이루어지며, 긴 변 방향의 윤곽선은 <1-100> 방향의 최근접의 영역(B)의 중심끼리를 연결하는 직선으로 이루어진다. 이 경우, 소자영역(2)의 사이즈는 $600\mu\text{m} \times 350\mu\text{m}$ 이다. 레이저 스트라이프(3)의 위치는, 소자영역(2)의 짧은 변의 중점끼리를 연결하는 선상으로 하나, 이 레이저 스트라이프(3)는 영역(B)을 포함하지 않는다. 이렇게 함으로서, 영역(B)의 영향이 발광영역에 미치는 것을 피할 수 있다.

<311> 상기 이외의 것은 제 1실시형태와 동일하므로, 설명을 생략한다.

<312> 이 제 6 실시형태에 의하면, 제 1실시형태와 동일한 이점을 얻을 수 있다.

<313> 다음으로, 본 발명의 제 7실시형태에 대하여 설명한다.

<314> 도 18에 나타내는 바와 같이, 이 제 7 실시형태에 있어서는, 소자영역(2)에 레이저 스트라이프(3)가 서로 평행하게 2개 형성된다. 이 소자영역(2)의 윤곽선을 따라 스크라이빙을 행함으로써 얻어지는 GaN계 반도체 레이저 칩을 도 19에 나타낸다.

<315> 상기 이외의 것은 제 1실시형태와 동일하므로, 설명을 생략한다.

<316> 이 제 7 실시형태에 의하면, 멀티빔의 GaN계 반도체 레이저에 있어서 제 1실시형태와 동일한 이점을 얻을 수 있다.

<317> 다음으로, 본 발명의 제 8 실시형태에 대하여 설명한다.

<318> 도 20에 나타내는 바와 같이, 이 제 8 실시형태에 있어서는, 소자영역(2)에 레이저 스트라이프(3)가 형성되는 것은 제 1 실시형태와 동일하지만, 이 경우, 이 레이저 스트라이프(3)의 폭은 제 1 실시형태에 비하여 매우 크게 선택되어 있다. 구체적으로는, 이 레이저 스트라이프(3)의 폭은, 직사각형의 소자영역(2)의 짧은 변의 길이를 a , 영역(B)의 직경을 d 로 하면, 최대한 $a-d$ 로 할 수 있지만, 레이저 스트라이프(3)는 영역(B)에서 적어도 $1\mu\text{m}$ 이상 떨어지는 것이 바람직하므로, 이것을 고려하면, 레이저 스트라이프(3)의 폭의 상한은 $a-d-2\mu\text{m}$ 로 된다.

예를 들면, $a=346\mu\text{m}$, $d=20\mu\text{m}$ 인 경우에는, 레이저 스트라이프(3)의 폭의 상한은 $346-20-2=324\mu\text{m}$ 로 된다. 하나의 예를 들면, 레이저 스트라이프(3)의 폭을 $200\mu\text{m}$ 로 한다. 이때, 소자영역(2)의 윤곽선을 따라서 스크라이빙을 행함으로써 얻어지는 GaN계 반도체 레이저 칩을 도 21에 나타낸다.

<319> 상기 이외의 것은 제 1실시형태와 동일하므로, 설명을 생략한다.

<320> 이 제 8 실시형태에 의하면, 레이저 스트라이프(3)의 폭이 극히 큰 초고출력의 GaN계 반도체 레이저에 있어서 제 1실시형태와 동일한 이점을 얻을 수 있다.

<321> 다음으로, 본 발명의 제 9 실시형태에 대하여 설명한다.

<322> 도 22는 이 제 9실시의 형태에 있어서 이용하는 GaN기판을 나타내는 평면도이다.

<323> 도 22에 나타내는 바와 같이, 이 제 9 실시형태에 있어서는, 영역(B)이 레이저 스트라이프(3)에 포함되지 않도

록 소자영역(2)이 확정된다. 여기서, 레이저 스트라이프(3)는 영역(B)에서 $50\mu\text{m}$ 이상 떨어져 있다. 이 경우, 소자영역(2)에는 2개의 영역(B)이 포함되게 된다.

<324> 상기 이외의 것은 제 1실시형태와 동일하므로, 설명을 생략한다.

<325> 이 제 9 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<326> 다음으로, 본 발명의 제 10 실시형태에 대하여 설명한다.

<327> 도 23은 이 제 10 실시형태에 있어서 이용하는 GaN기판을 나타내는 평면도이다. 이 GaN기판(1)은 n형에서 C면 방위이다. 단, GaN기판(1)은 R면, A면 또는 M면 방위의 것이어도 좋다. 이 GaN기판(1)에 있어서는, 평균전위밀도가 낮은 결정으로 이루어지는 영역(A) 내에 평균전위밀도가 높은 결정으로 이루어지는 영역(B)이 GaN의 <11-20> 방향으로, 예를 들면, $400\mu\text{m}$ 간격으로 주기적으로 배열되고, <11-20> 방향과 직교하는 <1-100> 방향으로, 예를 들면, $20\sim100\mu\text{m}$ 간격으로 주기적으로 배열되어 있다. 단, <11-20> 방향과 <1-100> 방향을 바꾸어도 좋다.

<328> 이 제 10의 실시형태에 있어서는, 도 24에 나타내는 바와 같이, 레이저 스트라이프(3)에 평행한 한쌍의 단면이 <1-100> 방향의 영역(B)의 열을 통과하고, 또한, 레이저 스트라이프(3)가 이 영역(B) 열 사이의 영역의 중앙부근에 위치하도록 소자영역(2)이 확정된다. 이 경우, 소자영역(2)에는 영역(B)의 열은 실질적으로 포함되지 않는다.

<329> 상기 이외의 것은 제 1실시형태와 동일하므로, 설명을 생략한다.

<330> 이 제 10 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<331> 다음으로, 본 발명의 제 11 실시형태에 대하여 설명한다.

<332> 도 25에 나타내는 바와 같이, 이 제 11 실시형태에 있어서는, 제 10의 실시형태와 동일한 GaN기판(1)을 이용하지만, 레이저 스트라이프(3)에 평행한 하나의 단면이 <1-100> 방향의 영역(B)의 열을 통과하고, 타단의 단면이 이 영역(B)의 열에서 떨어진 위치를 통과하는 점에서, 제 10의 실시형태와 다르다. 이 경우, 소자영역(2)에는 영역(B)의 열은 실질적으로 포함되지 않는다.

<333> 상기 이외의 것은 제 1실시형태와 동일하므로, 설명을 생략한다.

<334> 이 제 11 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<335> 다음으로, 본 발명의 제 12 실시형태에 대하여 설명한다.

<336> 도 26에 나타내는 바와 같이, 이 제 12 실시형태에 있어서는, 제 10의 실시형태와 동일한 GaN기판(1)을 이용하지만, 레이저 스트라이프(3)에 평행한 하나의 단면이 어느 것이라도 <1-100> 방향의 영역(B)의 열 사이에 위치하고, 또한, 레이저 스트라이프(3)가 이 영역(B)의 열 사이의 영역의 중앙부근에 위치하도록 소자영역(2)이 확정되는 점에서, 제 10의 실시형태와 다르다. 이 경우, 소자영역(2)에는 영역(B)의 열은 실질적으로 포함되지 않는다.

<337> 상기 이외의 것은 제 10 및 제 1실시형태와 동일하므로, 설명을 생략한다.

<338> 이 제 12 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<339> 다음으로, 본 발명의 제 13 실시형태에 대하여 설명한다.

<340> 도 27에 나타내는 바와 같이, 이 제 13 실시형태에 있어서는, 제 10의 실시형태와 동일한 GaN기판(1)을 이용하지만, 레이저 스트라이프(3)에 평행한 하나의 단면이 <1-100> 방향의 영역(B)의 열을 통과하고, 다른 쪽의 단면이 이 영역(B)의 열에 바로 인접하는 영역(B)의 열과 그 다음의 영역(B)의 열의 사이에 위치하고, 또한, 레이저 스트라이프(3)가 영역(B)의 열에서 $50\mu\text{m}$ 이상 떨어진 위치를 통과하는 점에서, 제 10의 실시형태와 다르다. 이 경우, 소자영역(2)에는 영역(B)의 열은 1개 포함된다.

<341> 상기 이외의 것은 제 10 및 제 1 실시형태와 동일하므로, 설명을 생략한다.

<342> 이 제 13 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<343> 다음으로, 본 발명의 제 14 실시형태에 대하여 설명한다.

<344> 도 28에 나타내는 바와 같이, 이 제 14 실시형태에 있어서는, 제 10의 실시형태와 동일한 GaN기판(1)을 이용하

지만, 레이저 스트라이프(3)에 평행한 하나의 단면이 <1-100> 방향의 영역(B)의 열에서 떨어진 위치를 통과하고, 다른 쪽의 단면이 이 영역(B)의 열에 바로 인접하는 영역(B)의 열과 그 다음 영역(B)의 열의 사이에 위치하고, 또한, 레이저 스트라이프(3)가 영역(B)의 열에서 50 μ m 이상 떨어진 위치를 통과하는 점에서, 제 10의 실시 형태와 다르다. 이 경우, 소자영역(2)에는 영역(B)의 열은 1개 포함된다.

<345> 상기 이외의 것은 제 10 및 제 1실시형태와 동일하므로, 설명을 생략한다.

<346> 이 제 14 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<347> 다음으로, 본 발명의 제 15 실시형태에 대하여 설명한다.

<348> 도 29에 나타내는 바와 같이, 이 제 15 실시형태에 있어서 이용하는 GaN기판(1)을 나타내는 평면도이다. 이 GaN기판(1)은, 영역(B)이 GaN의 <11-20> 방향으로, 예를 들면, 200 μ m 간격으로 주기적으로 배열되어 있는 것을 제외하고, 제 10의 실시형태에 있어서 이용한 GaN기판(1)과 동일하다. 이 경우, 소자영역(2)에는 영역(B)의 열은 2개 포함된다.

<349> 도 29에 나타내는 바와 같이, 이 제 15의 실시형태에 있어서는, 레이저 스트라이프(3)가 인접하는 영역(B)의 열 사이의 영역 중앙부근에 위치하고, 또한, 레이저 스트라이프(3)에 평행한 한 쌍의 단면이 이들 영역(B)의 열과 그들의 바로 외측의 영역(B)의 열과의 사이의 영역의 중앙부근에 위치한다.

<350> 상기 이외의 것은 제 10 및 제 1실시형태와 동일하므로, 설명을 생략한다.

<351> 이 제 15 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<352> 다음으로, 본 발명의 제 16 실시형태에 대하여 설명한다.

<353> 도 30은 이 제 16 실시형태에 있어서 이용하는 GaN기판을 나타내는 평면도이다. 이 GaN기판(1)은 n형에서 C면 방위이다. 단, GaN기판(1)은 R면, A면 또는 M면 방위의 것이여도 좋다. 이 GaN기판(1)에 있어서는, 평균전위밀도가 낮은 결정으로 이루어지며, GaN의 <1-100> 방향으로 선상에 연재하는 영역(B)이 <1-100> 방향과 직교하는 <11-20> 방향으로, 예를 들면, 400 μ m 간격으로 주기적으로 배열되어 있다. 단, <1-100> 방향과 <11-20> 방향을 바꾸어도 좋다.

<354> 이 제 16 실시형태에 있어서는, 도 31에 나타내는 바와 같이, 레이저 스트라이프(3)에 평행한 한 쌍의 단면이 영역(B)을 통과하고, 또한, 레이저 스트라이프(3)가 이 영역(B) 사이의 영역의 중앙부근에 위치하도록 소자영역(2)이 확정된다. 이 경우, 소자영역(2)에는 영역(B)의 열은 실질적으로 포함되지 않는다.

<355> 상기 이외의 것은 제 1실시형태와 동일하므로, 설명을 생략한다.

<356> 이 제 16 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<357> 다음으로, 본 발명의 제 17 실시형태에 대하여 설명한다.

<358> 도 32에 나타내는 바와 같이, 이 제 17 실시형태에 있어서는, 제 16의 실시형태와 동일한 GaN기판(1)을 이용하지만, 레이저 스트라이프(3)에 평행한 하나의 단면이 영역(B)을 통과하고, 다른 쪽의 단면이 이 영역(B)의 열에서 떨어진 위치를 통과하는 점에서 제 16 실시형태와 다르다. 이 경우, 소자영역(2)에는 영역(B)의 열은 실질적으로 포함되지 않는다.

<359> 상기 이외의 것은 제 16 및 제 1실시형태와 동일하므로, 설명을 생략한다.

<360> 이 제 17 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<361> 다음으로, 본 발명의 제 18 실시형태에 대하여 설명한다.

<362> 도 33에 나타내는 바와 같이, 이 제 18 실시형태에 있어서는, 제 16의 실시형태와 동일한 GaN기판(1)을 이용하지만, 레이저 스트라이프(3)에 평행한 한 쌍의 단면이 어느 것이라도 영역(B)의 사이에 위치하고, 또한, 레이저 스트라이프(3)가 이 영역(B)의 사이의 영역의 중앙부근에 위치하도록 소자영역(2)이 확정되는 점에서 제 16 실시형태와 다르다. 이 경우, 소자영역(2)에는 영역(B)의 열은 실질적으로 포함되지 않는다.

<363> 상기 이외의 것은 제 16 및 제 1 실시형태와 동일하므로, 설명을 생략한다.

<364> 이 제 18 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.

<365> 다음으로, 본 발명의 제 19 실시형태에 대하여 설명한다.

- <366> 도 34에 나타내는 바와 같이, 이 제 19 실시형태에 있어서는, 제 16의 실시형태와 동일한 GaN기판(1)을 이용하지만, 레이저 스트라이프(3)에 평행한 하나의 단면이 영역(B)을 통과하고, 다른 쪽의 단면이 이 영역(B)의 옆에 바로 인접하는 영역(B)과 그 다음 영역(B)과의 사이에 위치하고, 또한, 레이저 스트라이프(3)가 영역(B)에서 50 μ m 이상 떨어진 위치를 통과하는 점에서 제 16 실시형태와 다르다. 이 경우, 소자영역(2)에는 영역(B)은 1개 포함된다.
- <367> 상기 이외의 것은 제 16 및 제 1 실시형태와 동일하므로, 설명을 생략한다.
- <368> 이 제 19 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.
- <369> 다음으로, 본 발명의 제 20 실시형태에 대하여 설명한다.
- <370> 도 35에 나타내는 바와 같이, 이 제 20 실시형태에 있어서는, 제 16의 실시형태와 동일한 GaN기판(1)을 이용하지만, 레이저 스트라이프(3)에 평행한 하나의 단면이 영역(B)에서 떨어진 위치를 통과하고, 다른 쪽의 단면이 이 영역(B)에 바로 인접하는 영역(B)과 그 다음 영역(B)과의 사이에 위치하고, 또한, 레이저 스트라이프(3)가 영역(B)에서 50 μ m 이상 떨어진 위치를 통하는 점에서 제 16 실시형태와 다르다. 이 경우, 소자영역(2)에는 영역(B)의 옆은 1개 포함된다.
- <371> 상기 이외의 것은 제 16 및 제 1 실시형태와 동일하므로, 설명을 생략한다.
- <372> 이 제 20 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.
- <373> 다음으로, 본 발명의 제 21 실시형태에 대하여 설명한다.
- <374> 도 36은 이 제 21 실시형태에 있어서 이용하는 GaN기판(1)을 나타내는 평면도이다. 이 GaN기판(1)은, 영역(B)이 GaN의 <11-20> 방향으로, 예를 들면, 200 μ m 간격으로 주기적으로 배열되어 있는 것을 제외하고, 제 16 실시형태에 있어서 이용한 GaN기판(1)과 동일하다. 이 경우, 소자영역(2)에는 영역(B)의 옆은 2개 포함된다.
- <375> 도 36에 나타내는 바와 같이, 이 제 21의 실시형태에 있어서는, 레이저 스트라이프(3)가 인접하는 영역(B)의 사이의 영역의 중앙부근에 위치하고, 또한, 레이저 스트라이프(3)에 평행한 한 쌍의 단면이 이들 영역(B)과 그들의 바로 외측의 영역(B)의 옆과의 사이의 영역의 중앙부근에 위치한다.
- <376> 상기 이외의 것은 제 16 및 제 1 실시형태와 동일하므로, 설명을 생략한다.
- <377> 이 제 21 실시형태에 의하면, 제 1 실시형태와 동일한 이점을 얻을 수 있다.
- <378> 이상, 본 발명의 실시형태에 대하여 구체적으로 설명했으나, 본 발명은 상술의 실시형태에 한정되는 것은 아니며, 본 발명의 기술적 사상에 의거하여 각종의 변형이 가능하다.
- <379> 예를 들면, 상술의 실시형태에 있어서 예로 들은 수치, 구조, 기판, 원료, 프로세스 등은 어디까지나 예일 뿐이며, 필요에 따라 이들과 다른 수치, 구조, 기판, 원료, 프로세스 등을 이용해도 좋다.
- <380> 구체적으로는, 예를 들면, 상술의 실시형태에 있어서는, 레이저구조를 형성하는 n형층을 기판상에 최초로 적층하고 그 위에 p형층을 적층하고 있으나, 이것과 적층순서를 역으로 하여, 기판상에 최초로 p형층을 적층하고 그 위에 n형층을 적층한 구조로 하여도 좋다.
- <381> 또, 상술의 실시의 형태에 있어서는, 본 발명을 SCH구조의 GaN계 반도체 레이저의 제조에 적용한 경우에 대하여 설명했지만, 본 발명은, 예를 들면 DH(Double Heterostructure)구조의 GaN계 반도체 레이저의 제조에 적용해도 좋은 것은 물론, GaN계 발광다이오드의 제조에 적용해도 좋고, 더욱이는 GaN계 FET나 GaN계 헤테로접합 바이폴러 트랜지스터(HBT)등의 질화물계 III-V족 화합물 반도체를 이용한 전자주행소자에 적용해도 좋다.
- <382> 또한, 상술의 실시형태에 있어서는, MOCVD법에 의해 성장을 행할 때 캐리어가스로서 H₂가스를 이용하고 있지만, 필요에 따라서 다른 캐리어가스, 예를 들면 H₂ 와 N₂ 혹은 He, Ar가스 등과의 혼합가스를 이용해도 좋다.
- <383> 또, 상술의 실시형태에 있어서는, 벽개에 의해 공진기단면을 형성하고 있지만, 공진기단면은 예를 들면 RIE와 같은 드라이에칭에 의해 형성해도 좋다.

산업상 이용 가능성

- <384> 이상 설명한 바와 같이, 본 발명에 따르면, 제 1 영역보다 평균전위밀도가 높거나, 또는 평균결합밀도가 높거나, 또는 결정성이 나쁜 제 2 영역이 실질적으로 포함되지 않도록, 또는 제 2 영역이 소자의 활성영역에 포

함되지 않도록 질화물계 III-V족 화합물 반도체기판, 또는 반도체기판, 또는 기판상에 소자영역을 확정하도록 하고 있으므로, 기판의 스크라이빙에 의해 얻어지는 칩에는 전위(轉位) 등의 결함이 거의 존재하지 않도록 할 수 있다. 이 때문에 발광특성 등의 특성이 양호하고 신뢰성도 높은 긴 수명의 반도체 발광소자 또는 특성이 양호하고 신뢰성도 높은 긴 수명의 반도체소자 또는 특성이 양호하고 신뢰성도 높은 긴 수명의 각종 소자를 실현할 수 있다.

도면의 간단한 설명

- <191> 도 1a 및 도 1b는, 본 발명의 실시형태의 요점을 설명하기 위한 사시도 및 단면도이다.
- <192> 도 2는, 본 발명의 실시형태의 요점을 설명하기 위한 평면도이다.
- <193> 도 3은, 본 발명의 실시형태의 요점을 설명하기 위한 평면도이다.
- <194> 도 4는, 본 발명의 실시형태의 요점을 설명하기 위한 평면도이다.
- <195> 도 5는, 본 발명의 실시형태의 요점을 설명하기 위한 평면도이다.
- <196> 도 6은, 본 발명의 제 1 실시형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <197> 도 7은, 본 발명의 제 1 실시의 형태에서 이용하는 GaN 기판의 고결함영역의 근방에 있어서의 전위밀도 분포의 일례를 나타내는 약선도이다.
- <198> 도 8은, 본 발명의 제 1 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <199> 도 9는, 본 발명의 제 1 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 단면도이다.
- <200> 도 10은, 본 발명의 제 1 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 단면도이다.
- <201> 도 11은, 본 발명의 제 1 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 단면도이다.
- <202> 도 12는, 본 발명의 제 2 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 단면도이다.
- <203> 도 13은, 본 발명의 제 2 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법에 있어서 스크라이빙에 의해 얻어지는 칩의 단면을 나타내는 약선도이다.
- <204> 도 14는, 본 발명의 제 3 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <205> 도 15는, 본 발명의 제 4 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <206> 도 16은, 본 발명의 제 5 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <207> 도 17은, 본 발명의 제 6 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <208> 도 18은, 본 발명의 제 7 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <209> 도 19는, 본 발명의 제 7 실시의 형태에 의해 제조된 GaN계 반도체 레이저를 나타내는 단면도이다.
- <210> 도 20은, 본 발명의 제 8 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <211> 도 21은, 본 발명의 제 8 실시의 형태에 의해 제조된 GaN계 반도체 레이저를 나타내는 단면도이다.
- <212> 도 22는, 본 발명의 제 9 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <213> 도 23은, 본 발명의 제 10 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <214> 도 24는, 본 발명의 제 10 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <215> 도 25는, 본 발명의 제 11 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <216> 도 26은, 본 발명의 제 12 실시의 형태에 의해 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <217> 도 27은, 본 발명의 제 13 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <218> 도 28은, 본 발명의 제 14 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
- <219> 도 29는, 본 발명의 제 15 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.

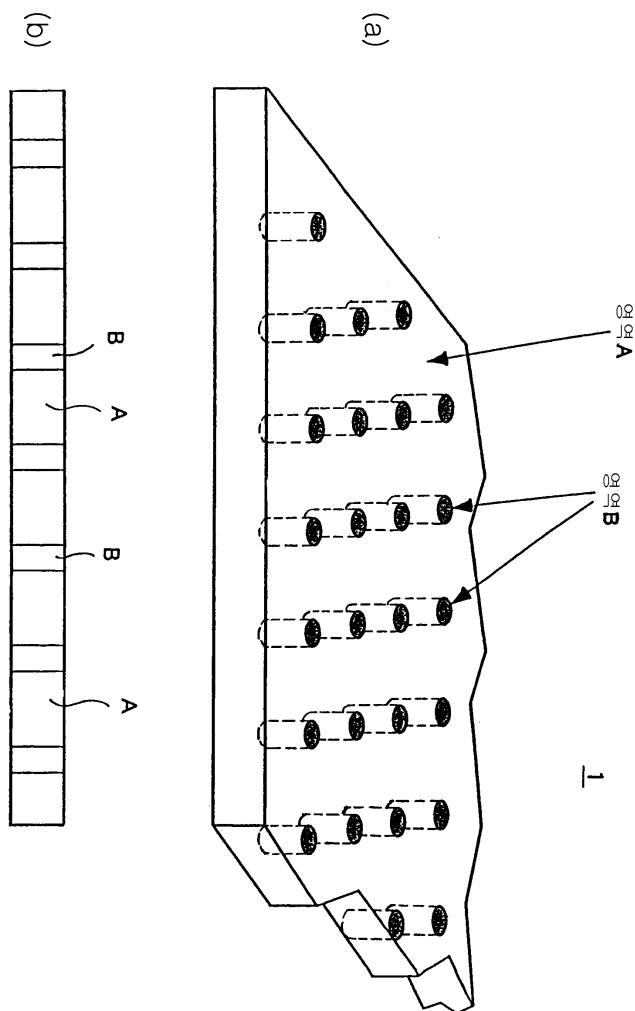
<220> 도 30은, 본 발명의 제 16 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
 <221> 도 31은, 본 발명의 제 16 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
 <222> 도 32는, 본 발명의 제 17 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
 <223> 도 33은, 본 발명의 제 18 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
 <224> 도 34는, 본 발명의 제 19 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
 <225> 도 35는, 본 발명의 제 20 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.
 <226> 도 36은, 본 발명의 제 21 실시의 형태에 따른 GaN계 반도체 레이저의 제조방법을 설명하기 위한 평면도이다.

<227> *부호의 설명

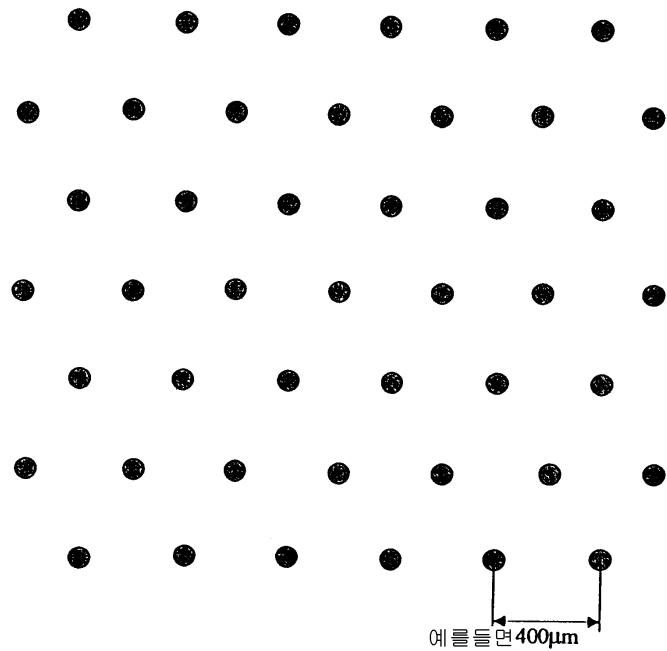
- | | |
|-----------------------|--------------------|
| <228> 1. GaN기판 | 2. 소자영역 |
| <229> 3. 레이저스트라이프 | 5. n형 GaN비퍼층 |
| <230> 6. n형 AlGaN그랜드층 | 7. n형 GaN광도파층 |
| <231> 8. 활성층 | 9. 언도프 InGaN 열화방지층 |
| <232> 10. p형AlGaN캡층 | 11. p형GaN광도파층 |
| <233> 12. p형AlGaN그랜드층 | 13. p형GaN콘택트층 |
| <234> 14. 럭지 | 15. 절연층 |
| <235> 16. n측전극 | 17. p측전극 |

도면

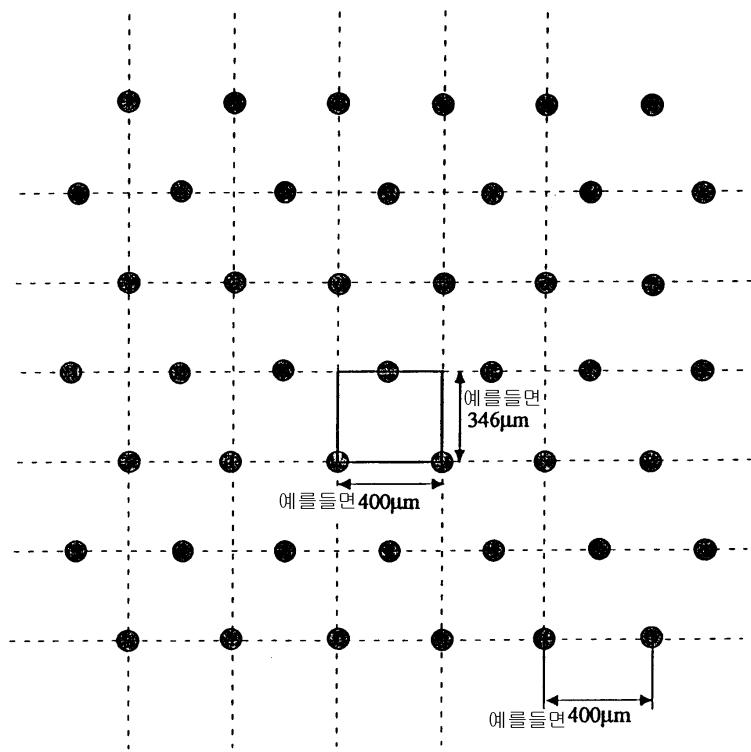
도면1



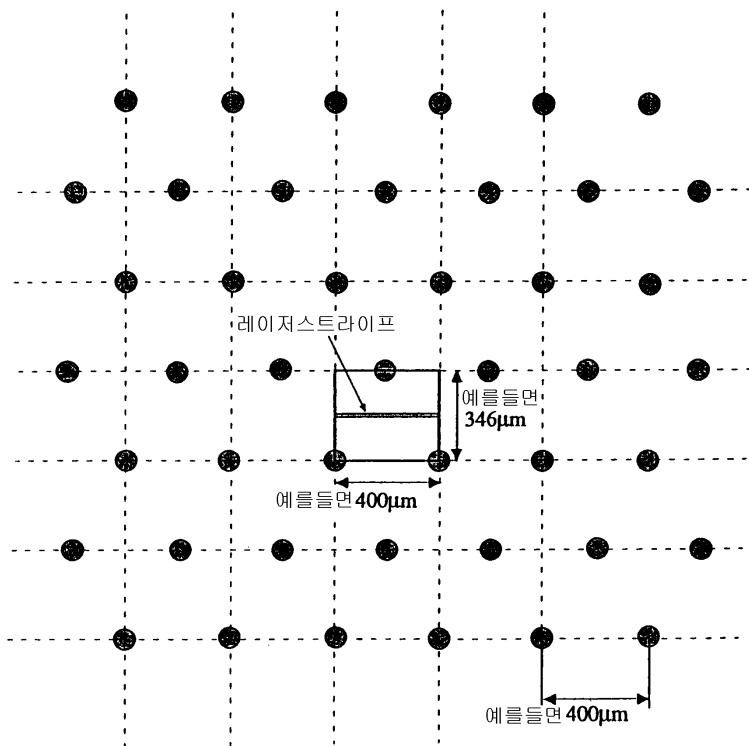
도면2



도면3

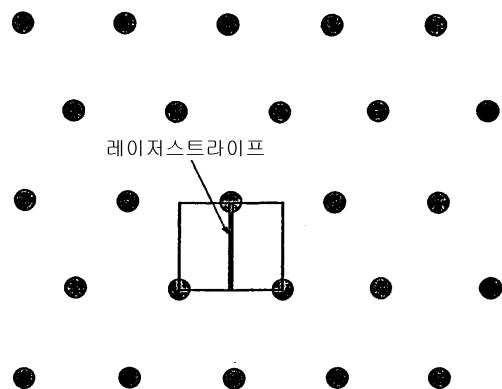


도면4

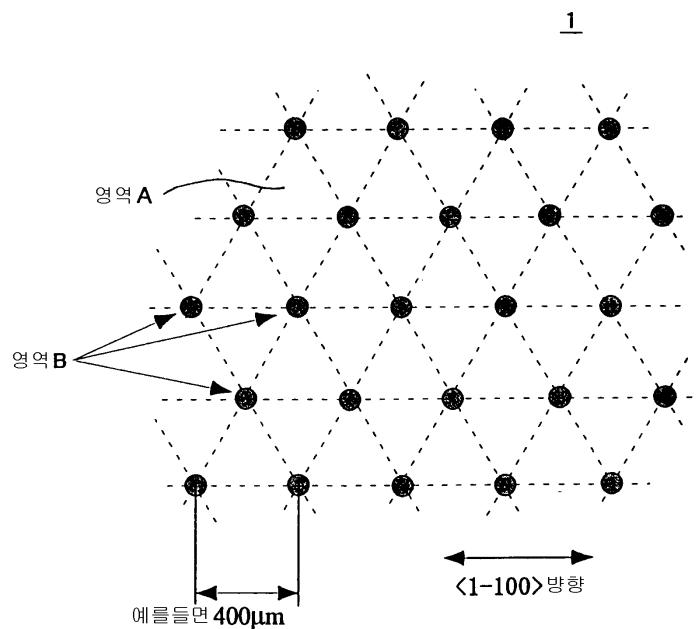


도면5

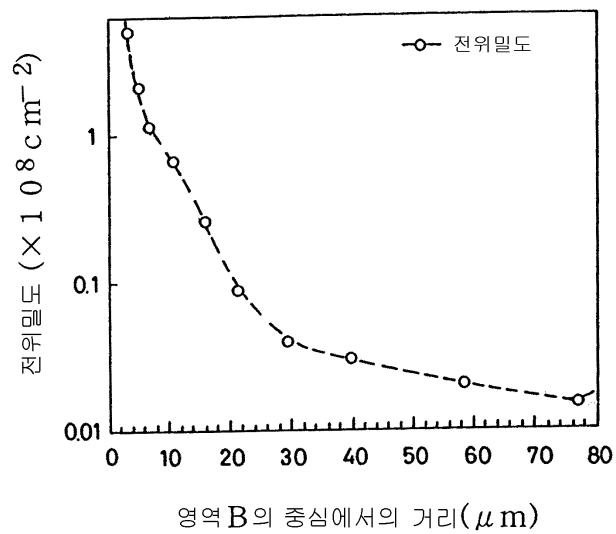
도 5



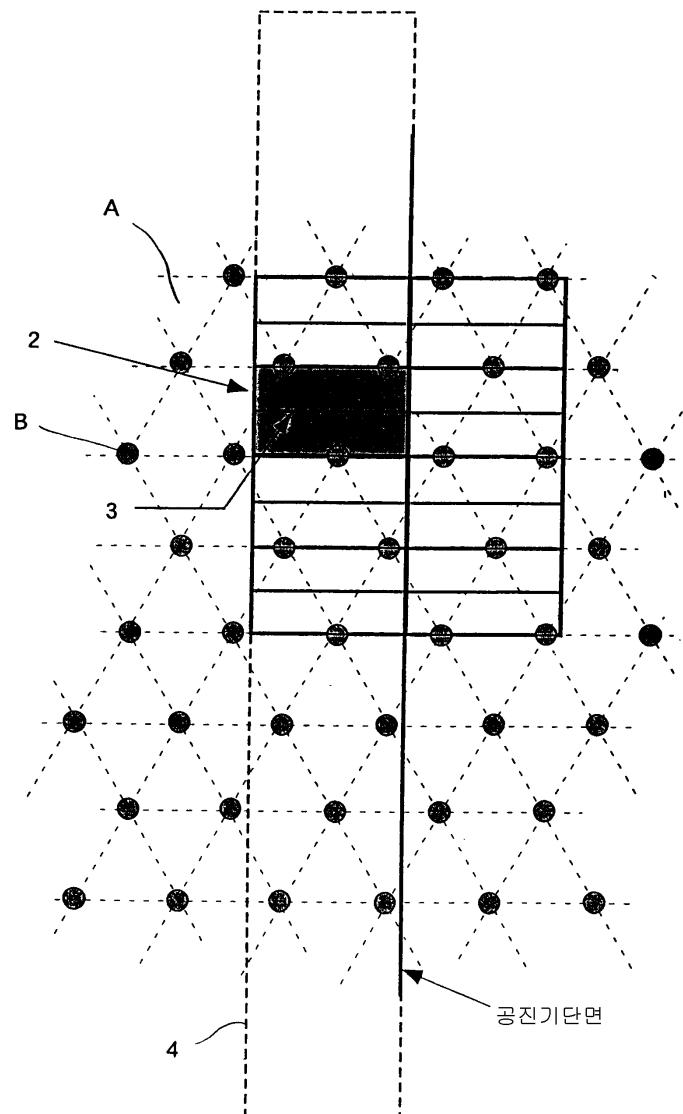
도면6



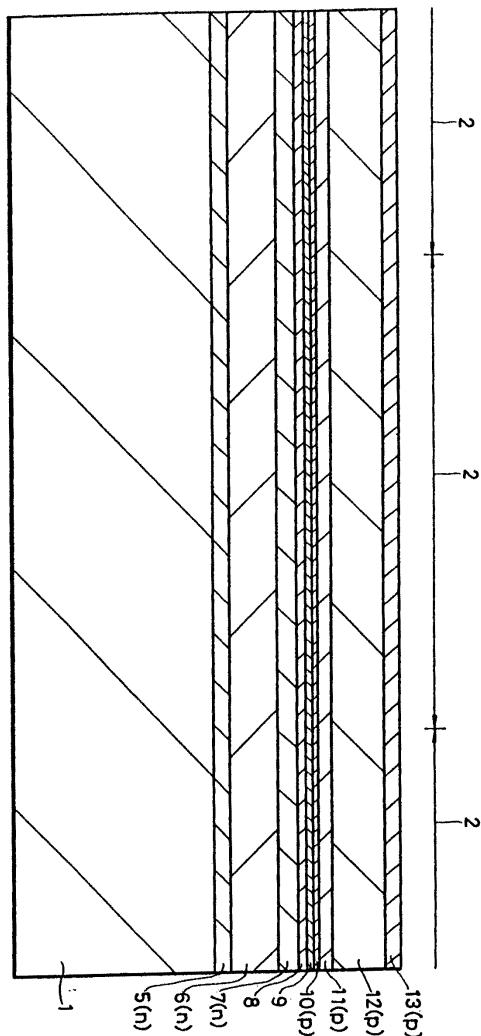
도면7



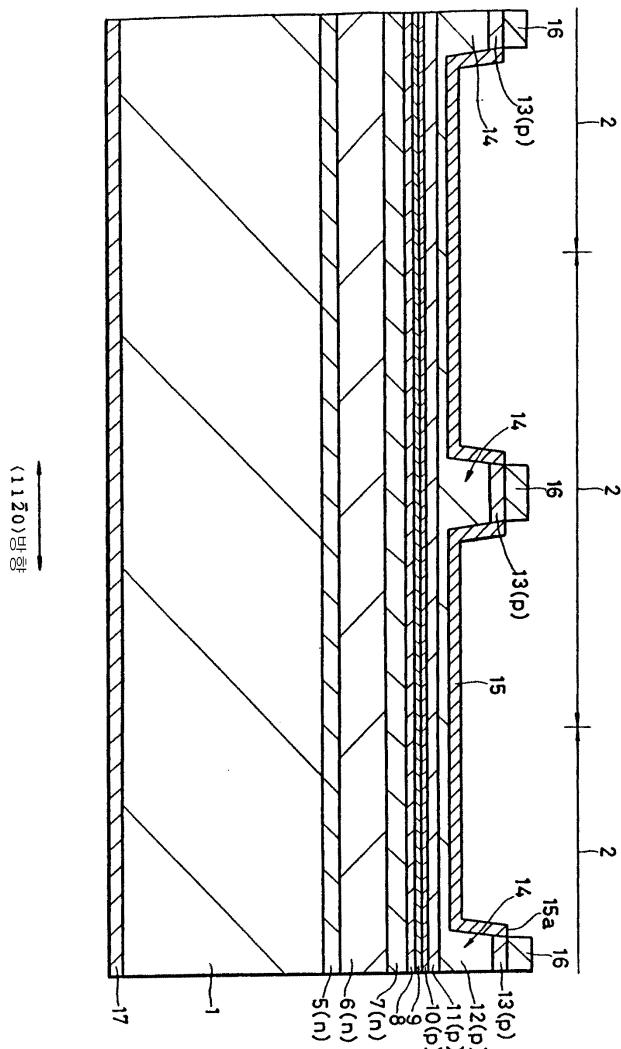
도면8



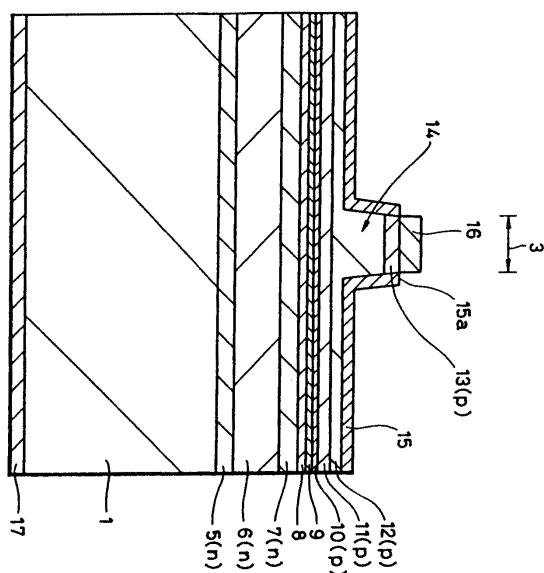
도면9



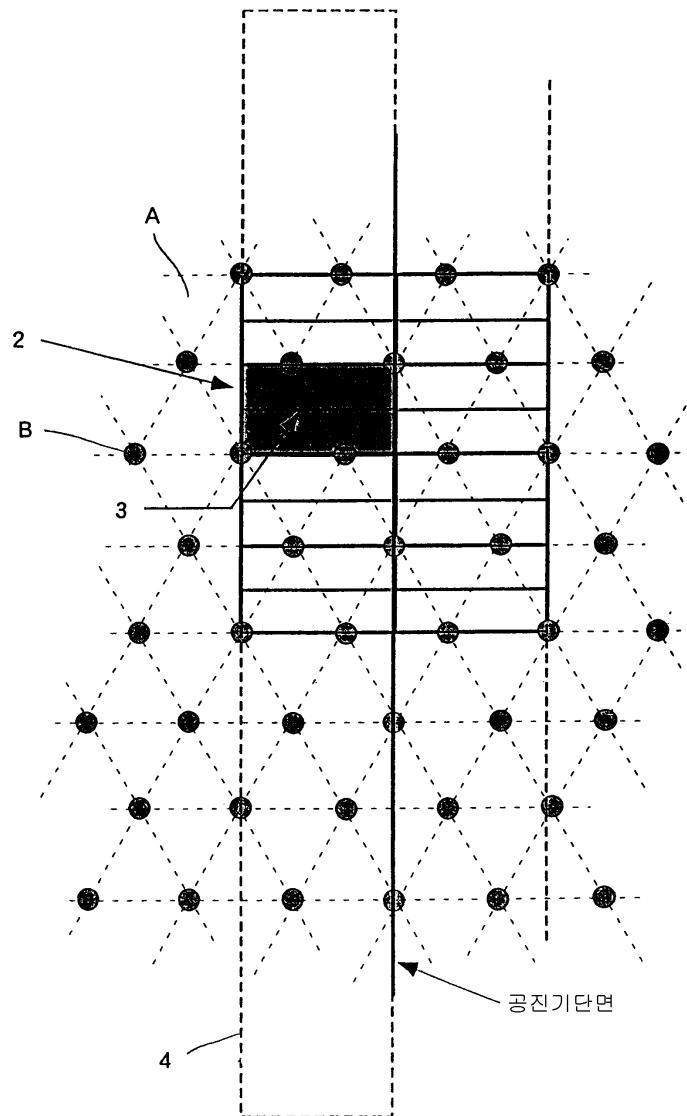
도면10



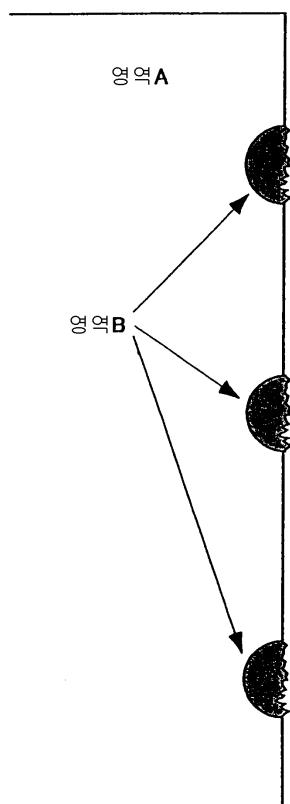
도면11



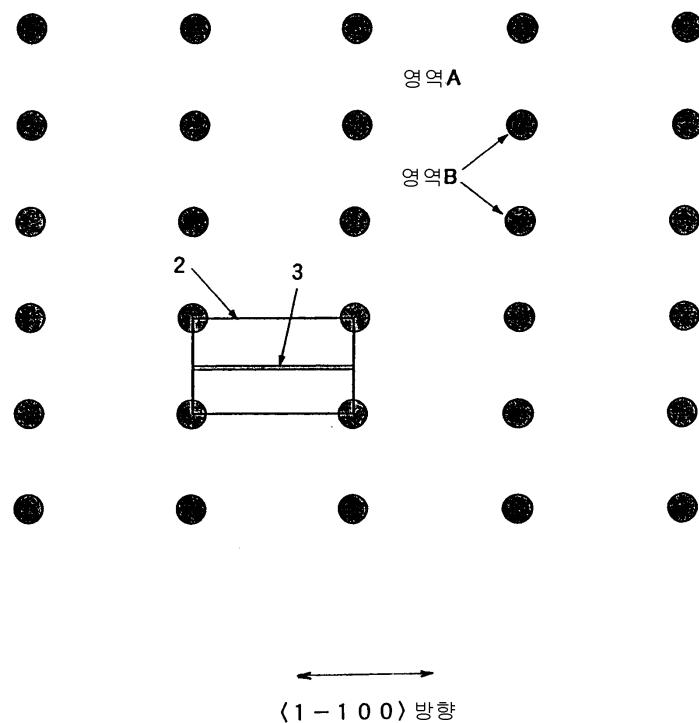
도면12



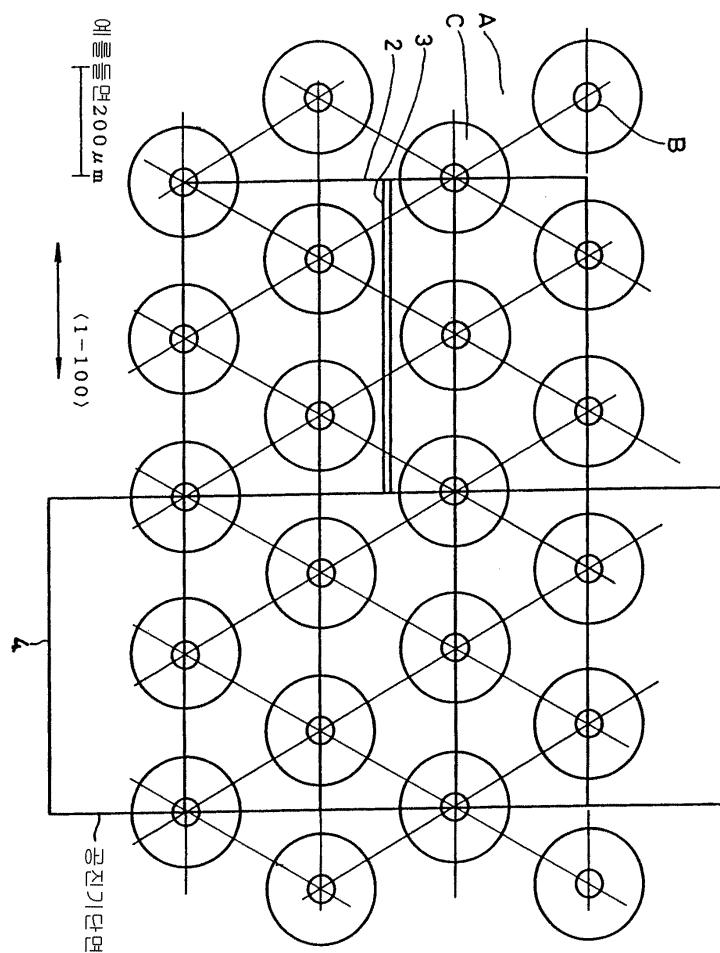
도면13



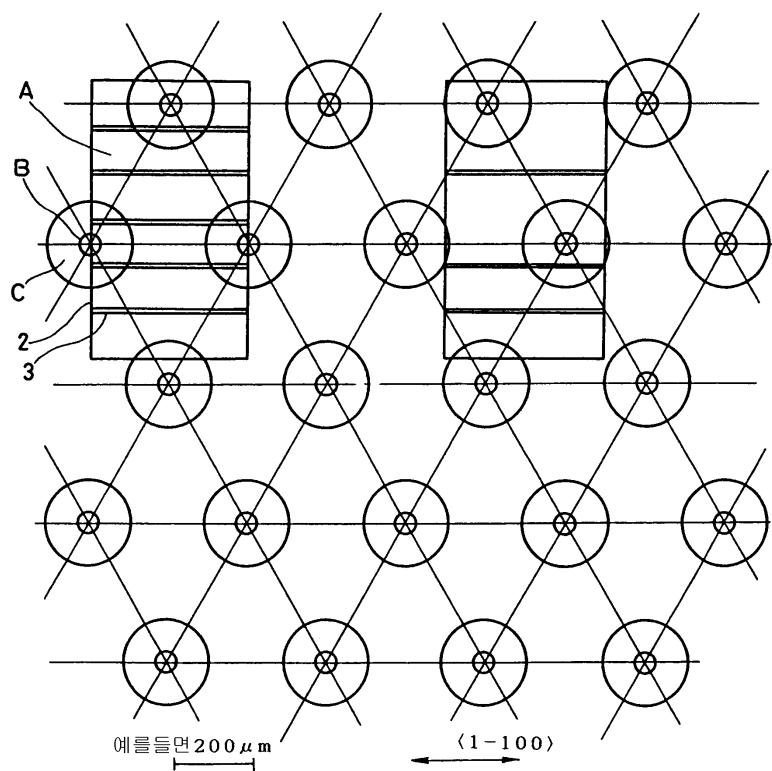
도면14



도면15

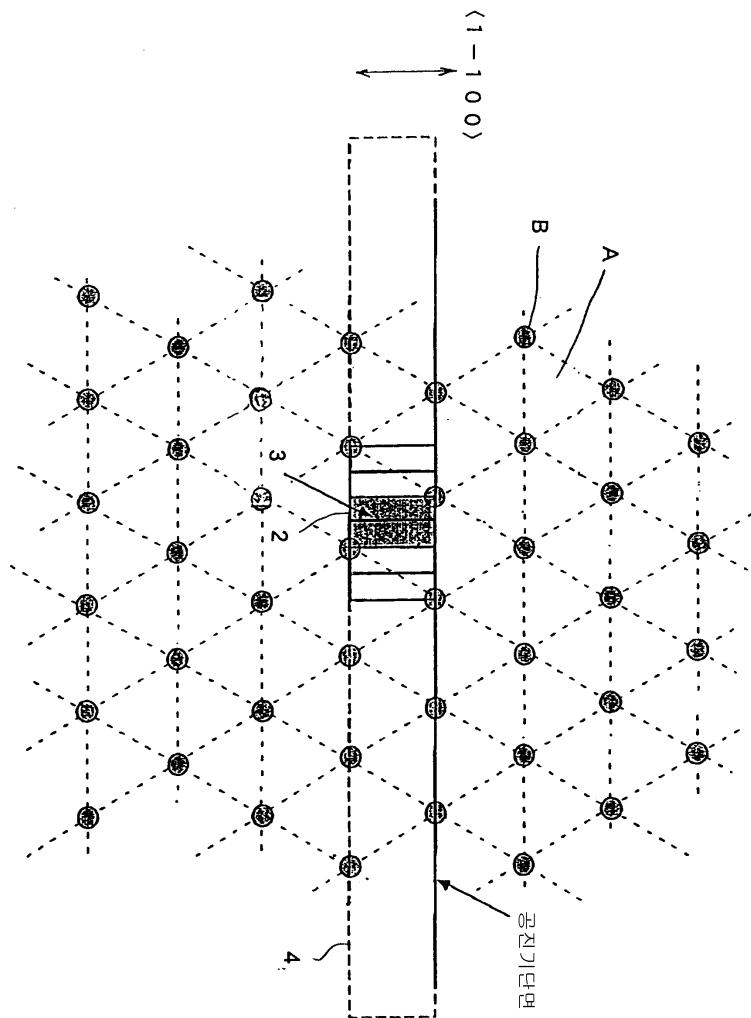


도면16

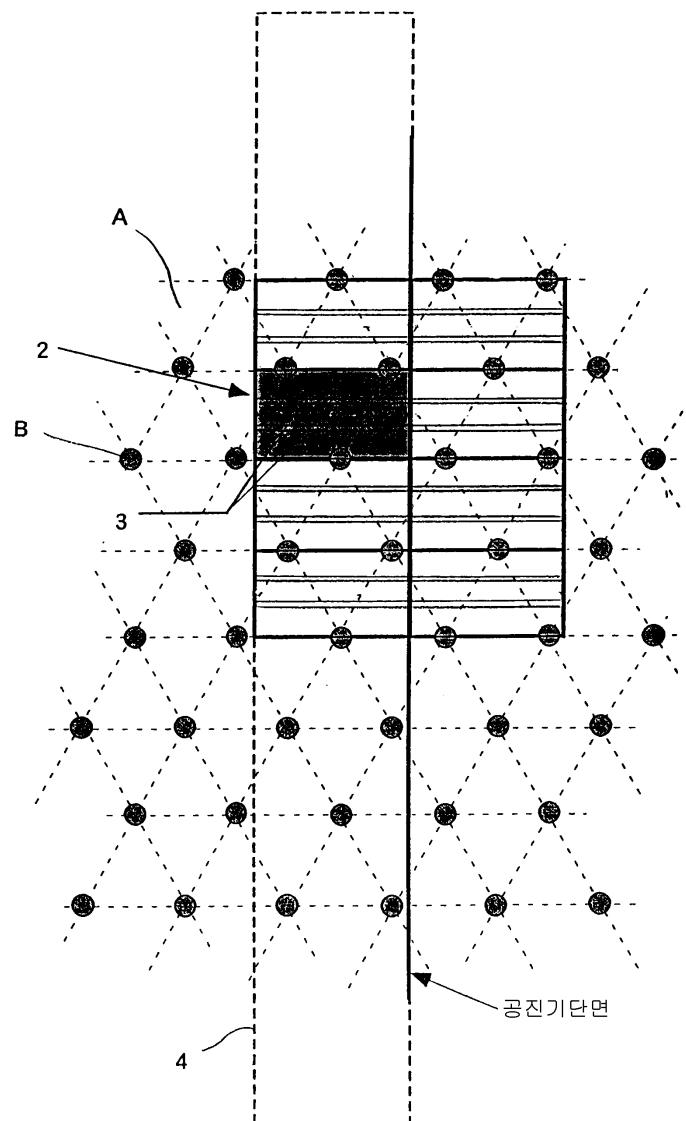


벽개면에 영역 B가 있는 배치 (제 1 예) 벽개면에 영역 B가 없는 배치 (제 2 예)

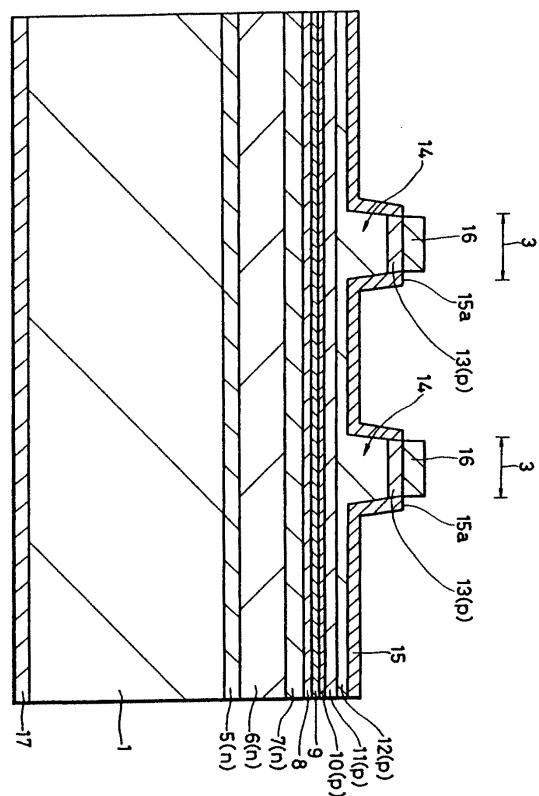
도면17



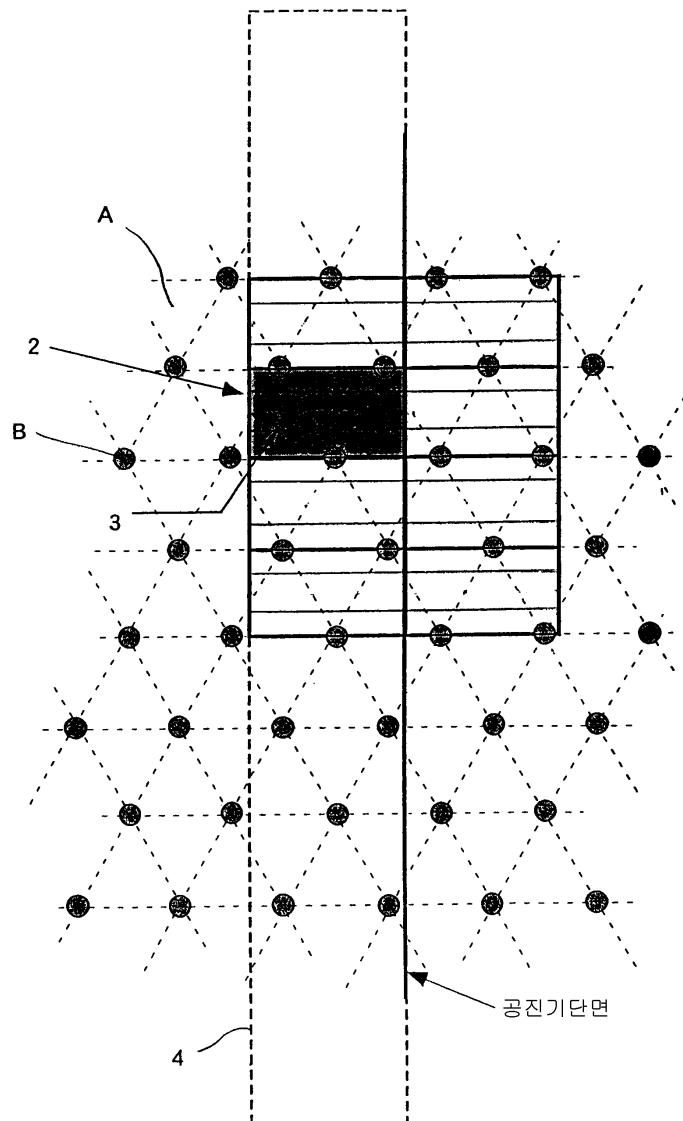
도면18



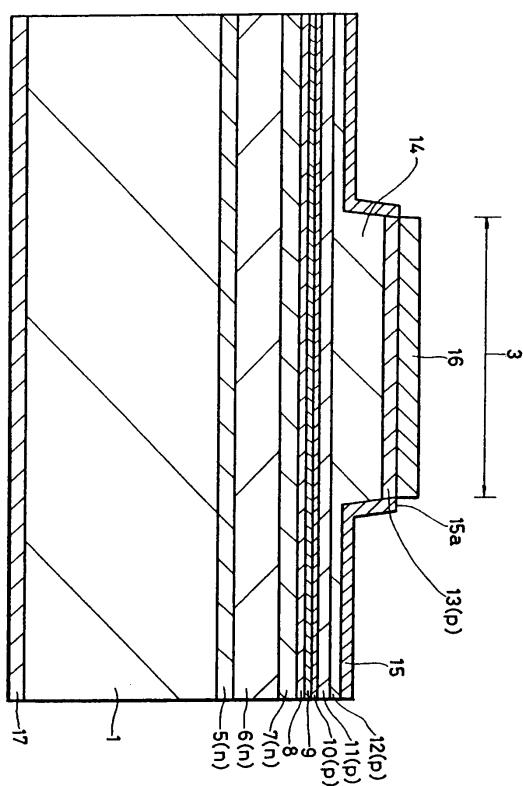
도면19



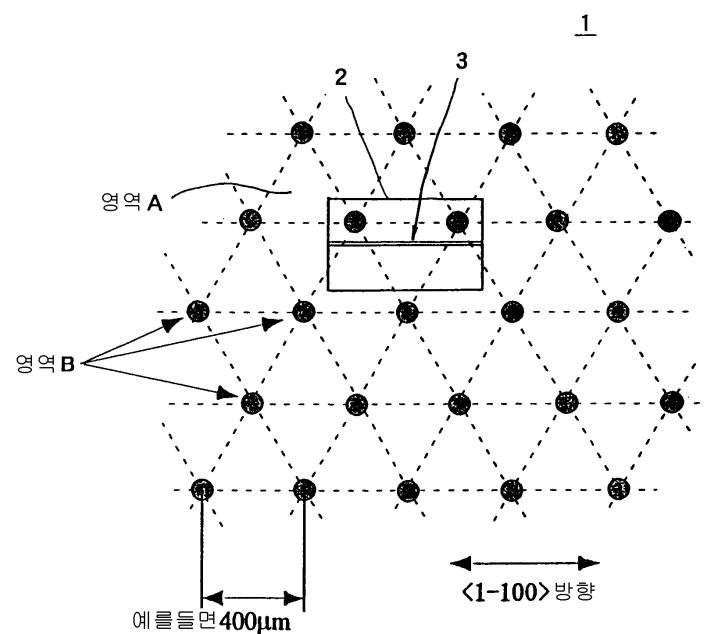
도면20



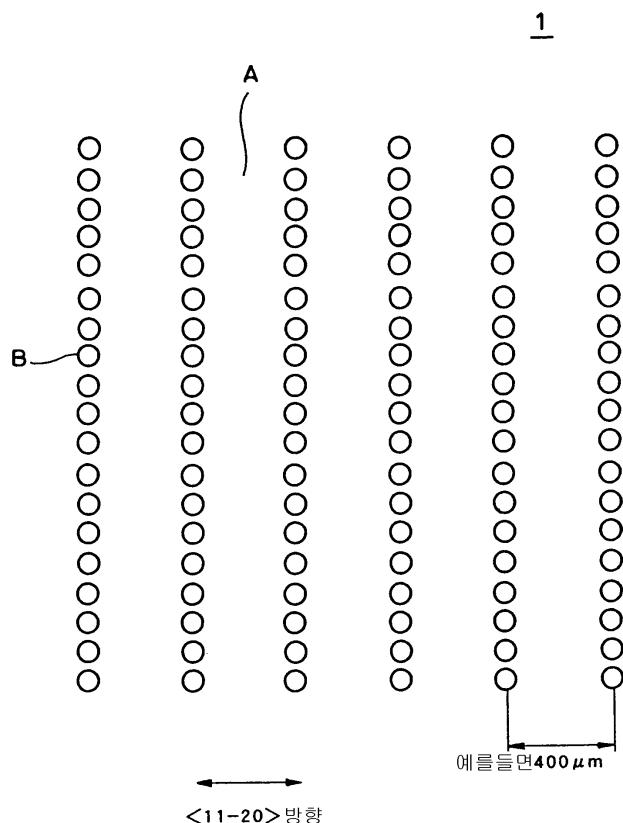
도면21



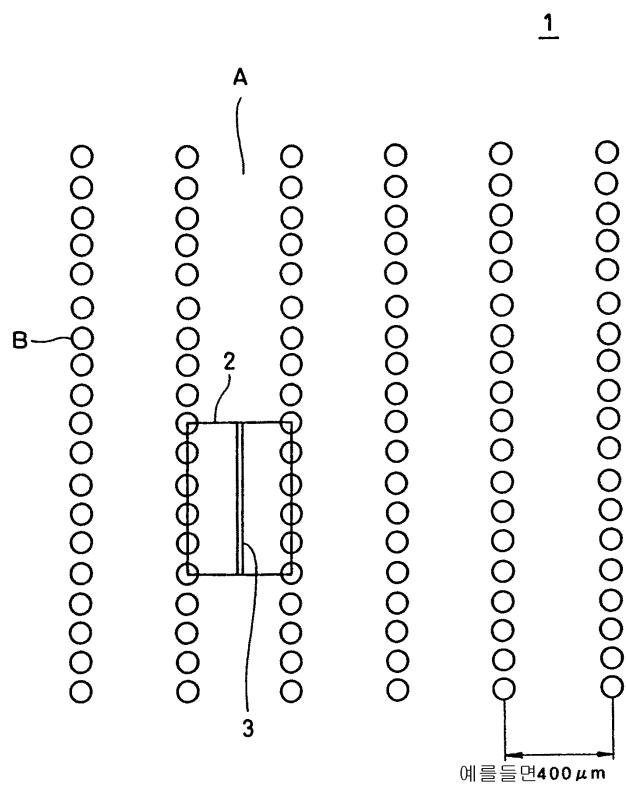
도면22



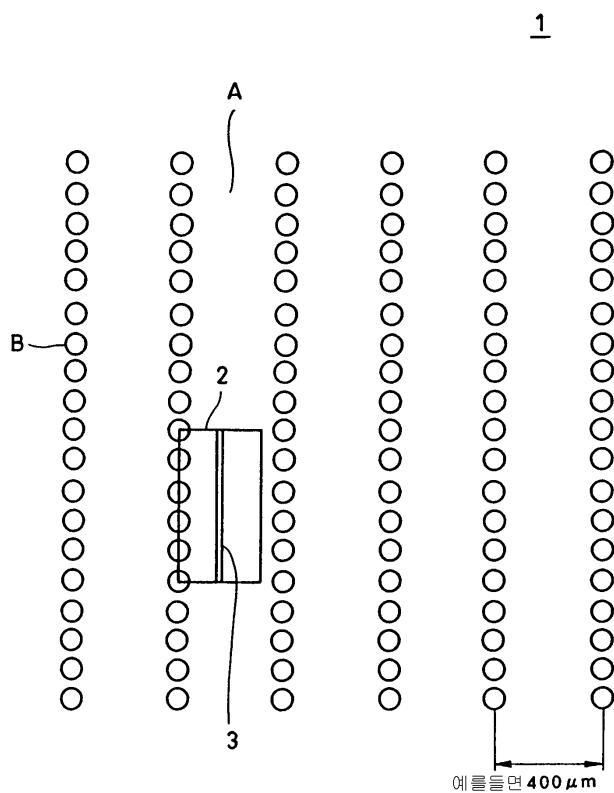
도면23



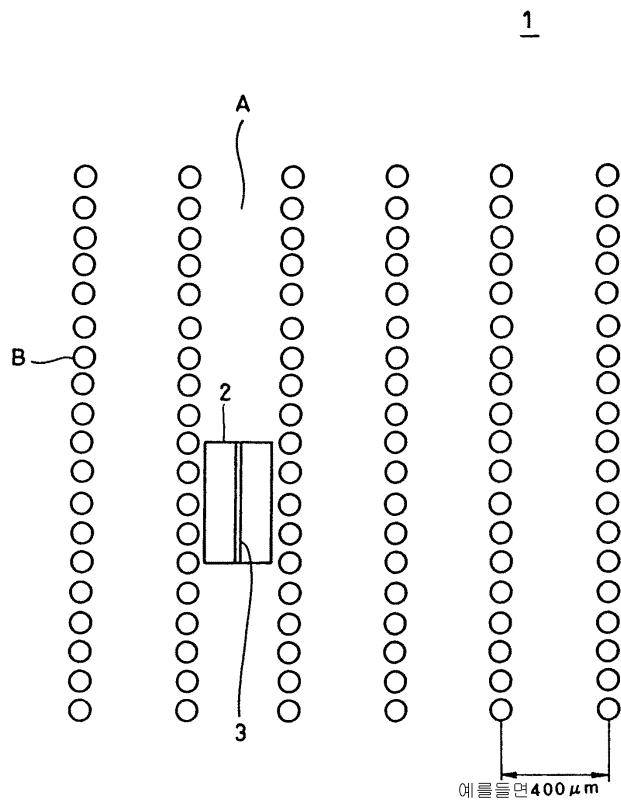
도면24



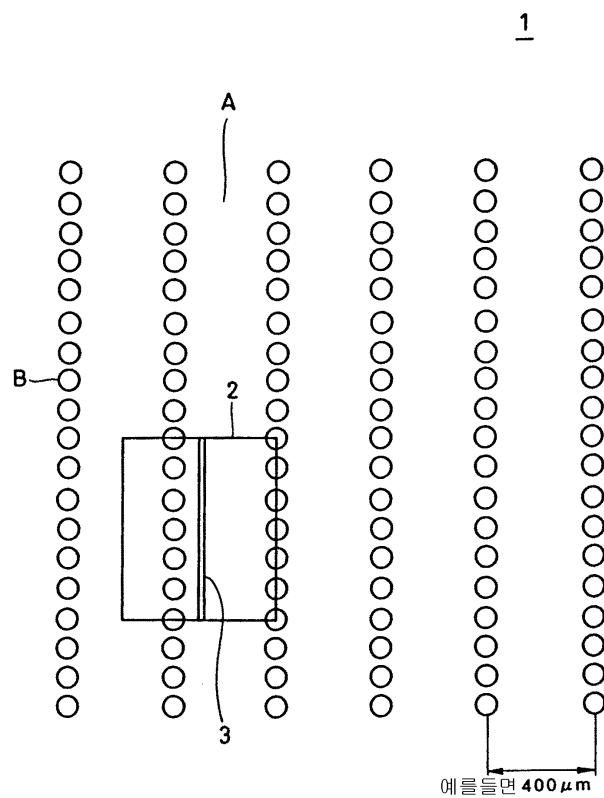
도면25



도면26

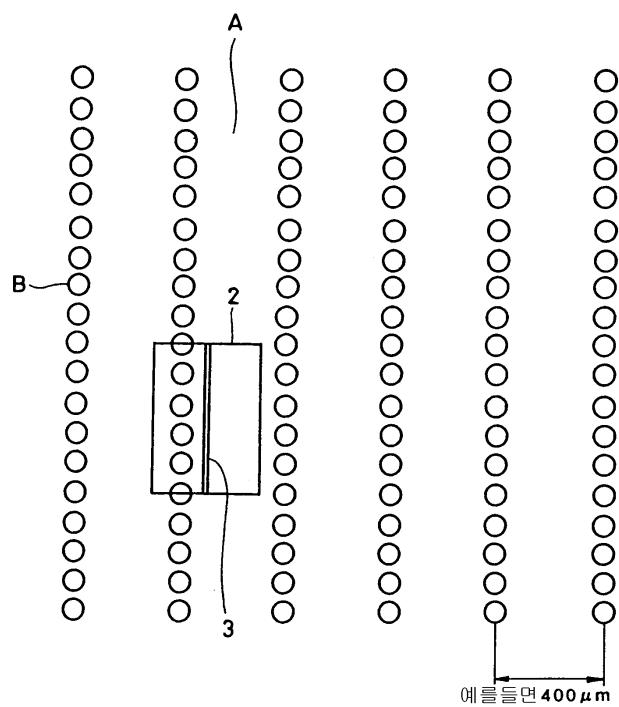


도면27



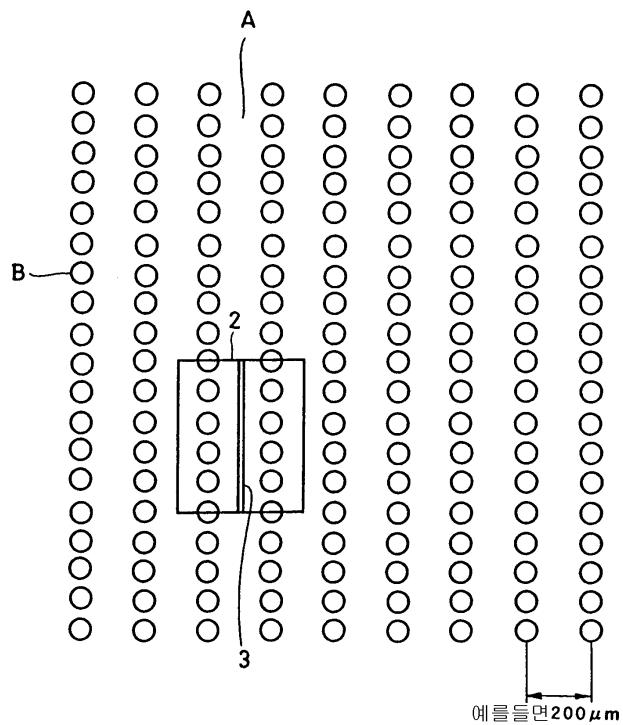
도면28

1



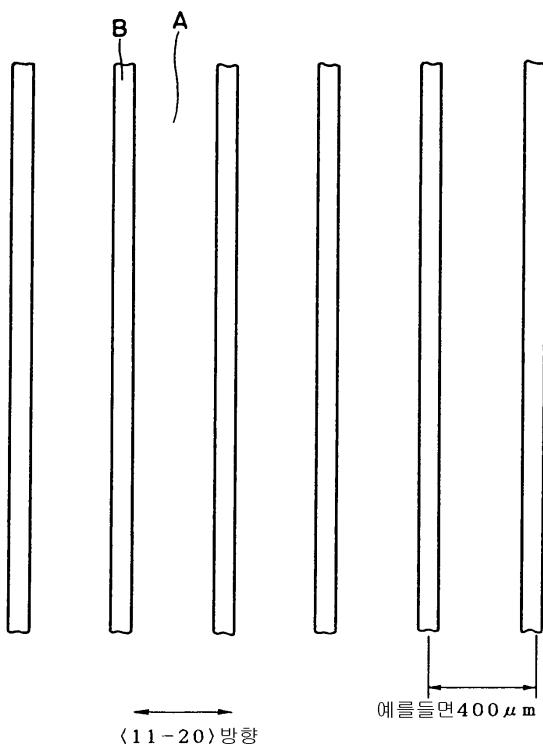
도면29

1



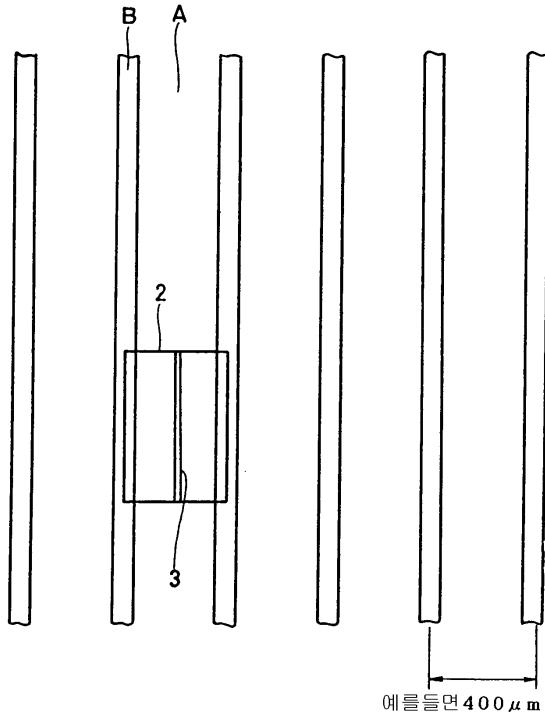
도면30

1



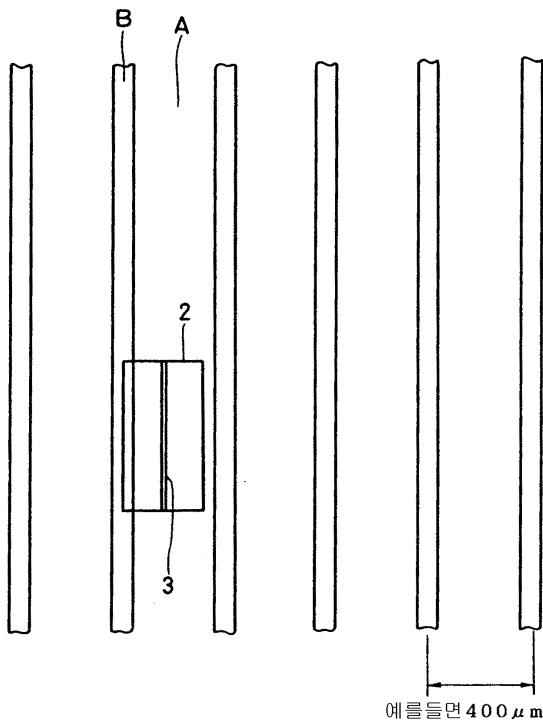
도면31

1



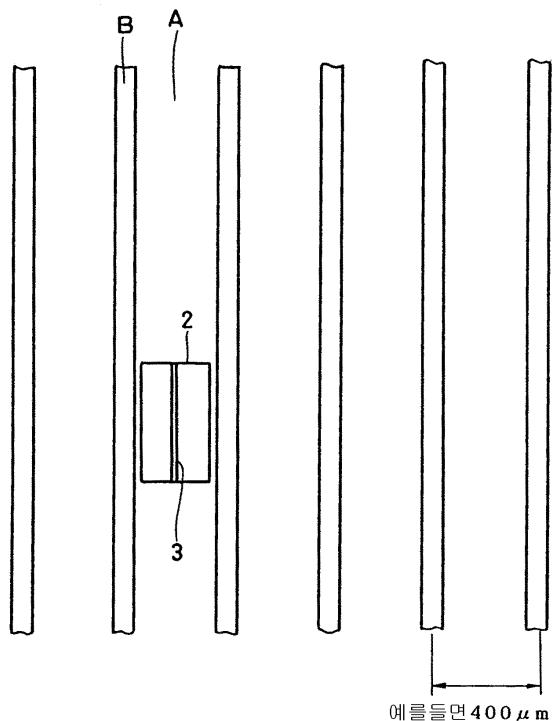
도면32

1



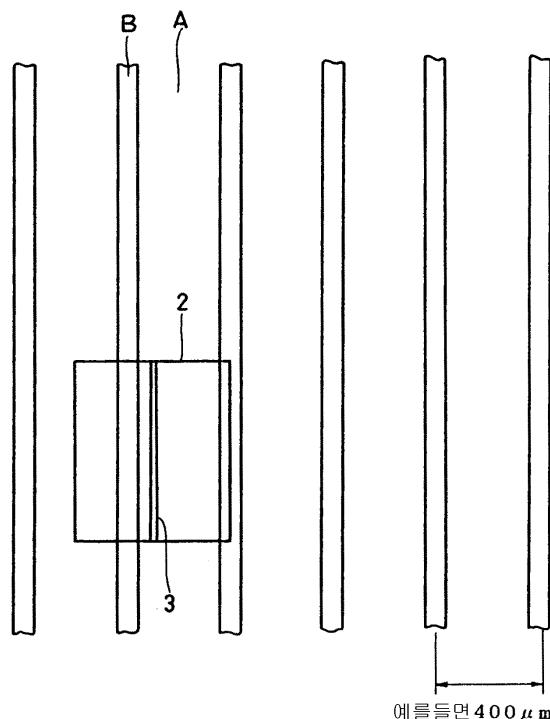
도면33

1



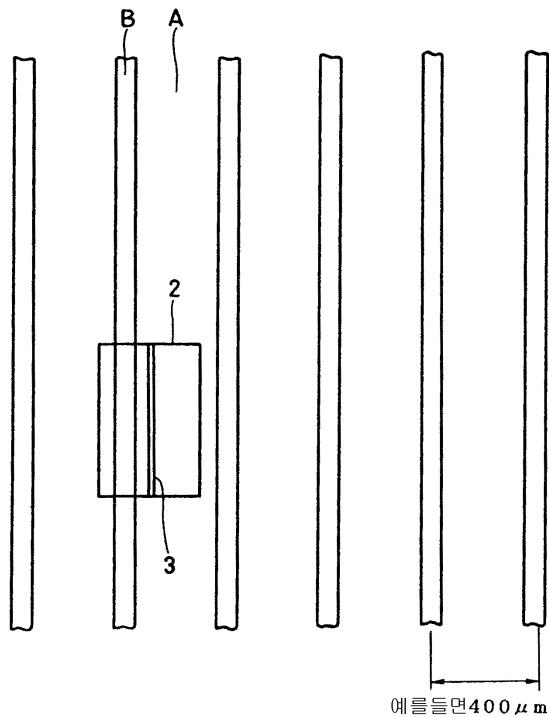
도면34

1



도면35

1



도면36

1

