

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2010-25698
(P2010-25698A)

(43) 公開日 平成22年2月4日(2010. 2. 4)

(51) Int.Cl.			F I			テーマコード (参考)	
GO 1 P	15/12	(2006.01)	GO 1 P	15/12	D	4 M 1 1 2	
GO 1 P	15/18	(2006.01)	GO 1 P	15/00	K		
GO 1 P	15/08	(2006.01)	GO 1 P	15/08	P		
HO 1 L	29/84	(2006.01)	HO 1 L	29/84	A		

審査請求 未請求 請求項の数 7 O L (全 21 頁)

(21) 出願番号	特願2008-186220 (P2008-186220)	(71) 出願人	000002897
(22) 出願日	平成20年7月17日 (2008. 7. 17)		大日本印刷株式会社
			東京都新宿区市谷加賀町一丁目1番1号
		(74) 代理人	100111659
			弁理士 金山 聡
		(74) 代理人	100135954
			弁理士 深町 圭子
		(74) 代理人	100119057
			弁理士 伊藤 英生
		(74) 代理人	100122529
			弁理士 藤枿 裕実
		(74) 代理人	100131369
			弁理士 後藤 直樹

最終頁に続く

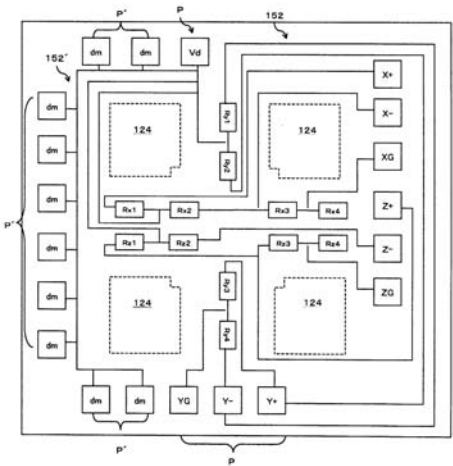
(54) 【発明の名称】 センサ及びその製造方法

(57) 【要約】

【課題】 本発明によれば、通電による出力特性変動を抑えたセンサ及びその製造方法を提供することができる。

【解決手段】 本発明に係るセンサは、錘部と、前記錘部の周囲に位置するフレーム部と、前記フレーム部と前記錘部とを連結するダイヤフラム状あるいは梁状の可撓部と、前記可撓部及び／又は前記フレーム部に配設され、少なくとも1軸方向の物理量を検出するための歪検出部と、前記可撓部及び前記フレーム部上に、ブリッジ回路を構成するように前記歪検出部を接続する配線部と、を備え、前記配線部を介して前記歪検出部と接続された複数の外部接続パッドと、前記配線部を介して前記歪検出部と接続されるとともに外部接続に用いないダミーパッドと、を前記フレーム部上に配置したことを特徴とする。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

錘部と、
前記錘部の周囲に位置するフレーム部と、
前記フレーム部と前記錘部とを連結するダイアフラム状あるいは梁状の可撓部と、
前記可撓部及び／又は前記フレーム部に配設され、少なくとも 1 軸方向の物理量を検出するための歪検出部と、
前記可撓部及び前記フレーム部上に、ブリッジ回路を構成するように前記歪検出部を接続する配線部と、を備え、
前記配線部を介して前記歪検出部と接続された複数の外部接続パッドと、
前記配線部を介して前記歪検出部と接続されるとともに前記外部接続パッドとは別のダミーパッドと、を前記フレーム部上に配置したことを特徴とするセンサ。

10

【請求項 2】

前記外部接続パッドはブリッジ回路に電圧を入力するための入力用パッドと、ブリッジ回路の出力電圧を取り出すための出力用パッドとを有し、
前記ダミーパッドのいずれかは、前記入力用パッドと前記歪検出部を接続する前記配線部から分岐した配線部により前記歪検出部と接続していることを特徴とする請求項 1 記載のセンサ。

【請求項 3】

前記ダミーパッドのいずれかは、前記出力用パッドと前記歪検出部を接続する前記配線部から分岐した配線部により前記歪検出部と接続していることを特徴とする請求項 1 又は 2 記載のセンサ。

20

【請求項 4】

前記ダミーパッドの面積の和が、前記外部接続パッドの面積の和の 1.5 倍以上であることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載のセンサ。

【請求項 5】

前記歪検出部は、少なくとも 1 回以上の折返した構造を有することを特徴とする請求項 1 乃至 4 のいずれか 1 項記載のセンサ。

【請求項 6】

半導体基板を用いて少なくとも 1 軸方向の物理量を検出するセンサを製造する方法であって、

30

前記半導体基板の一方の面に不純物を拡散して歪検出部を形成する工程と、
前記半導体基板から、錘部と、前記錘部の周囲に位置するフレーム部と、前記フレーム部と前記錘部とを連結するダイアフラム状あるいは梁状の可撓部と、を形成する工程と、
前記可撓部及び前記フレーム部上に、ブリッジ回路を構成するように前記歪検出部を接続する配線部を形成する工程と、
前記配線部を介して前記歪検出部と接続された複数の外部接続パッドと、前記配線部を介して前記歪検出部と接続されるとともに前記外部接続パッドとは別のダミーパッドとを前記フレーム部上に形成する工程と、を含むことを特徴とするセンサの製造方法。

【請求項 7】

前記配線部と前記外部接続パッド及び前記ダミーパッドを同時に形成することを特徴とする請求項 6 記載の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物理量を検出可能なセンサとその製造方法に関し、特に圧電抵抗素子を検出素子として複数の方向の加速度を検出するタイプのセンサとその製造方法に関する。

【背景技術】

【0002】

近年、MEMS (Micro Electro Mechanical System

50

s) 技術を用いて小型で単純な構造を有するセンサとして、 piezo 抵抗を検出素子としたセンサが実用化されている。このようなセンサは加速度や圧力などの物理量検出を行なうセンサである。 piezo 抵抗型の加速度センサは HDD (ハードディスクドライブ) の落下検出装置、車載用エアバック装置、携帯電話などの携帯端末、ゲーム機などの幅広い分野に用いられている。

【0003】

従来の加速度センサとしては、例えば特許文献 1 に記載されているものがある。互いに直交する 2 対の梁構造の可撓部を有し、可撓部よりも厚肉の重錘体とその周辺に配置した固定部とを該可撓部で接続し、 X 軸方向と Z 軸方向とを同一の梁上に、また、 Y 軸方向をこれと直交する他の梁上に形成した piezo 抵抗素子で検出するように、該梁上には各軸 4 10
個の piezo 抵抗素子が形成されてなるセンサ構造が示されている。なお、特許文献 1 の図 1 などに記載されたように piezo 抵抗素子は各軸ごとにブリッジ回路を構成するように配置した引き出し電極と、この引き出し電極と接続する外部接続パッドと接続されている。

【特許文献 1】特開 2003-101033 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の加速度センサの実使用時には、ブリッジ回路に電圧を印加した状態で可撓部の歪みに起因した出力を計測することで、重錘体に作用した加速度を検出している。 piezo 抵抗型加速度センサでは、通電状態下において加速度を検出するために piezo 抵抗素子から 20
ジュール熱が発生する。一般に piezo 抵抗は動作温度によってその抵抗特性が変化してしまうために、通電時間ごとの熱変動に起因してセンサの出力特性が変動するという問題がある。

【0005】

そこで上記に鑑み、本発明の目的は通電による出力特性変動を抑えたセンサ及びその製造方法を提供することにある。

【課題を解決するための手段】

【0006】

本発明に係るセンサは、錘部と、前記錘部の周囲に位置するフレーム部と、前記フレーム部と前記錘部とを連結するダイヤフラム状あるいは梁状の可撓部と、前記可撓部及び／又は前記フレーム部に配設され、少なくとも 1 軸方向の物理量を検出するための歪検出部 30
と、前記可撓部及び前記フレーム部上に、ブリッジ回路を構成するように前記歪検出部を接続する配線部と、を備え、前記配線部を介して前記歪検出部と接続された複数の外部接続パッドと、前記配線部を介して前記歪検出部と接続されるとともに前記外部接続パッドとは別のダミーパッドと、を前記フレーム部上に配置したことを特徴とする。

【0007】

本発明に係るセンサの製造方法は、半導体基板を用いて少なくとも 1 軸方向の物理量を検出するセンサを製造する方法であって、前記半導体基板の一方の面に不純物を拡散して歪検出部を形成する工程と、前記半導体基板から、錘部と、前記錘部の周囲に位置するフレーム部と、前記フレーム部と前記錘部とを連結するダイヤフラム状あるいは梁状の可撓部と、を形成する工程と、前記可撓部及び前記フレーム部上に、ブリッジ回路を構成する 40
ように前記歪検出部を接続する配線部を形成する工程と、前記配線部を介して前記歪検出部と接続された複数の外部接続パッドと、前記配線部を介して前記歪検出部と接続されるとともに前記外部接続パッドとは別のダミーパッドとを前記フレーム部上に形成する工程と、を含むことを特徴とする。

【発明の効果】

【0008】

本発明によれば、通電による出力特性変動を抑えたセンサ及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

10

20

30

40

50

【0009】

以下、図面を参照して本発明に係るセンサの一態様である、半導体3軸加速度センサに関して説明する。図1は本発明に係る加速度センサの全体斜視図である。

図1に示すように加速度センサ1は略直方体であり、半導体基板からなるセンサ本体2と、ガラスなどからなる支持基板3により構成されている。図では加速度センサの面内に直交する2軸(X軸とY軸)を設定し、この2軸に垂直な方向をZ軸と定めている。センサ本体2はSOI(Silicon On Insulator)基板110からなり、シリコン膜120、シリコン酸化膜130、シリコン基板140が順に積層して構成されている。略中央に重錘体(錘部142)が配置され、重錘体の周囲に開口を有するフレーム(フレーム部121およびフレーム部141)が位置し、重錘体とフレームとを連結する可撓性を有する梁(可撓部123)を有する構成である。支持基板3はセンサ本体2を支持する台座としての機能と、重錘体の下方(Z軸負方向)への過剰な変位を規制するストッパ基板としての機能を併せもっている。センサ本体2をパッケージ基板(図示しない)へ直接実装する場合には、支持基板3を必ずしも必要としない。

10

【0010】

図2は加速度センサの分解斜視図である。シリコン膜120は、固定されたフレーム部121(フレーム上部)と、フレーム部121内に配置された錘接合部122と、フレーム部121と錘接合部122とを接続する2対(計4本)の可撓部123を備えている。フレーム部121、錘接合部122、可撓部123は開口124によって画定されている。フレーム部121はシリコン酸化膜130を介してフレーム部141(フレーム下部)と接合されている。また、錘接合部122はシリコン酸化膜130を介して鉛直視略クローバー状の錘部142と接合されている。錘部142はフレーム部141内に離間して配置されている。

20

【0011】

支持基板3は例えば、ガラス基板からなりセンサ本体2と陽極接合により接合されている。支持基板はガラス基板に限定されず、金属板(ステンレス、Fe-36%Ni合金からなるインバーなど)、絶縁性樹脂板、Siなどの半導体基板を用いることができる。接合方法として、直接接合、共晶接合、接着剤による接合などから適宜選択することができる。

【0012】

図3は加速度センサの平面図及び断面図である。図3(A)は加速度センサの平面図であり、4本の可撓部123上には3軸(XYZ)方向の加速度を検出するための歪検出部Rx~Rzが配設されている。歪検出部Rx~Rzは、可撓部123がフレーム部121および錘接合部122と接続する領域に配置されている。図面ではX軸に沿った方向に配置した1対の可撓部には、X方向およびZ方向の加速度を検出するために歪検出部Rx1~Rx4およびRz1~Rz4が配置される。一方、Y軸に沿った方向に配置した1対の可撓部にはY方向の加速度を検出するための歪検出部Ry1~Ry4が配置されている。なお、Y軸に沿った方向に配置した1対の可撓部に歪検出部Rz1~Rz4を配置してもよい。歪検出部Rは直線状のピエゾ抵抗素子で形成した例を図示したが、少なくとも1回以上の折り返し構造を有し、蛇行した形状であってもよい。これについては後述する。

30

40

図3(B)は加速度センサをA-Aに沿った断面図であり、錘部142の下面はフレーム部141の下端よりも高くされており、ガラス基板3との間にギャップによりZ負方向に一定量の変位可能なように設定されている。図3(C)は加速度センサをB-Bに沿った断面図であり、可撓部123は可撓性をもった自立薄膜である。

【0013】

図3(A)では歪検出部Rを可撓部123の幅中心線を境に、一方の側にRx1~Rx4、他方の側にRz1~Rz4を配置しているが、この配置に限定されるものではない。例えば、歪検出部Rx(Ry, Rzでもよい)を錘部142の中心に対して点対称に配置してもよく、その場合には加速度によって生じた可撓部123の捻れ(錘部142の回転)による、検出したくない方向の物理量変動の検出(他軸感度)を抑えることができる。

50

したがって、検出信号の精度を向上させることができる。

【0014】

また、Y軸に沿った可撓部123に歪検出部R_yを配置しているが、X軸に沿った可撓部123と同様のレイアウトとなるように歪検出部R_yとダミー歪検出部とを設け、可撓部の幅中心線に対称に配置してもよい。ダミー歪検出部を配置することで、可撓部上における歪検出部R及び配線152のレイアウトを対称性良くすることが可能になり、オフセット電圧を低減することができる。

【0015】

図4は可撓部における詳細を説明する図面である。図4(A)は歪検出部が配置された可撓部の平面図であり、図4(B)は図4(A)の平面図のC-Cにおける断面図である。歪検出部Rは可撓部123の応力集中部付近に置かれたピエゾ抵抗素子である。歪検出部Rの一端が、可撓部123とフレーム部121が接続する境界、および可撓部123と錐接合部122が接続する境界に接するように配置している。なお、境界を跨ぐように歪検出部Rを配置してもよいし、各軸ごと出力差に応じて配置位置を変更することも可能である。

【0016】

歪検出部R上には絶縁層150が形成されており、絶縁層150には配線152との接続箇所にコンタクトホール151を有している。接続抵抗を下げるためにコンタクトホール151によって露出した部分に、高濃度拡散領域(ピエゾ抵抗素子領域よりも1桁程度上度濃度が高い不純物領域)を設けて接続してもよい。なお、R_x1~R_x4、R_y1~R_y4、R_z1~R_z4の計12個の歪検出部は検出方向ごとに接続されて、ブリッジ回路を構成している。フレーム部121上には後述する、外部回路と接続するための外部接続パッドP及びダミーパッドP'(後述する)を有し、配線152と外部接続パッドPと接続して加速度に伴う電気信号を外部回路へ取り出している。配線152を保護するために、配線152上に保護層153を形成している。

【0017】

図5は折り返し構造を有する歪検出部を説明する図面である。歪検出部Rはピエゾ抵抗素子を折返した態様(図5(A)参照)、あるいは複数本のピエゾ抵抗素子を金属配線あるいは高濃度不純物拡散層により直列につないで1つの歪検出部とした態様であってもよい(図5(B)参照)。歪検出部Rは少なくとも1回以上折り返した構造(折り返し部170)を有しており、応力集中部に効率的に歪検出部を配置するとともに、所定の抵抗値(抵抗長に相当する)を得ることができ、高感度かつ低消費電力化に対応可能なセンサを提供できる。

【0018】

図5(A)では、折り返し部170はピエゾ抵抗素子と略同様の濃度領域($10^{17} \sim 10^{19} \text{ a t m} / \text{c m}^3$)の層で構成されている。また、図5(B)では、折り返し部170は金属配線あるいは高濃度不純物拡散層により構成されている。高濃度不純物拡散層とは、ピエゾ抵抗素子よりも不純物濃度が1桁以上高い低抵抗層のことを指す。

【0019】

歪検出部Rの長さは $10 \mu\text{m} \sim 100 \mu\text{m}$ 、幅は $0.2 \mu\text{m} \sim 10 \mu\text{m}$ の範囲、折り返し部170の長さは $2 \mu\text{m} \sim 20 \mu\text{m}$ 、幅は $0.2 \mu\text{m} \sim 10 \mu\text{m}$ の範囲で適宜設定できる。但し、歪検出部の幅は $2 \mu\text{m}$ 以上、より好ましくは $3 \mu\text{m}$ 以上であり、かつ可撓部の幅の $1/10$ 以下であることが好ましい。 $2 \mu\text{m}$ 未満であると歪検出部を形成する際のリソグラフィ工程における不良が現れやすくなり、センサ特性のバラツキにつながる。なお、 $3 \mu\text{m}$ 以上とすると出力変動をさらに抑えられることが本発明者らにより確認されている。歪検出部の幅が可撓部の幅の $1/10$ より大きいと捻れによる抵抗変化を大きく検知してしまう。

また、隣接する歪検出部間の間隔は $5 \mu\text{m}$ 以上であることが好ましい。 $5 \mu\text{m}$ 未満であると、隣接する歪検出部間で不純物拡散領域の重なりが生じ、電流リークが起こるためである。

10

20

30

40

50

【0020】

次に図6を参照して、本発明に係る配線レイアウトについて詳細に説明する。

図6は配線レイアウトを示す図面である。実装基板（図示せず）側のICなどの素子と接続するための外部接続パッドPに加えて、外部接続パッドとは別のダミーパッドP'が配線152に接続された状態でフレーム部121上に配置されている。外部接続パッドをICなどの素子と接続する場合には、通常ダミーパッドP'は外部接続に用いない。外部接続パッドP及びダミーパッドP'は導電性材料からなり、例えば金属材料である。外部接続パッドPはワイヤボンディングなどの手段により外部素子との接続のために用いるため、保護層153が開孔されて表面が露出しており、大気と接している。また、ダミーパッドP'は外部素子との接続を行なわないが、表面が露出させて大気と接するようにしてもよい。外部接続パッドP及びダミーパッドP'の表面は導電性を有するバリア導電層（図示せず）により保護することで表面劣化を防ぐ構成としてもよい。

10

【0021】

ダミーパッドP'が配線152を介して歪検出部Rと接続している。図面においてダミーパッドは、外部接続パッドPと歪検出部を接続する配線152から分岐した配線152'により歪検出部と接続している。そのため歪検出部Rで発生する熱をダミーパッドP'を通じて効果的に外部へ放出することができる。特に小型の加速度センサ（例えば外形が1～3mmサイズ）では、センサ躯体の小型化にしたがって歪検出部の幅／長さを小さく設計しなければならない。そのため、歪検出部の抵抗値が小さくなるために消費電力が高くなり、発熱量が増加する。ダミーパッドP'を配置することで、歪検出部で発生するジュール熱を効果的に外部へ放出することができる。ダミーパッドP'はフレーム部121上に可能な限り広い面積で配置されることが好ましく、外部接続パッドPの表面積の総和に対してダミーパッドP'の表面積の総和が1.5倍以上であることが好ましい。

20

【0022】

図6では外部接続パッドPのうち、入力電圧を供給するための入力用パッドをVd、グラウンド端子をXG、YG、ZG、そしてXYZ方向の出力電圧を検出するための出力用パッドをそれぞれ(X₊, X₋)、(Y₊, Y₋)、(Z₊, Z₋)として、またダミーパッドP'をdmと表記している。なお、図6ではダミーパッドP'が全て入力用パッドVdに接続された場合を例示している。

【0023】

図7は検出回路（ブリッジ回路）を示す回路図である。各パッドと歪検出部は配線部を介して接続し、ブリッジ回路を構成している。ブリッジ回路では以下の式(1)～(3)で表される入力電圧Vin(Vd)に対する出力電圧Vout(|X₊-X₋間の電圧|, |Y₊-Y₋間の電圧|, |Z₊-Z₋間の電圧|)の関係から加速度を検出できる。

30

$$V_{xout}/V_{xin} =$$

$$[R_{x4}/(R_{x1}+R_{x4}) - R_{x3}/(R_{x2}+R_{x3})] \quad \dots\dots \text{式(1)}$$

$$V_{yout}/V_{yin} =$$

$$[R_{y4}/(R_{y1}+R_{y4}) - R_{y3}/(R_{y2}+R_{y3})] \quad \dots\dots \text{式(2)}$$

$$V_{zout}/V_{zin} =$$

$$[R_{z3}/(R_{z1}+R_{z3}) - R_{z4}/(R_{z2}+R_{z4})] \quad \dots\dots \text{式(3)}$$

40

【0024】

図8はパッド接続の別の態様を説明する図面である。各方向の出力用パッドに接続する配線152から分岐させた配線152'によりダミーパッドP'を歪検出部と接続してもよい。ダミーパッドP'は外部接続パッドに対して並列に配置しており、外部接続パッドの不良時に代用パッドとして用いることができる。したがって、不良率を低減することができる。

【0025】

図9はダイアフラム状の可撓部を有する加速度センサを説明する図面である。本発明に係る加速度センサは、略中央に配置した錘部142を薄肉ダイアフラム状の可撓部123によりフレーム部121と連結する構造であってもよい。図9(A)は加速度センサの平

50

面図である。直交する2軸に沿ってX及びY軸方向検出用の歪検出部を、XY軸に対して45°をなす方向にZ軸方向検出用の歪検出部を配置している。図9(B)は図9(A)におけるX軸に沿った(D-D)断面図である。錘部142はダイヤフラム状の可撓部123と一体あるいは接合されている。

【0026】

次に図10を参照して、実施形態に係る加速度センサの製造方法について述べる。図10は本発明に係る実施形態の製造方法を示す図面である。

§ 加速度センサの製造方法

(1) SOI基板の準備(図10(A)参照)

シリコン膜120、酸化シリコン膜130、シリコン基板140を積層してなるSOI基板110を用意する。上述したように、シリコン膜120はフレーム部121、錘接合部122、可撓部123を構成する層である。酸化シリコン膜130は、シリコン膜120とシリコン基板140とを接合する層であり、かつエッチングストップ層として機能する層である。シリコン基板140はフレーム部141、錘部142を構成する層である。SOI基板110は、SIMOXないし、貼り合せ法等により作成される。SOI基板110は、シリコン膜120、シリコン酸化膜130、シリコン基板140の厚みがそれぞれ、5μm、2μm、600μmである。なお、外周が1~2mm程度の加速度センサ1が直径150mm~200mmのウェハに多面付けで複数個配置されている。

【0027】

(2) 歪検出部の形成(図10(B)参照)

SOI基板110のシリコン膜120側に不純物拡散用のマスクを形成する(図示せず)。このマスク材としては、例えばシリコン窒化膜(Si_3N_4)やシリコン酸化膜(SiO_2)、レジストなどを用いることができる。ここではシリコン酸化膜をシリコン膜120全面に熱酸化あるいはプラズマCVD(Chemical Vapor Deposition: 化学気相成長)法により成膜した後、シリコン窒化膜を成膜し、シリコン窒化膜上にレジストパターン(図示せず)を形成し、シリコン窒化膜、シリコン酸化膜に検出部Rに対応する開口をRIE(Reactive Ion Etching)及びフッ酸などのウェットエッチングにより形成する。拡散用マスクはシリコン膜120側からシリコン酸化膜、シリコン窒化膜の2層構造とした。シリコン窒化膜は後述する拡散剤の拡散防止用のために用いている。

【0028】

シリコン膜120上にB(ボロン)などを含む拡散剤を塗布する。そして熱処理(約1000℃)を施して、シリコン膜120内に拡散(ドライブイン)させ、ピエゾ抵抗素子を形成する。不要な拡散剤は、フッ酸などを用いて除去する。その後、シリコン窒化膜(Si_3N_4)は熱リン酸によって、エッチング除去する。また上述の塗布拡散法以外にも、 BBr_3 などのドーパントガスを使用したガス拡散法を用いることもできる。

なお、熱拡散法以外にイオン注入法によってピエゾ抵抗素子を形成してもよい。イオン注入法の場合には、レジストをマスクとして用いることができる。

【0029】

歪検出部Rをピエゾ抵抗素子が折り返し部170により連続して形成する場合には、蛇行した形状の開口を有するマスクを用いてシリコン膜120に不純物を拡散すればよい。歪検出部Rを複数のピエゾ抵抗素子を金属配線で直列に接続して形成する場合には、本工程において複数のピエゾ抵抗素子を形成しておき、その後、後述する配線、外部接続パッド及びダミーパッドの作成工程において成膜し、パターニングして折り返し部170を形成すればよい。また、歪検出部Rを複数のピエゾ抵抗素子を不純物拡散配線で直列に接続して形成する場合には、折り返し部170に対応する開口を有するマスクを用いて不純物を注入することで折り返し部170を形成できる。

【0030】

(3) 絶縁層およびコンタクトホール形成(図10(C)参照)

シリコン膜120上に絶縁層150を形成する。例えば、シリコン膜120の表面を熱

10

20

30

40

50

酸化することで、絶縁層を SiO_2 の層により形成できる。絶縁層はプラズマCVD法で形成してもよい。絶縁層150上にレジストをマスクとしたRIEによってコンタクトホール151を形成する。なお、コンタクトホール151の形成はシリコン基板140の加工後であってもよい。

【0031】

(4) ギャップ形成 (図10 (D) 参照)

フレーム部141の内枠に沿った開口を有するマスクを用いて、シリコン基板140をエッチングしてギャップ160を形成する。ギャップ160は、錘部142が下方(ガラス基板3側)へ変位するために必要な間隔であり、例えば、 $5 \sim 10 \mu\text{m}$ である。ギャップ160の値は、センサのダイナミックレンジに応じて適宜設定することができる。

10

【0032】

(5) シリコン基板の加工 (図10 (E) 参照)

次に、フレーム部141、錘部142に画定するためのマスクをシリコン基板140の下面に形成する。このマスクを用いてシリコン基板140をシリコン酸化膜130の下面が露出するまでエッチングを行なう。エッチングにはDRIE (Deep Reactive Ion Etching) を用いるのが好適である。

【0033】

DRIEでは材料層を厚み方向に侵食しながら掘り進むエッチングステップと、膨った穴の側壁にポリマーの壁を形成するデポジションステップと、を交互に繰り返す。掘り進んだ穴の側壁は、順次ポリマーの壁が形成されて保護されるため、ほぼ厚み方向にのみ侵食を進ませることが可能である。エッチングガスとして SF_6 等のイオン・ラジカル供給ガスを用い、デポジションガスとして C_4F_8 等を用いることができる。

20

【0034】

(6) 配線、外部接続パッド及びダミーパッドの作成 (図10 (F) 参照)

配線152、外部接続パッドP及びダミーパッドP'を形成する。これらはAl, Al-Si合金, Al-Nd合金などの金属材料を蒸着法、スパッタ法などによって、例えば、 $0.1 \mu\text{m} \sim 1.0 \mu\text{m}$ の厚さに成膜し、それをパターニングすることで得られる。外部接続パッド、ダミーパッドの個々の面積はセンサのサイズによって適宜設定しうる値をとるものとする。Cu, Auなどの金属材料を用いることもできるが、Cuを用いた場合には金属拡散の可能性がある、Auを用いた場合には製造コストが嵩んでしまう。製品の信頼性および製造コストの点でAl系の材料が好ましい。なお、配線152と歪検出部Rとの間でオーミックコンタクトを形成するために、熱処理($380^\circ\text{C} \sim 400^\circ\text{C}$)を施す。なお、ダミーパッドP'は配線152及び152'により所定の歪検出部Rと接続されている。

30

【0035】

外部接続パッドP及びダミーパッドP'上にバリア導電層としてTiNなどを設けておくことで、表面劣化を防止することができる。なお、バリア導電層はスパッタ法により $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$ の厚さで形成する。

【0036】

そして、配線152上に保護層153としてシリコン窒化膜(Si_3N_4)などの膜を設ける。外部接続パッドP及びダミーパッドP'を覆う部分についてはRIEまたはウェットエッチングによって開孔しておく。保護層153は高感度化のためになるべく薄く設定することが好ましい、例えば $0.3 \mu\text{m} \sim 0.6 \mu\text{m}$ であると好適である。

40

【0037】

加速度センサはSi基板上に、各種層(絶縁層、保護層、配線)を形成して構成している。ピエゾ抵抗で発生したジュール熱に伴い、これらの層の熱膨張係数差によりセンサ駆体に応力がかかる。ジュール熱を効果的に放熱するダミーパッドをフレーム部に配置した場合には、フレーム部が可撓部より厚い厚肉部であるから、ダミーパッドの放熱の影響による歪みが発生しづらい点で好適である。可撓部あるいは錘部上では配線の設計ルールの関係から、放熱用の電極を設けることが困難な場合があるが、フレーム部にあっては設計

50

ルールによる配置制限を受けにくい。また、配線を太く設計することがないため、配線抵抗を上げることなく放熱効果を得ることができる。

【0038】

(7) シリコン膜の加工 (図10 (G) 参照)

シリコン膜120をシリコン酸化膜130の上面が露出するまでRIEによりエッチングして開口124を形成して、フレーム部121、錐接合部122、可撓部123を画定する。

【0039】

(8) 不要なシリコン酸化膜の除去 (図10 (H) 参照)

エッチングストップとして用いた部分の不要なシリコン酸化膜をRIEあるいはウェットエッチングにより除去する。これにより、シリコン酸化膜130は、フレーム部121とフレーム部141、錐接合部122と錐部142の間に存在している。

【0040】

(9) ガラス基板の接合 (図10 (I) 参照)

センサ本体2とガラス基板3とを接合する。ガラス基板3は、Naイオンなどの可動イオンを含む、いわゆるパイレックス (登録商標) ガラスであって、SOI基板110との接合には陽極接合を用いる。なお、陽極接合時の静電引力により錐部142がガラス基板3の上面にスティッキングするのを防ぐために、ガラス基板3の上面にスパッタ法によりCrなどのスティッキング防止膜 (図示せず) を形成しておいてもよい。これによりセンサ本体2とガラス基板3が接合され、加速度センサ1が構成される。

【0041】

(10) 個片化

加速度センサ1をダイシングソー等でダイシングし、個々の加速度センサ1に個片化する。本明細書ではウエハに多面付け配置された「加速度センサ」と、個片化された「加速度センサ」とを特に区別せず加速度センサ1と呼んでいる。以上は本発明に係る加速度センサの製造方法の一例であって、適宜順序は変更可能であり、上記に限られない。

【0042】

加速度センサ1はチップ単体としても流通するが、ICなどの能動素子を搭載したパッケージ基板/回路基板と組み合わせて、電子部品として流通する。加速度センサ1は、ゲーム機やモバイル端末機 (例えば、携帯電話) 等の様々な用途で利用可能である。なお、加速度センサ1の外部接続パッドPとパッケージ基板/回路基板とは、ワイヤボンディング、フリップチップ等の方法によって電氣的に接続される。

【実施例】

【0043】

(実施例1)

SOI基板 ($5\mu\text{m}/2\mu\text{m}/625\mu\text{m}$) に 1.5mm 正方の加速度センサを多面付けで作製した。A1からなる11個の外部接続パッド (各面積: $100\mu\text{m} \times 100\mu\text{m}$) に加えて、外部接続パッドと略同面積のダミーパッドを27個配置した。当該加速度センサのブリッジ回路に3Vの電圧を印加した際の出力変動を10分間 (600秒) にわたり観測した。本実施例に係る加速度センサでは、初期動作 (通電開始30秒内) 以降の出力変動は $\pm 0.03\text{mV}$ の範囲内であり、出力変動が非常に小さかった。

【0044】

(実施例2)

歪検出部を1回の折返し構造を有するピエゾ抵抗素子 (幅 $2\mu\text{m}$) により構成した点を除き、実施例1と略同様の構成で加速度センサを作製した。本実施例に係る加速度センサでは、通電時の出力変動が $\pm 0.03\text{mV}$ の範囲内であるとともに、初期動作 (通電開始30秒以内) のドリフト電圧値が 0.03mV であり、通電直後から安定した動作が可能であった。

【0045】

(実施例3)

10

20

30

40

50

歪検出部であるピエゾ抵抗素子の幅を $3\ \mu\text{m}$ に設定した点を除き、実施例 2 と略同様の構成で加速度センサを作製した。本実施例に係る加速度センサでは、通電時の出力変動が $\pm 0.03\ \text{mV}$ の範囲内であるとともに、初期動作（通電開始 30 秒以内）のドリフト電圧値が $0.02\ \text{mV}$ 未満であり、通電直後から安定した動作が可能であった。

【0046】

（比較例）

A1 からなる 11 個の外部接続パッド（面積： $100\ \mu\text{m} \times 100\ \mu\text{m}$ ）のみを備えた従来の加速度センサにつき、上記と同様に出力変動を測定したところ、初期動作以降の出力変動は $\pm 2.0\ \text{mV}$ の範囲内でバラツキが現れ、出力変動が大きかった。また、初期動作におけるドリフト電圧値が $2\ \text{mV}$ を超え、不安定な動作であった。

10

【0047】

以上、本発明の実施形態は上記の実施形態に限られず拡張、変更可能であり、拡張、変更した実施形態も本発明の技術的範囲に含まれる。

【図面の簡単な説明】

【0048】

【図 1】本発明に係る加速度センサの全体斜視図である。

【図 2】加速度センサの分解斜視図である。

【図 3】加速度センサの平面図および断面図である。

【図 4】可撓部における詳細を説明する図面である。

【図 5】折り返し構造を有する歪検出部を説明する図面である。

20

【図 6】配線レイアウトを説明する図面である。

【図 7】検出回路（ブリッジ回路）を示す回路図である。

【図 8】パッド接続の別の態様を説明する図面である。

【図 9】ダイアフラム状の可撓部を有する加速度センサを説明する図面である。

【図 10】本発明に係る加速度センサの製造方法を表す図面である。

【符号の説明】

【0049】

1：加速度センサ

2：センサ本体

3：支持基板

30

110：SOI 基板

120：シリコン膜

121：フレーム部

122：錘接合部

123：可撓部

124：開口

130：シリコン酸化膜

140：シリコン基板

141：フレーム部

142：錘部

40

150：絶縁層

151：コンタクトホール

152：配線

152'：配線

153：保護層

160：ギャップ

170：折り返し部

R：歪検出部

Rx：X 軸方向検出用歪検出部

50

R_x : Y 軸方向検出用歪検出部

R_z : Z 軸方向検出用歪検出部

P : 外部接続パッド

P' : ダミーパッド

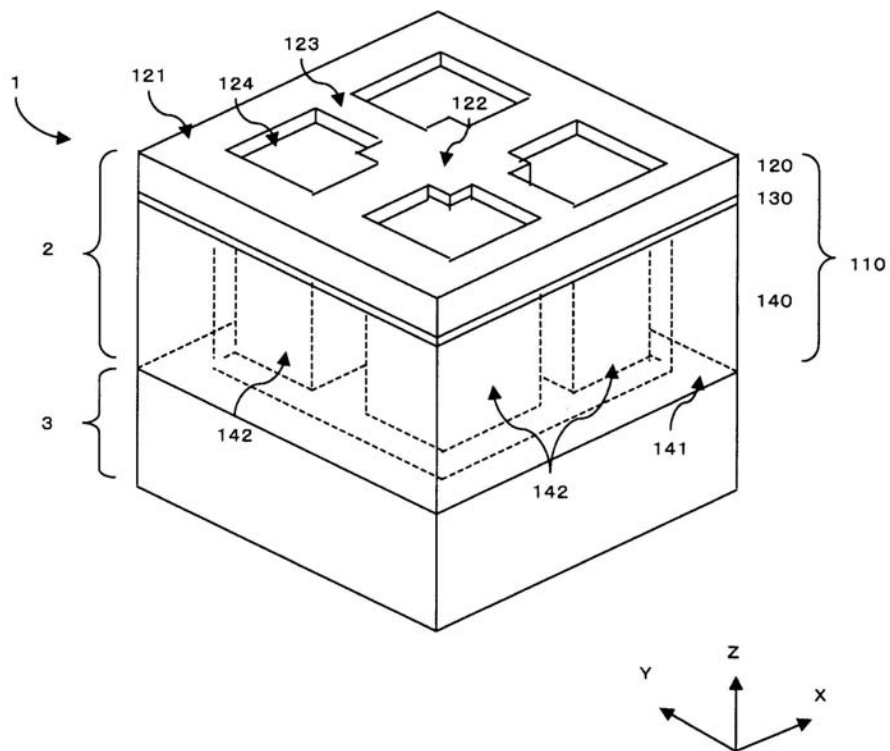
V_d : 入力用端子

X₊, X₋, Y₊, Y₋, Z₊, Z₋ : 出力用端子

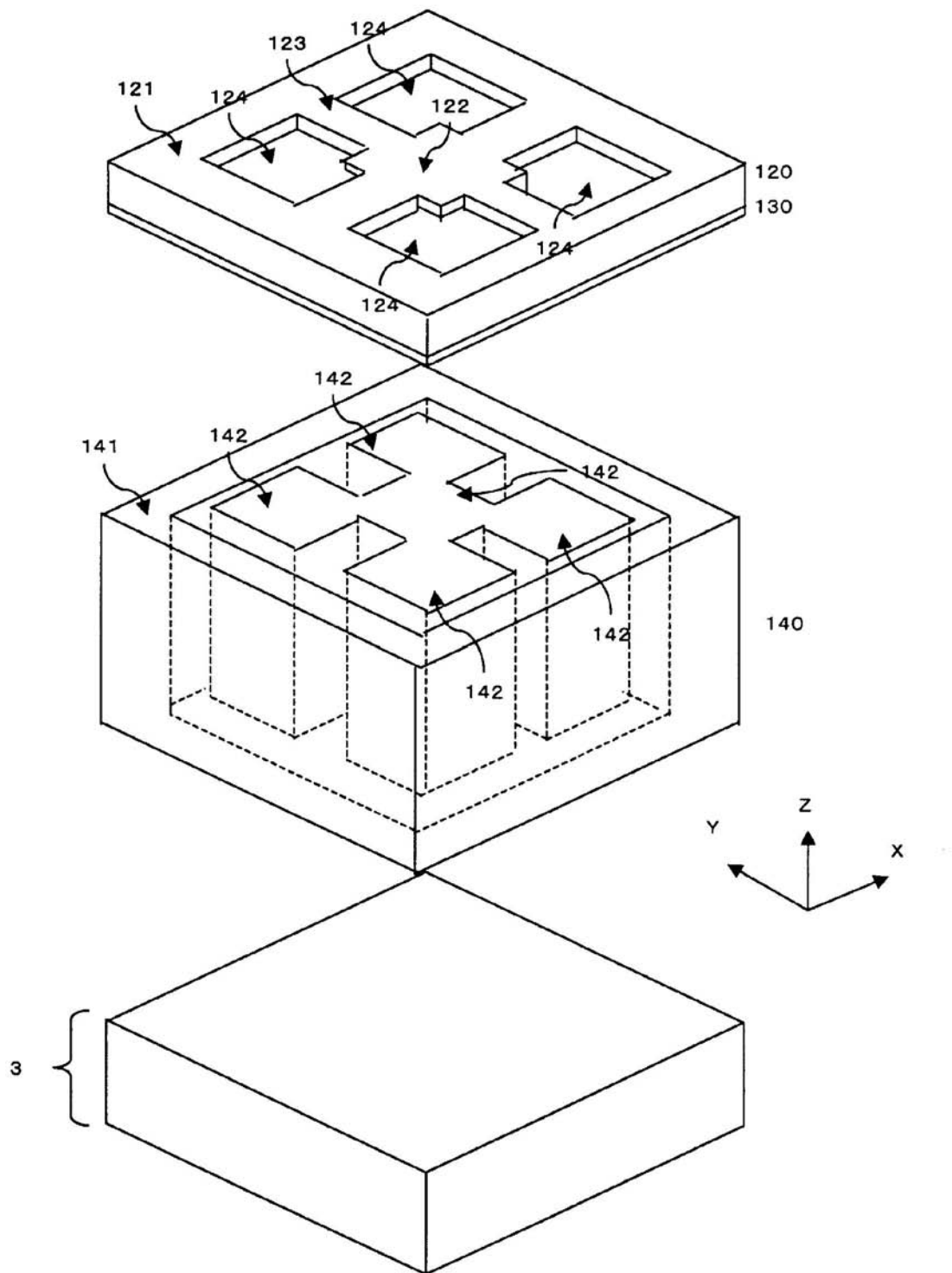
X_G, Y_G, Z_G : グラウンド端子

d_m : ダミーパッド

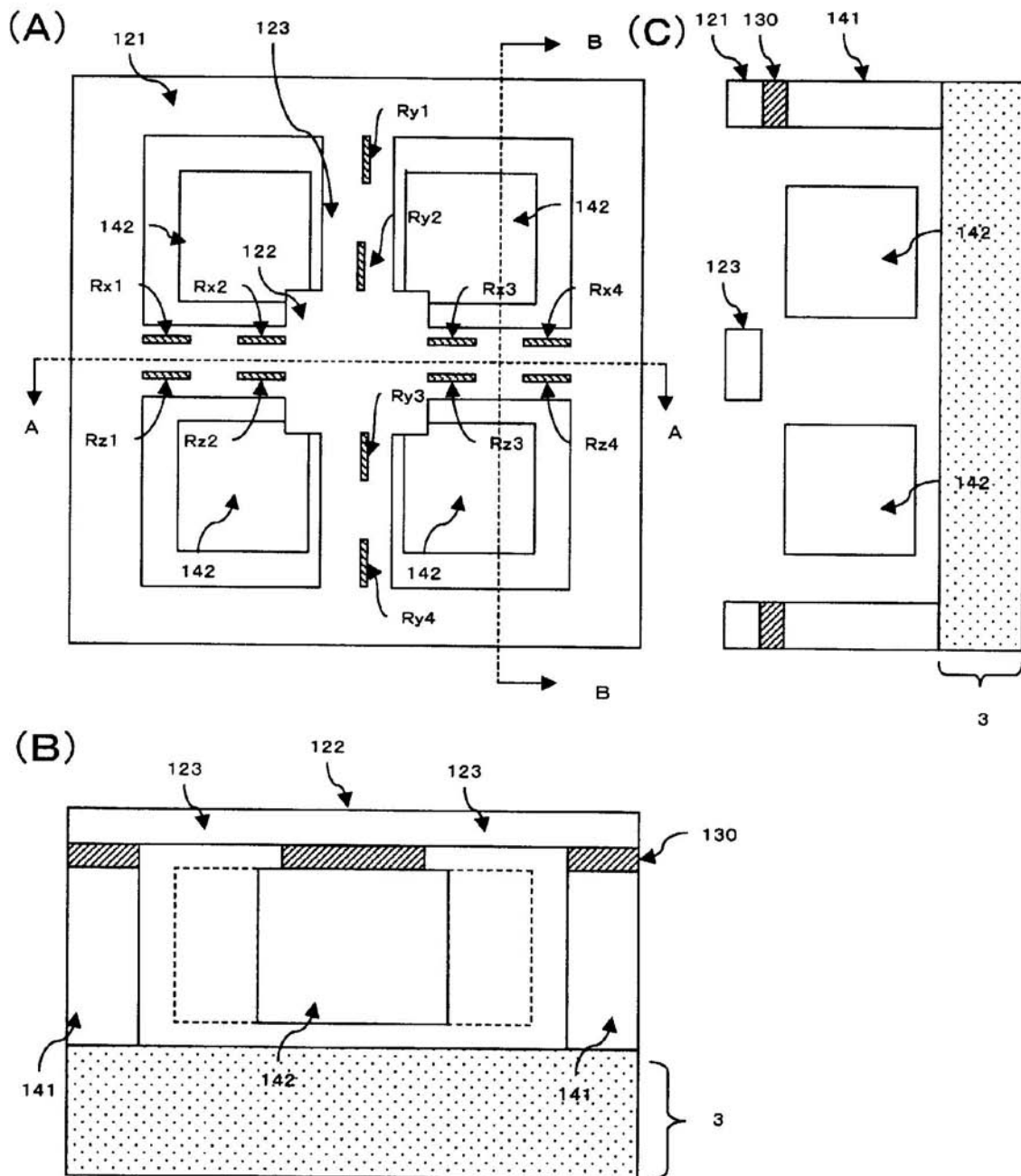
【図 1】



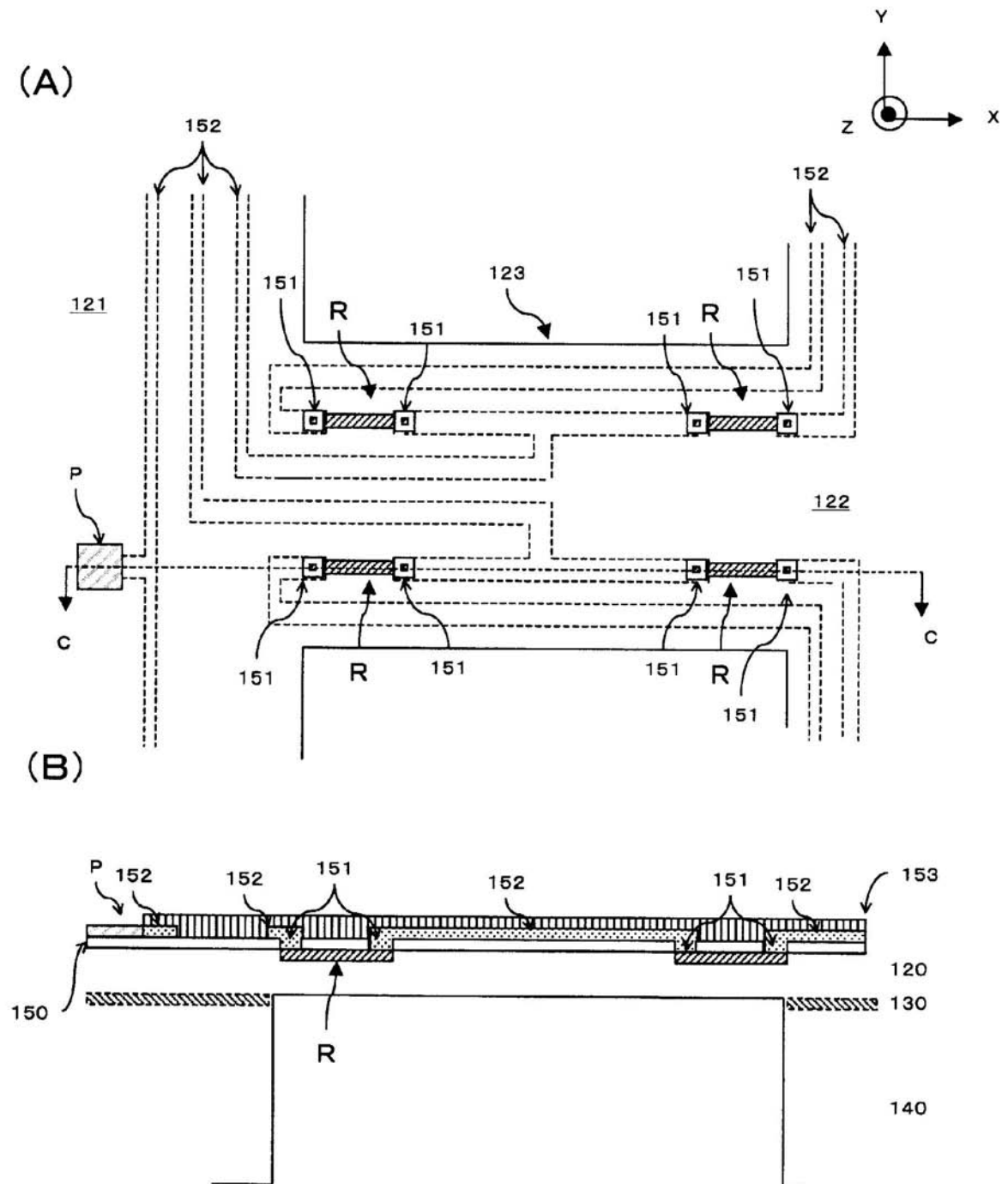
【図 2】



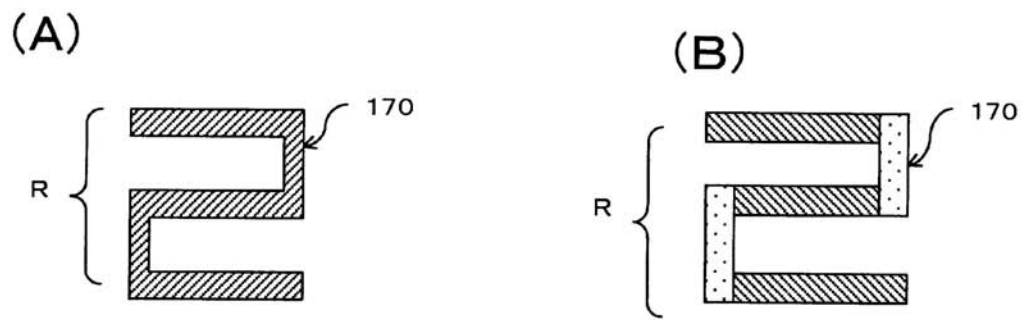
【図 3】



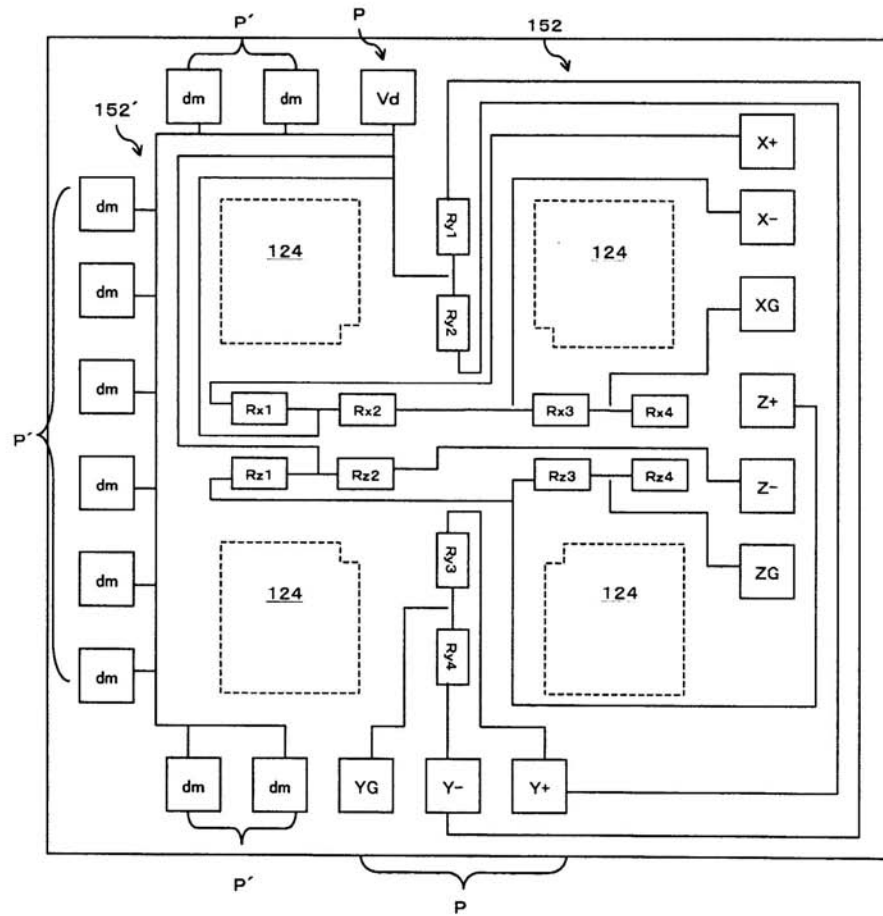
【図 4】



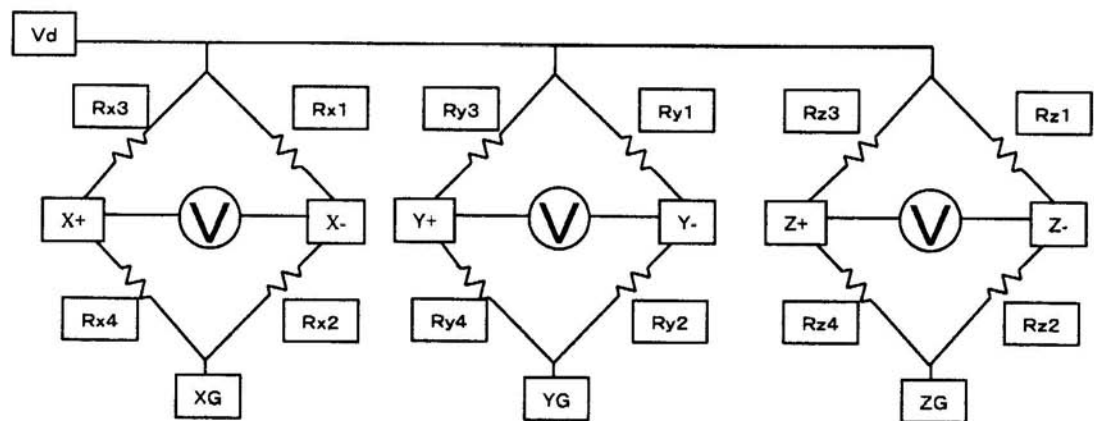
【図 5】



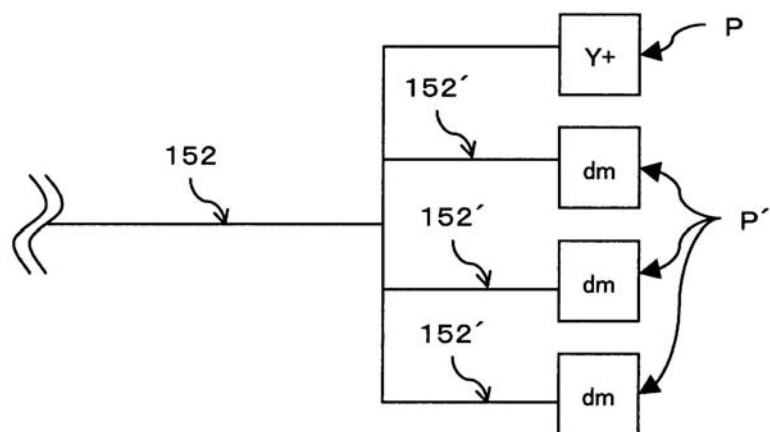
【図 6】



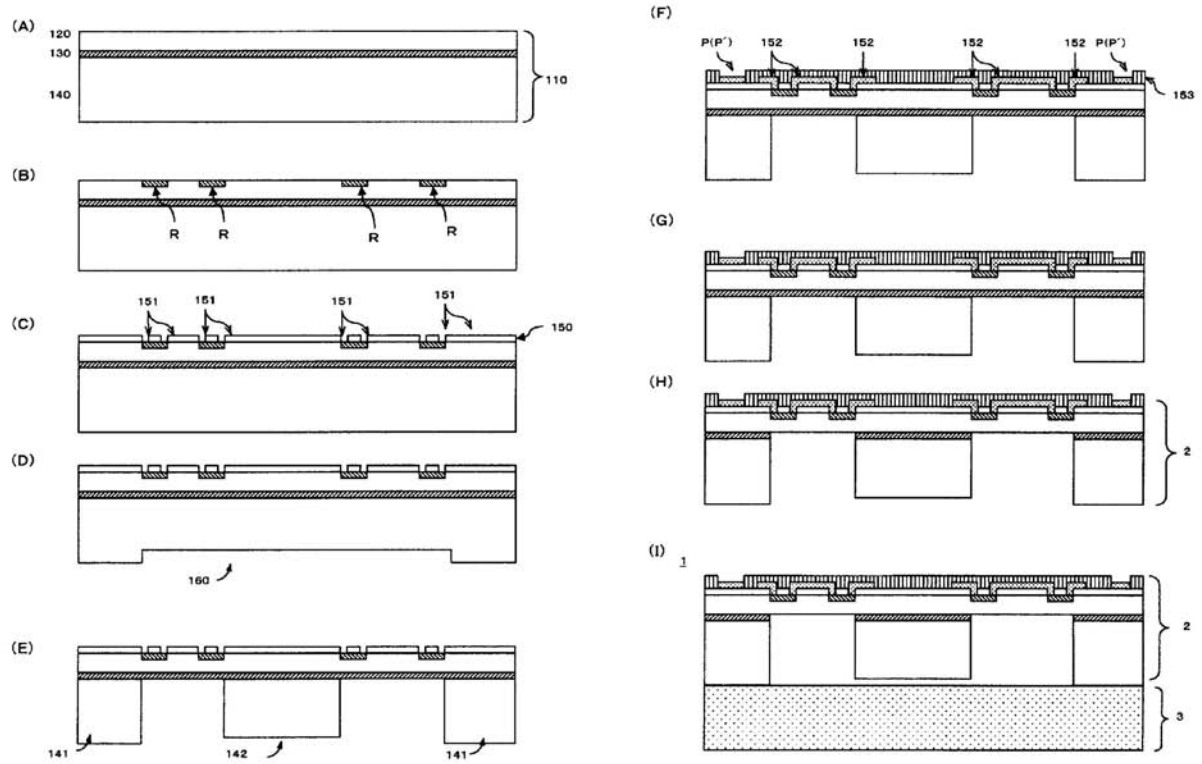
【図 7】



【図 8】



【図 10】



フロントページの続き

(72)発明者 相田 和彦

東京都新宿区市谷加賀町一丁目一番一号 大日本印刷株式会社内

(72)発明者 橋本 克美

東京都新宿区市谷加賀町一丁目一番一号 大日本印刷株式会社内

(72)発明者 平林 正史

東京都新宿区市谷加賀町一丁目一番一号 大日本印刷株式会社内

Fターム(参考) 4M112 AA02 BA01 CA21 CA24 CA29 CA33 DA03 DA04 DA06 DA10
DA12 DA18 EA02 EA06 EA07 EA13 FA01 FA05