

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年12月22日(2005.12.22)

【公表番号】特表2004-535066(P2004-535066A)

【公表日】平成16年11月18日(2004.11.18)

【年通号数】公開・登録公報2004-045

【出願番号】特願2003-511316(P2003-511316)

【国際特許分類第7版】

H 01 L 29/06

B 8 2 B 1/00

H 01 L 21/205

H 01 L 21/331

H 01 L 27/10

H 01 L 29/161

H 01 L 29/201

H 01 L 29/221

H 01 L 29/66

H 01 L 29/73

H 01 L 29/80

H 01 L 29/88

H 01 L 33/00

H 01 L 51/00

【F I】

H 01 L 29/06 6 0 1 N

B 8 2 B 1/00

H 01 L 21/205

H 01 L 27/10 4 5 1

H 01 L 29/161

H 01 L 29/201 Z N M

H 01 L 29/221

H 01 L 29/66 S

H 01 L 29/88 Z

H 01 L 33/00 A

H 01 L 29/72 Z

H 01 L 29/80 A

H 01 L 29/28

【手続補正書】

【提出日】平成16年6月24日(2004.6.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

500ナノメートル未満の最小幅をもつ少なくとも一つの部分を含む自立型バルクドープ半導体を含む物品であって、

該物品はコアと該コアの少なくとも一部を取り囲む少なくとも一つのシェルとを含み、

前記少なくとも一つのシェルは、前記コアとは異なる物質を含み、約5nm未満の厚さである、

上記の物品。

**【請求項2】**

前記少なくとも一つのシェルが約3nm未満の厚さである、請求項1に記載の物品。

**【請求項3】**

前記少なくとも一つのシェルが約1nm未満の厚さである、請求項1に記載の物品。

**【請求項4】**

少なくとも $10^{12}$ バイト/cm<sup>2</sup>の密度をもつメモリ素子のアレイを含み、

少なくともひとつのメモリ素子は、自立型バルクドープ半導体を含む物品を含み、該自立型バルクドープ半導体は、500ナノメートル未満の最小幅をもつ少なくとも一つの部分を含む、

デバイス。

**【請求項5】**

該アレイが少なくとも $5 \times 10^{12}$ バイト/cm<sup>2</sup>の密度をもつ請求項4のデバイス。

**【請求項6】**

ドープ半導体の交差アレイを含み、

少なくとも一つのドープ半導体は、500ナノメートル未満の最小幅をもつ少なくとも一つの部分を含む自立型バルクドープ半導体であり、

低いターンオン電圧をもつように構成されている、  
デバイス。

**【請求項7】**

ドープ半導体の交差アレイを含み、

少なくとも一つのドープ半導体は、500ナノメートル未満の最小幅をもつ少なくとも一つの部分を含む自立型バルクドープ半導体であり、

高いターンオン電圧をもつように構成されている、  
デバイス。

**【請求項8】**

自立型バルクドープ半導体を含む物品を有し、

前記自立型バルクドープ半導体は500ナノメートル未満の最小幅をもつ少なくとも一つの部分を含み、

前記物品は二つ以上の発光領域を含む、  
発光ダイオード。

**【請求項9】**

自立型バルクドープ半導体を含む物品を有し、

前記自立型バルクドープ半導体は500ナノメートル未満の最小幅をもつ少なくとも一つの部分を含み、

前記物品は二つ以上の波長で発光できる、  
発光ダイオード。

**【請求項10】**

縦軸、前記縦軸に沿って組成が異なる少なくとも二つの領域、及び、この領域の間の境界とを含む半導体を含み、

前記半導体が前記境界において約100nm以下の最大寸法をもち、アスペクト比が少なくとも約100:1である、  
デバイス。

**【請求項11】**

縦軸、前記縦軸に沿って組成が異なる少なくとも二つの領域、及び、この領域の間の境界とを含む半導体を含み、

前記半導体が前記境界において約100nm以下の最大寸法をもつ、  
トランジスタ。

**【請求項 1 2】**

縦軸、前記縦軸に沿って組成が異なる少なくとも二つの領域、及び、この領域の間の境界とを含む半導体を含み、

前記半導体が前記境界において約100nm以下の最大寸法をもつ、  
メモリー素子。

**【請求項 1 3】**

縦軸、前記縦軸に沿って組成が異なる少なくとも二つの領域、及び、この領域の間の境界とを含む半導体を含み、

前記半導体が前記境界において約100nm以下の最大寸法をもち、  
前記少なくとも二つの領域が、第一の濃度と、第一の濃度とは異なる第二の濃度でドーパントを含む、  
デバイス。

**【請求項 1 4】**

ある組成をもつ第一の領域と、前記第一の領域の組成とは異なる組成をもつ第二の領域とをもつ自立型バルクドープナノスコピック物質を含むデバイスであって、

前記第一の領域と前記第二の領域の少なくとも一つは少なくとも約100:1のアスペクト比をもつ、

上記のデバイス。

**【請求項 1 5】**

あるドーパントをもつ第一の領域と、前記第一の領域のドーパントとは異なるドーパントをもつ第二の領域とを含む自立型ワイヤを含むデバイスであって；前記第一の領域と前記第二の領域は重複して、前記第一の領域及び前記第二の領域のドーパントの混合物である組成をもつ重複領域を形成し；前記重複領域の組成物は、約10容積%～約90容積%の前記第一の領域のドーパントと、相補的な量の前記第二の領域のドーパントとを含み、

前記重複領域は約100nm未満の最大寸法をもつ、  
上記のデバイス。

**【請求項 1 6】**

あるドーパントをもつ第一の領域と、前記第一の領域のドーパントとは異なるドーパントをもつ第二の領域とを含むナノスケールワイヤを含むデバイスであって；前記第一の領域と前記第二の領域は重複して、前記第一の領域及び前記第二の領域のドーパントの混合物である組成をもつ重複領域を形成し；前記重複領域の組成物は、約10容積%～約90容積%の前記第一の領域のドーパントと、相補的な量の前記第二の領域のドーパントとを含む、  
上記のデバイス。

**【請求項 1 7】**

ある組成をもつ第一の領域と、前記第一の領域とは異なる組成をもつ第二の領域とを含むナノスコピックワイヤを含むデバイスであって；前記第一の領域と第二の領域は重複して、前記第一の領域と前記第二の領域の組成物の混合物である組成をもつ重複領域を形成し；前記重複領域の組成物は、約10容積%～約90容積%の前記第一の領域の組成物と、相補的な量の前記第二の領域の組成物とを含み、

前記重複領域は発光することができる、  
上記のデバイス。

**【請求項 1 8】**

二つ以上の重複領域を含む、請求項17に記載のデバイス。

**【請求項 1 9】**

あるドーパントをもつ第一の領域と、前記第一の領域のドーパントとは異なるドーパントをもつ第二の領域とを含むナノスコピックワイヤを含む発光ダイオードを含むデバイスであって、

前記第一の領域と前記第二の領域は重複して、前記第一の領域及び前記第二の領域のドーパントの混合物である組成をもつ重複領域を形成し、前記重複領域の組成物は、約10容積%～約90容積%の前記第一の領域のドーパントと、相補的な量の前記第二の領域のドーパ

ントとを含み、

ここで前記発光ダイオードは前記重複領域の寸法によって決定される発光波長をもつ、上記のデバイス。

【請求項 2 0】

第一の抵抗率をもつ第一の領域と、前記第一の抵抗率と異なる第二の抵抗率をもつ第二の領域とを含む自立型ナノスコピックワイヤを含むデバイス。

【請求項 2 1】

自立型のフォトルミネセンスナノスコピックワイヤを含むデバイス。

【請求項 2 2】

偏光を発生し得る自立型ナノスコピックワイヤを含むデバイス。

【請求項 2 3】

少なくとも約0.60の偏光比をもつ光を発生し得るナノスコピックワイヤを含むデバイス。

【請求項 2 4】

前記偏光比が少なくとも約0.84である、請求項 2 3に記載のデバイス。

【請求項 2 5】

前記偏光比が少なくとも約0.91である、請求項 2 3に記載のデバイス。

【請求項 2 6】

前記偏光比が約0.96である、請求項 2 3に記載のデバイス。

【請求項 2 7】

均一なフォトルミネセンスのナノスコピックワイヤを含むデバイス。

【請求項 2 8】

少なくとも約3000A/Wの応答性をもつ光検出器を含むデバイス。

【請求項 2 9】

約100fs未満の検出速度をもつ光検出器を含むデバイス。

【請求項 3 0】

前記検出速度が約10fs未満である、請求項 2 9に記載のデバイス。

【請求項 3 1】

バルクドープ半導体材料で形成した物品を含むデバイスであって、

前記バルクドープ半導体材料は少なくとも約100:1のアスペクト比をもち、

前記物品は、前記バルクドープ半導体材料に固有の発光波長未満の波長で発光することができる、上記のデバイス。

【請求項 3 2】

バルクドープ半導体材料で形成した物品を含むデバイスであって、

前記バルクドープ半導体材料が約5nm未満の最小寸法をもち、

前記物品は、前記バルクドープ半導体材料に固有の発光波長未満の波長で発光することができる、上記のデバイス。

【請求項 3 3】

バルクドープ半導体材料で形成した物品を含むデバイスであって、

前記バルクドープ半導体材料がナノスコピックワイヤであり、

前記物品は、前記バルクドープ半導体材料に固有の発光波長未満の波長で発光することができる、上記のデバイス。

【請求項 3 4】

前記ナノスコピックワイヤが縦軸と、前記縦軸方向に沿って組成が異なる少なくとも二つの領域とをもち、

前記少なくとも二つの領域が第一の濃度と、前記第一の濃度とは異なる第二の濃度とでドーパントを含む、請求項 3 3に記載のデバイス。

【請求項 3 5】

バルクドープ半導体材料で形成した物品を含むトランジスタであって、

前記物品は、前記バルクドープ半導体材料に固有の発光波長未満の波長で発光するこ

ができる、上記のトランジスタ。

【請求項 3 6】

バルクドープ半導体材料で形成した物品を含むメモリー素子であって、  
前記物品は、前記バルクドープ半導体材料に固有の発光波長未満の波長で発光する  
ことができる、上記のメモリー素子。

【請求項 3 7】

700nm未満の波長で半導体ワイヤから発光させることを含む方法。

【請求項 3 8】

前記波長が650nm未満である、請求項 3 7 に記載の方法。

【請求項 3 9】

前記波長が600nm未満である、請求項 3 7 に記載の方法。

【請求項 4 0】

前記波長が550nm未満である、請求項 3 7 に記載の方法。

【請求項 4 1】

前記波長が530nm未満である、請求項 3 7 に記載の方法。

【請求項 4 2】

p/n接合から発光させることを含む、請求項 3 7 に記載の方法。

【請求項 4 3】

前記半導体ワイヤがp/n接合を形成するコアとシェルとを含む、請求項 4 2 に記載の  
方法。

【請求項 4 4】

前記半導体ワイヤが縦軸と、前記縦軸に沿って組成が異なる少なくとも二つの領域を含  
み、前記二つの領域の間の境界がp/n接合を画定する、請求項 4 2 に記載の方法。

【請求項 4 5】

前記半導体ワイヤがナノスコピックである、請求項 3 7 に記載の方法。

【請求項 4 6】

前記半導体ワイヤがナノワイヤである、請求項 3 7 に記載の方法。

【請求項 4 7】

前記半導体ワイヤがナノチューブである、請求項 3 7 に記載の方法。

【請求項 4 8】

前記半導体ワイヤの少なくとも一部がバルクドープされている、請求項 3 7 に記載の  
方法。

【請求項 4 9】

前記半導体ワイヤが自立型である、請求項 3 7 に記載の方法。

【請求項 5 0】

前記半導体ワイヤが少なくとも一つのシェルを含む、請求項 3 7 に記載の方法。

【請求項 5 1】

前記半導体ワイヤが機能性部位を含む、請求項 3 7 に記載の方法。

【請求項 5 2】

前記半導体ワイヤが反応物質を含む、請求項 3 7 に記載の方法。

【請求項 5 3】

前記半導体が二つ以上の波長で発光することができる、請求項 3 7 に記載の方法。

【請求項 5 4】

約100nm未満の最小寸法をもつトランジスタを含むデバイスであって、

前記トランジスタがナノスコピックワイヤを含み、

前記ナノスコピックワイヤが縦軸と、前記縦軸に沿って組成の異なる二つの領域とをも  
つ、

上記のデバイス。

【請求項 5 5】

500ナノメートル未満の最小幅をもつ少なくとも一つの部分をもつドープ半導体を含む

伝導性チャネルと、500ナノメートル未満の最小幅をもつ少なくとも一つの部位をもつ細長い物質を含むゲート電極とを含む電界効果トランジスタであって、

前記電界効果トランジスタの幅が、前記ドープ半導体の幅と等しい、  
上記の電界効果トランジスタ。

**【請求項 5 6】**

500ナノメートル未満の最小幅をもつ少なくとも一つの部分をもつドープ半導体を含む  
伝導性チャネルと、500ナノメートル未満の最小幅をもつ少なくとも一つの部位をもつ細  
長い物質を含むゲート電極とを含む電界効果トランジスタであって、

前記ドープ半導体と前記細長い物質との交差部分が前記電界効果トランジスタの長さを  
画定する、

上記の電界効果トランジスタ。

**【請求項 5 7】**

ある組成をもつ第一の領域と、前記第一の領域の組成とは異なる組成をもつ第二の領域  
とを含む自立型ナノスケール半導体を提供し；

前記ドープ半導体の中に電流を流す；

工程を含む、半導体の使用法。