



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ТИТУЛЬНЫЙ ЛИСТ ОПИСАНИЯ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(21)(22) Заявка: 2010128076/08, 08.07.2010

(24) Дата начала отсчета срока действия патента:
08.07.2010

Приоритет(ы):

(22) Дата подачи заявки: 08.07.2010

(45) Опубликовано: 27.02.2011 Бюл. № 6

Адрес для переписки:

142210, Московская обл., г. Серпухов, Бол.
Ударный пер., 1а, МОУ "Институт
инженерной физики"

(72) Автор(ы):

Павлов Александр Алексеевич (RU),
Павлов Алексей Александрович (RU),
Павлов Павел Александрович (RU),
Хоруженко Олег Владимирович (RU),
Царьков Алексей Николаевич (RU)

(73) Патентообладатель(и):

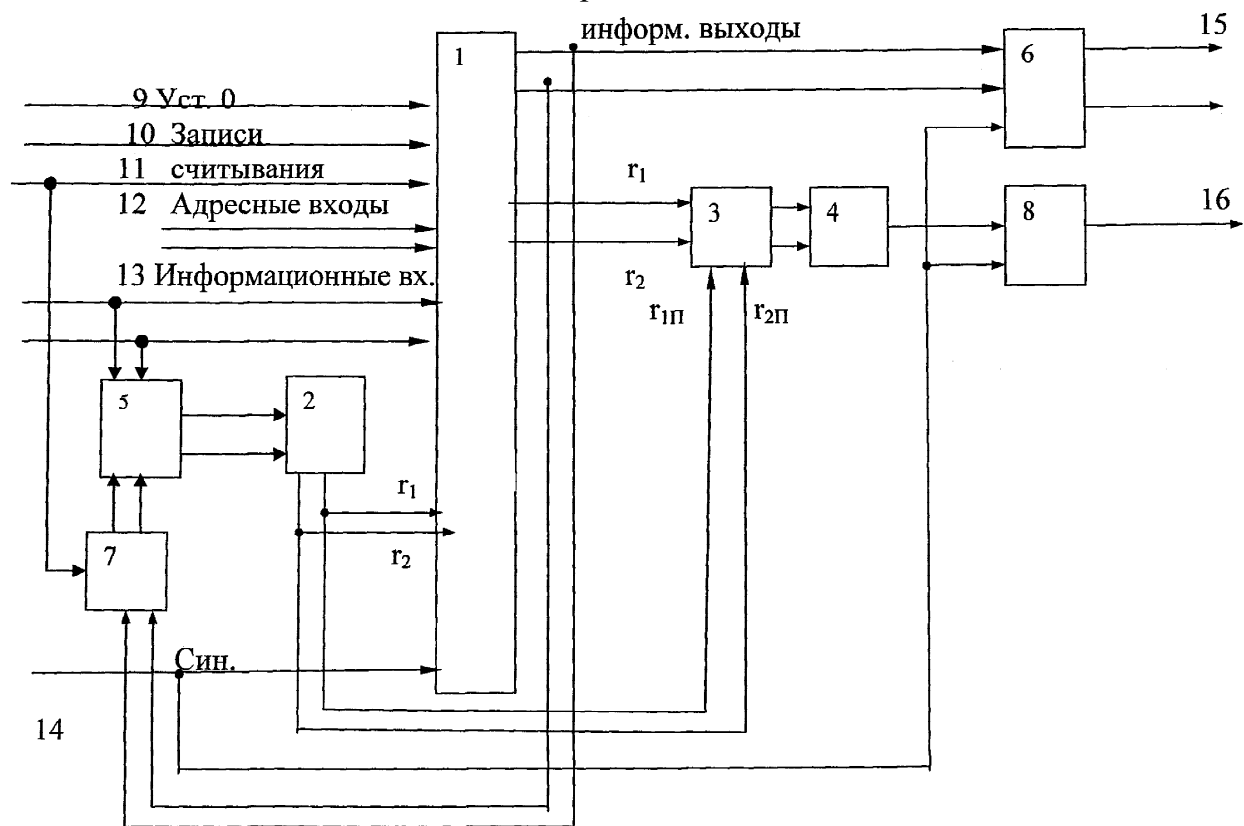
Межрегиональное общественное
учреждение "Институт инженерной физики"
(RU)

(54) УСТРОЙСТВО ХРАНЕНИЯ ИНФОРМАЦИИ

(57) Формула полезной модели

Устройство хранения информации, содержащее узел памяти, входной блок кодирования, формирующий значения контрольных разрядов r_1 и r_2 путем сложения по модулю 2 информационных символов $x_1, x_2, x_3, y_1, y_2, y_3$, поступающих на входы входного блока кодирования, в соответствии с правилом: $r_1 = x_1 \oplus x_2 \oplus y_1 \oplus y_2$; $r_2 = x_2 \oplus x_3 \oplus y_2 \oplus y_3$, выходной блок кодирования, формирующий значения проверочных контрольных разрядов $r_{1П}, r_{2П}$ путем сложения по модулю 2 информационных символов $x_{1С}, x_{2С}, x_{3С}, y_{1С}, y_{2С}, y_{3С}$, поступающих на входы выходного блока кодирования и полученных при считывании информации с информационных выходов узла памяти в соответствии с правилом: $r_{1П} = x_{1С} \oplus x_{2С} \oplus y_{1С} \oplus y_{2С}$; $r_{2П} = x_{2С} \oplus x_{3С} \oplus y_{2С} \oplus y_{3С}$, блок выявления ошибки, первый блок элементов И, элемент И, первый блок элементов ИЛИ, вход установки устройства в нулевое состояние, вход записи, вход считывания, адресные входы, информационные входы, вход синхронизации, информационные выходы, выход сигнала при возникновении ошибки, отличающееся тем, что дополнительно содержит второй блок элементов ИЛИ, второй блок элементов, третий блок элементов И, причем вход установки в нулевое состояние, вход записи, вход считывания, адресные входы, подключены соответственно к первому, второму, третьему и четвертому входам узла памяти, информационные входы подключены к пятым входам узла памяти и к первым входам второго блока элементов ИЛИ, вторые входы которого подключены к выходам второго блока элементов И, а выходы подключены к входам блока кодирования, выходы которого подключены к шестым входам узла памяти и к первым входам блока выявления ошибки, вход синхронизации подключен к седьмому входу узла памяти и к первым

входам первого блока элементов И и к первому входу элемента И, первые выходы узла памяти подключены к вторым входам первого блока элементов И и к первым входам второго блока элементов И, второй вход которого подключен к входу считывания, вторые выходы узла памяти подключены к вторым входам блока выявления ошибки, выходы которого подключены к входам первого блока элементов ИЛИ, выход которого подключен к второму входу элемента И, выходы первого блока элементов И являются информационными выходами устройства, выход элемента И является выходом сигнала при возникновении ошибки.



RU 102403 U1

RU 102403 U1