

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 12 月 8 日(08.12.2011)

PCT

(10) 国際公開番号
WO 2011/152424 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2011/062536
- (22) 国際出願日: 2011 年 5 月 31 日(31.05.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-125302 2010 年 5 月 31 日(31.05.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社(SANYO Electric Co., Ltd.) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 柳瀬 康行(YANASE Yasuyuki); 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号三洋電機株式会社内 Osaka (JP). 臼井 良輔(USUI Ryosuke); 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号三洋電機株式会社内 Osaka (JP).

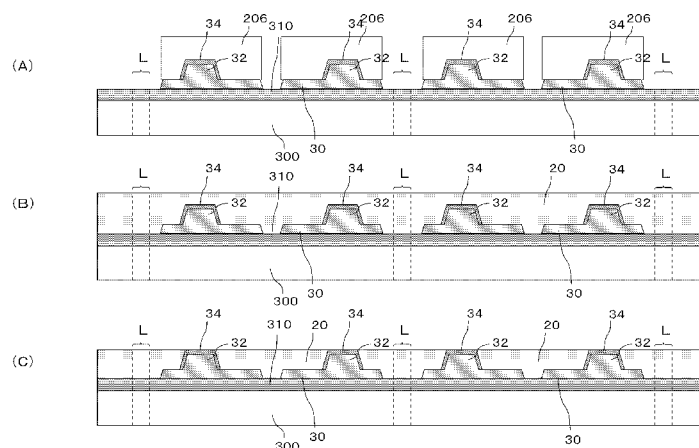
- (74) 代理人: ▲角▼谷 浩(KADOYA Hiroshi); 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号三洋電機株式会社内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR MODULE AND METHOD FOR PRODUCING SEMICONDUCTOR MODULE

(54) 発明の名称: 半導体モジュールおよび半導体モジュールの製造方法

[図4]



(57) Abstract: Handling of constituent members is made easier when a semiconductor module is produced, and production processes of the semiconductor module are simplified. Specifically, a copper plate is held on a base (300) by means of a bonding layer (310) and then selectively removed, thereby forming a protruding electrode (32) and a wiring layer (30). Following that, an insulating resin layer (20) is disposed on the wiring layer (30), the protruding electrode (32) and the bonding layer (310) such that an Au/Ni layer (34) is exposed therefrom, thereby forming a substrate for element mounting. After temporarily compression bonding the substrate for element mounting, which is held on the base (300), and a semiconductor element, the base (300) and the bonding layer (310) are removed and the substrate for element mounting and the semiconductor element are permanently compression bonded with each other.

(57) 要約:

[続葉有]

WO 2011/152424 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

【課題】半導体モジュールを製造する際に構成部材のハンドリングを容易にし、半導体モジュールの製造プロセスを簡略化する。【解決手段】銅板を接着層 310 により基材 300 に保持した状態で、銅板を選択的に除去して突起電極 32 および配線層 30 を形成する。続いて、配線層 30、突起電極 32 および接着層 310 の上に Au/Ni 層 34 が露出するように絶縁樹脂層 20 を積層して素子搭載用基板を形成する。基材 300 に保持された素子搭載用基板と半導体素子とを仮圧着した後、基材 300 および接着層 310 を除去し、素子搭載用基板と半導体素子とを本圧着する。

明 細 書

発明の名称：

半導体モジュールおよび半導体モジュールの製造方法

技術分野

[0001] 本発明は、素子搭載用基板に半導体素子が搭載された半導体モジュールおよび半導体モジュールの製造方法に関する。

背景技術

[0002] 携帯電話、PDA、DVC、DSCといったポータブルエレクトロニクス機器の高機能化が加速するなか、こうした製品が市場で受け入れられるためには小型・軽量化が必須となっており、その実現のために高集積のシステムLSIが求められている。一方、これらのエレクトロニクス機器に対しては、より使いやすく便利なものが求められており、機器に使用されるLSIに対し、高機能化、高性能化が要求されている。このため、LSIチップの高集積化にともないそのI/O数（入出力部の数）が増大する一方でパッケージ自体の小型化要求も強く、これらを両立させるために、半導体部品の高密度な基板実装に適合した半導体モジュールの開発が強く求められている。こうした要求に対応するため、CSP（Chip Size Package）と呼ばれるパッケージ技術が種々開発されている。

先行技術文献

特許文献

[0003] 特許文献1：特開平10-22339号公報

発明の概要

発明が解決しようとする課題

[0004] 半導体モジュールが小型化するにつれて、半導体モジュールを構成する配線基板、すなわち、素子搭載用基板中の配線層の高密度化、薄膜化が進んでいる。このため、製造プロセスの過程で配線層を形成するための金属板にしわが生じることで製造歩留まりの低下を招きやすくなり、加工中の配線層の

取り扱いや、素子搭載用基板を半導体素子に圧着する際のハンドリングが難しくなっていた。

[0005] 本発明はこうした課題に鑑みてなされたものであり、その目的は、半導体モジュールを製造する際に構成部材のハンドリングを容易にし、半導体モジュールの製造プロセスを簡略化することができる技術の提供にある。

課題を解決するための手段

[0006] 本発明のある態様は、半導体モジュールの製造方法である。当該半導体モジュールの製造方法は、基材に保持された金属板を選択的に除去して、基板電極が設けられた配線層を形成する工程と、基板電極の頂部面自体または前記基板電極の頂部面に設けられた金属層が露出するように、基材の上に絶縁樹脂層を形成して、配線層、基板電極および絶縁樹脂層を含む素子搭載用基板を形成する工程と、を備え、配線層を形成する工程において、配線層は、その端面が、半導体素子に近づくにつれて配線層の形成領域の内側に入り込むようなテーパ状にする工程を含むことを特徴とする。

[0007] この態様の半導体モジュールの製造方法によれば、金属板が基材に支持された状態で、基板電極や配線層の形成工程が実施されるため、金属板のハンドリングが容易であり、配線層や基板電極を破損する可能性を低減することができる。この結果、半導体モジュールの製造歩留まりを向上させることができる。また、配線層を形成する工程において、配線層は、その端面が、半導体素子に近づくにつれて配線層の形成領域の内側に入り込むようなテーパ状にすることから、基材の上に形成する絶縁樹脂層が形成した配線層間にスムーズに流れ込んでいき、その箇所に絶縁樹脂が行き渡らない空洞が生じることがない。

[0008] 上記態様の半導体モジュールの製造方法において、基板電極が金属板を選択的に除去することによって配線層と一体的に形成された突起電極であってもよい。また、基材が透明であり、素子搭載用基板を半導体素子に圧着する際に、基材を通して半導体素子の位置を確認して、素子搭載用基板と半導体素子とを位置合わせしてもよい。また、半導体素子に素子搭載用基板を圧着

し、前記基材を除去した後、絶縁樹脂層を除去し、絶縁樹脂層に代えて絶縁樹脂層と機能が異なる別の絶縁樹脂層を形成する工程を備えてもよい。

[0009] 本発明の他の態様は、半導体モジュールである。当該半導体モジュールは、絶縁樹脂層と、絶縁樹脂層の一方の主表面に設けられた配線層と、配線層から絶縁樹脂層側に突出している突起電極と、突起電極に対向する素子電極が設けられた半導体素子と、を備え、配線層の端面が、半導体素子に近づくにつれて配線層の形成領域の内側に入り込むようなテーパ状であり、突起電極が絶縁樹脂層を貫通し、突起電極と素子電極とが電氣的に接続されていることを特徴とする。

[0010] なお、上述した各要素を適宜組み合わせたものも、本件特許出願によって特許による保護を求める発明の範囲に含まれる。

発明の効果

[0011] 本発明によれば、配線層を形成するための金属板のハンドリングを容易にし、半導体モジュールの製造プロセスを簡略化することができる。

図面の簡単な説明

[0012] [図1]実施の形態1に係る半導体モジュールの構成を示す概略断面図である。

[図2]半導体モジュールの第1の製造方法を示す工程断面図である。

[図3]半導体モジュールの第1の製造方法を示す工程断面図である。

[図4]半導体モジュールの第1の製造方法を示す工程断面図である。

[図5]半導体モジュールの第1の製造方法を示す工程断面図である。

[図6]半導体モジュールの第1の製造方法を示す工程断面図である。

[図7]半導体モジュールの第1の製造方法を示す工程断面図である。

[図8]半導体モジュールの第2の製造方法を示す工程断面図である。

[図9]半導体モジュールの第3の製造方法を示す工程断面図である。

[図10]図10(A)は、半導体モジュールの第3の製造方法を示す工程断面図である。図10(B)は、実施の形態2に係る半導体モジュールの構成を示す概略断面図である。

[図11]図11(A)は、半導体モジュールの第4の製造方法を示す工程断面

図である。図 1 1 (B) は、実施の形態 3 に係る半導体モジュールの構成を示す概略断面図である。

[図12]図 1 2 は従来の太陽電池の構造を示す断面図である。

[図13]図 1 3 は実施の形態に係る太陽電池の構造を示す図である。

発明を実施するための形態

[0013] 以下、本発明の実施の形態を図面を参照して説明する。なお、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

[0014] 図 1 は、実施の形態 1 に係る半導体モジュール 1 0 の構成を示す概略断面図である。半導体モジュール 1 0 は、素子搭載用基板 1 2 および素子搭載用基板 1 2 と貼り合わされた半導体素子 1 0 0 とを備える。

[0015] 素子搭載用基板 1 2 は、絶縁性の樹脂で形成された絶縁樹脂層 2 0 と、絶縁樹脂層 2 0 の一方の主表面に設けられた配線層 3 0 と、配線層 3 0 と電気的に接続され、配線層 3 0 から絶縁樹脂層 2 0 の側に突出している複数の突起電極 3 2 とを主な構成として備える。

[0016] 絶縁樹脂層 2 0 を構成する材料としては、たとえば、B T レジン等のメラミン誘導体、液晶ポリマー、エポキシ樹脂、P P E 樹脂、ポリイミド樹脂、フッ素樹脂、フェノール樹脂、ポリアミドビスマレイミド等の熱硬化性樹脂が例示される。半導体モジュール 1 0 の放熱性向上の観点から、絶縁樹脂層 2 0 は高熱伝導性を有することが望ましい。このため、絶縁樹脂層 2 0 は、銀、ビスマス、銅、アルミニウム、マグネシウム、錫、亜鉛およびこれらの合金やアルミナなどを高熱伝導性フィラーとして含有することが好ましい。

[0017] 配線層 3 0 は、絶縁樹脂層 2 0 の一方の主表面に設けられており、導電材料、好ましくは圧延金属や電解箔、さらには圧延銅や電解銅箔により形成される。配線層 3 0 には、絶縁樹脂層 2 0 の側に複数の突起電極 3 2 が突設されている。本実施の形態においては、配線層 3 0 と突起電極 3 2 とは一体的に形成されているが、特にこれに限定されない。

[0018] 配線層 3 0 の端面 E は、絶縁樹脂層 2 0 と接している。この配線層 3 0 の端面 E は、半導体素子 1 0 0 に近づくにつれて配線層 3 0 の形成領域の内側

に入り込むようなテーパー状となっている。

この形状のため、配線層 30 の端面 E が半導体素子 100 に近づくにつれて配線層 30 の形成領域の外側に張り出すようなテーパー状の場合と異なり、後述の外部接続電極であるはんだボール 80 を形成する面積が大きくなるので、配線層に接続する面積の大きい外部接続電極を形成することができる。また外部接続電極の配線層との接触面積が大きいことにより、半導体素子から発生する熱を外部接続電極から効率よく放出することができるとともに、配線層と外部接続電極との密着性を高めることができる。

[0019] 突起電極 32 は、たとえば平面視で丸型であり、頂部に近づくにつれて径が細くなるように形成された側面を備えている。その側面は、配線層 30 の端面 E の傾斜方向と同じ方向に傾斜していても良い。そうすると、半導体素子から発生する熱の拡散経路にボトルネック（抵抗となる箇所）がなく効果的に放熱ができる。なお、突起電極 32 の形状は特に限定されず、たとえば、所定の径を有する円柱状であってもよい。また、平面視で四角形などの多角形であってもよい。

[0020] 突起電極 32 の頂部面および側面には、Au/Ni 層 34 が設けられている。Au/Ni 層 34 は、露出面となる Au 層と、Au 層と突起電極 32 の頂部面との間に介在する Ni 層からなる。

[0021] 配線層 30 の絶縁樹脂層 20 と反対側の主表面には、配線層 30 の酸化などを防ぐための保護層 70 が設けられている。保護層 70 としては、ソルダーレジスト層などが挙げられる。保護層 70 の所定の領域には開口部 72 が形成されており、開口部 72 によって配線層 30 の一部が露出している。開口部 72 内には外部接続電極としてのはんだボール 80 が形成され、はんだボール 80 と配線層 30 とが電氣的に接続されている。はんだボール 80 を形成する位置、すなわち開口部 72 の形成領域は、たとえば再配線（配線層 30）で引き回した先の端部である。

[0022] 半導体素子 100 は、半導体基板 50、素子電極 52、Au/Ni 層 54 および保護層 56 を有する。半導体基板 50 の一方の主表面に素子電極 52

、Au／Ni層54および保護層56が形成されている。具体的には、半導体基板50は、P型シリコン基板などのシリコン基板である。半導体基板50の一方の主表面には、所定の集積回路（図示せず）およびその外周縁部に位置する素子電極52とが形成されている。素子電極52の材料にはアルミニウムや銅などの金属が採用される。素子電極52を除いた半導体基板50の主表面上に、半導体基板50を保護するための絶縁性の保護層56が形成されている。保護層56としてはシリコン酸化膜（SiO₂）やシリコン窒化膜（SiN）やポリイミド（PI）などが採用される。また、素子電極52の上にAu層が露出面となるようなAu／Ni層54が形成されている。

[0023] 突起電極32の頂部面に設けられたAu／Ni層34の金と、素子電極52の表面に設けられたAu／Ni層54の金とが金－金接合することにより、突起電極32と、これに対応する素子電極52とが電氣的に接続されている。なお、Au／Ni層34とAu／Ni層54とが金－金接合することは、突起電極32と、これに対応する素子電極52との電氣的な接続の信頼性の向上に寄与している。

[0024] 本実施の形態の半導体モジュール10によれば、素子搭載用基板12と半導体素子100とを圧着する際に、配線層30と半導体素子100との間の絶縁樹脂層20が配線層30のテーパ状の端面Eに沿って流動しやすくなるため、隅々にまで絶縁樹脂層20が充填されることから、絶縁樹脂層20と配線層30との密着性、及び絶縁樹脂層20と保護層70との密着性を高めることができる。

[0025] また、配線層30間が短絡していないことを顕微鏡を用いて検査する場合に、端面Eにおいて、半導体素子100から遠い方の端部に焦点を合わせて観察を行えば済むため、検査に要する手間を低減することができる。

[0026] （半導体モジュールの第1の製造方法）

実施の形態に係る半導体モジュール10の製造方法について図2乃至7を参照して説明する。

[0027] まず、図2（A）に示すように、図1に示したような突起電極32の高さ

と配線層 30 の厚さとの和と同等な厚さを有する金属板としての銅板 200 を用意する。銅板 200 の厚さは、たとえば $40\ \mu\text{m}$ である。銅板 200 としては圧延された銅からなる圧延銅や、電解銅箔が採用される。この銅板 200 を支持部材としての基材 300 に接着層 310 を用いて貼り付ける。基材 300 は透明であることが好ましく、ガラス基板や PET フィルムが好適である。

[0028] 次に、図 2 (B) に示すように、スクライブライン L によって囲まれた各区画において、図 1 に示した突起電極 32 の形成予定領域に対応したパターンに合わせてレジスト 202 をリソグラフィ法により選択的に形成する。具体的には、ラミネーター装置を用いて銅板 200 に所定膜厚のレジスト膜を貼り付け、突起電極 32 のパターンを有するフォトマスクを用いて露光した後、現像することによって、銅板 200 の上にレジスト 202 が選択的に形成される。なお、レジストとの密着性向上のために、レジスト膜のラミネート前に、銅板 200 の表面に研磨、洗浄等の前処理を必要に応じて施すことが望ましい。

[0029] 次に、図 2 (C) に示すように、レジスト 202 をマスクとして塩化第二鉄溶液などの薬液を用いたウェットエッチング処理を行うことにより、銅板 200 の表面 S から突出する所定パターンの突起電極 32 を形成する。この際、突起電極 32 はその先端部に近づくにつれて径（寸法）が細くなるテーパ状の側面部を有するように形成される。なお、突起電極 32 の高さは、たとえば、 $20\ \mu\text{m}$ である。続いて、レジスト 202 およびレジスト保護膜を剥離剤を用いて剥離する。以上説明した工程により、銅板 200 に突起電極 32 が一体的に形成される。なお、突起電極 32 は、素子搭載用基板側の電極である「基板電極」の一例である。

[0030] 次に、図 3 (A) に示すように、突起電極 32 が露出するような開口部を有するレジスト 204 をリソグラフィ法により選択的に形成する。具体的には、ラミネーター装置を用いて銅板 200 に所定膜厚のレジスト膜を貼り付け、突起電極 32 に対応する開口部をマスクするようなパターンを有するフ

フォトマスクを用いて露光した後、現像することによって、銅板 200 の上にレジスト 204 が選択的に形成される。

[0031] 次に、図 3 (B) に示すように、レジスト 204 に設けられた開口部内に露出した突起電極 32 の頂部面および側面に電解めっき法または無電解めっき法により Au/Ni 層 34 を形成する。Au/Ni 層 34 では、Au 層が露出面となり、Au 層と突起電極 32 の頂部面との間に Ni 層が介在する。Au/Ni 層 34 のうち、たとえば、Au 層の厚さは $0.25\text{ }\mu\text{m}$ 、Ni 層の厚さは $1\sim 3\text{ }\mu\text{m}$ である。なお、Au/Ni 層 34 に代えて、たとえば金ペーストなどの導電性ペーストを用いて突起電極 32 の頂部面および側面に金属層を形成してもよい。

[0032] 次に、図 3 (C) に示すように、配線層形成領域に対応するレジスト 206 をリソグラフィ法により選択的に形成する。具体的には、ラミネーター装置を用いて銅板 200 に所定膜厚のレジスト膜を貼り付け、配線層形成領域に対応するパターンを有するフォトマスクを用いて露光した後、現像することによって、銅板 200 の上にレジスト 206 が選択的に形成される。

[0033] 次に、図 4 (A) に示すように、レジスト 206 をマスクとして塩化第二鉄溶液などの薬液を用いたウェットエッチング処理を行うことにより、銅板 200 を所定の配線パターンに加工して配線層（再配線）30 を形成する。これにより、所定の突起電極 32 が一体的に設けられた配線層 30 が形成される。言い換えると、突起電極 32 と配線層 30 とが同一材料にて連続的に形成されている。上述したように、加工前の銅板 200 の厚さが $40\text{ }\mu\text{m}$ で、突起電極 32 の高さが $20\text{ }\mu\text{m}$ の場合には、配線層 30 の厚さは $20\text{ }\mu\text{m}$ となる。

[0034] 次に、図 4 (B) に示すように、ロールラミネータやホットプレス機を用いて、配線層 30、突起電極 32 および接着層 310 の上に絶縁樹脂層 20 を積層する。絶縁樹脂層 20 としては、たとえば、熱硬化性のエポキシ系接着樹脂フィルムが用いられる。積層される絶縁樹脂層 20 の厚さは、突起電極 32 の頂部面に形成された Au/Ni 層 34 を被覆するのに十分な厚みで

あればよい。後述する工程において、半導体基板 50 に貼り合わせるため、エポキシ系接着樹脂フィルムの積層時の温度は、エポキシ系接着樹脂フィルムが完全硬化しない温度（100℃以下）が好ましい。

[0035] 次に、図 4（C）に示すように、O₂プラズマエッチングや研磨処理を用いて、突起電極 32 の頂部面に設けられた Au/Ni 層 34 が露出し、かつ突起電極 32 の頂部面と絶縁樹脂層 20 の露出面が面一になるように絶縁樹脂層 20 を薄膜化する。これにより、配線層 30、突起電極 32 および絶縁樹脂層 20 からなる素子搭載用基板 12 が形成される。

[0036] 次に、図 5（A）に示すように、半導体素子 100 として、一方の主表面に素子電極 52、Au/Ni 層 54 および保護層 56 が形成された半導体基板 50 を用意する。具体的には、P 型シリコン基板などの半導体基板 50 に対して、周知のリソグラフィ技術、エッチング技術、イオン注入技術、成膜技術、及び熱処理技術などを組み合わせた半導体製造プロセスを用いて一方の主表面に所定の集積回路とその外周縁部に素子電極 52 を形成する。素子電極 52 の材料にはアルミニウムや銅などの金属が採用される。これらの素子電極 52 を除いた半導体基板 50 の主表面上に、半導体基板 50 を保護するための絶縁性の保護層 56 が形成されている。保護層 56 としてはシリコン酸化膜（SiO₂）やシリコン窒化膜（SiN）やポリイミド（PI）などが採用される。また、素子電極 52 の上に Au 層が露出面となるような Au/Ni 層 54 を形成する。Au/Ni 層 54 の層構成および形成方法は、Au/Ni 層 34 と同様であり、素子電極 52 の表面が露出するような開口部を有するマスクを形成した状態で、当該開口部内に電解めっき、または無電解めっきを行うことにより形成することができる。

[0037] 次に、図 5（B）に示すように、素子電極 52 に設けられた Au/Ni 層 54 と、Au/Ni 層 54 に対応して突起電極 32 の頂部面に設けられた Au/Ni 層 34 とを位置合わせした後、素子搭載用基板 12 と半導体素子 100 とをプレス機を用いて貼り合わせて仮圧着する。本工程で素子搭載用基板 12 と半導体素子 100 とを貼り合わせる際の貼り合わせ時間、圧力は、

たとえば、それぞれ3分間、1 MPaである。

[0038] この段階では、配線層30が既にパターニングされており、配線層30が存在しない領域では、基材300、接着層310および絶縁樹脂層20を通して、半導体基板50を視認可能である。このため、半導体基板50にアライメントマーク（図示せず）を設けておくことにより、半導体基板50側のアライメントマークを直接観察しながら素子搭載用基板12と半導体基板50とを位置あわせすることができる。

[0039] 次に、図6（A）に示すように、基材300および接着層310を除去した後、プレス機を用いて、素子搭載用基板12と半導体素子100とを本圧着する。この際に、絶縁樹脂層20は熱硬化する。素子搭載用基板12と半導体素子100とを本圧着する際の時間、圧力は、それぞれ、たとえば10分間、10 MPaである。なお、この本圧着は、上述の仮圧着と同時に行ってもよい。

[0040] 突起電極32の頂部面に設けられたAu/Ni層34が露出した状態で、本圧着することにより、Au/Ni層34とAu/Ni層54との間に残渣が生じることが抑制されるため、突起電極32と素子電極52との電氣的な接続の信頼性を向上させることができる。

[0041] 次に、図6（B）に示すように、配線層30および露出した絶縁樹脂層20の上面に保護層（フォトソルダーレジスト層）70を積層した後、フォトリソグラフィ法により保護層70の所定領域（はんだボール搭載領域）に開口部72を設ける。保護層70は配線層30の保護膜として機能する。保護層70にはエポキシ樹脂などが採用され、その膜厚は、たとえば、約30 μmである。

[0042] 次に、図7（A）に示すように、保護層70の開口部72にスクリーン印刷法によりはんだボール80を搭載する。具体的には、樹脂とはんだ材をペースト状にしたはんだペーストをスクリーンマスクにより所望の箇所に印刷し、はんだ溶融温度に加熱することではんだボール80を形成する。

[0043] 次に、図7（B）に示すように、スクライブラインLに沿ってダイシング

加工を行うことにより、半導体モジュール 10 を個片化する。

[0044] 以上の工程によれば、実施の形態 1 に係る半導体モジュール 10 を製造することができる。上述した半導体モジュール 10 の製造方法では、銅板 200 が基材 300 に支持された状態で、突起電極 32、Au/Ni 層 34 および配線層 30 の形成工程が実施されるため、これらの工程における銅板 200 のハンドリングが容易であり、配線層 30 や突起電極 32 を破損する可能性を低減することができる。この結果、半導体モジュール 10 の製造歩留まりを向上させることができる。

[0045] また、素子搭載用基板 12 を半導体素子 100 に本圧着する際に、素子搭載用基板 12 において配線層 30 が既に形成されており、配線層 30 を形成するための余分な金属部分がない。このため、素子搭載用基板 12 を半導体素子 100 に本圧着した場合に生じる反りを低減することができる。

[0046] また、銅板 200 から配線層 30 を形成する前に、銅板 200 の厚みを配線層 30 の厚みにエッチダウンして調整する必要がないため、製造時間の短縮を図ることができるとともに、配線層 30 の厚みにばらつきが生じることを抑制することができる。

[0047] なお、本製造方法では、突起電極 32 の頂部面に形成された Au/Ni 層 34 を絶縁樹脂層 20 で被覆した後に、絶縁樹脂層 20 を薄膜化して突起電極 32 の頂部面に形成された Au/Ni 層 34 を露出させているが（図 4（A）、図 4（B）参照）、絶縁樹脂層 20 の形成方法はこれに限られない。たとえば、絶縁樹脂層 20 の粘度や塗布量を調節することにより、突起電極 32 の頂部面に形成された Au/Ni 層 34 が露出するように絶縁樹脂層 20 を積層することもできる。また、絶縁樹脂層 20 を感光性樹脂とし、絶縁樹脂層 20 を積層した後に、突起電極 32 の頂部面に形成された Au/Ni 層 34 部分をマスクして露光、現像することにより、突起電極 32 の頂部面に形成された Au/Ni 層 34 が露出するように絶縁樹脂層 20 を形成してもよい。

[0048] （半導体モジュールの第 2 の製造方法）

半導体モジュールの第2の製造方法は、図6（A）に示す工程までは、半導体モジュールの第1の製造方法と同様である。半導体モジュールの第2の製造方法では、図6（A）に示す工程の後に、図8（A）に示すように、NaOH、アセトンなどの溶剤や、O₂プラズマなどを用いて絶縁樹脂層20を除去する。

[0049] 次に、図8（B）に示すように、配線層30と半導体素子100との間に絶縁樹脂層20'を注入する。このときに用いる絶縁樹脂層20'は、熱伝導性が高いフィラーの含有率が絶縁樹脂層20に比べて高い絶縁樹脂層や、絶縁樹脂層20よりも接着強度が高い絶縁樹脂層などであり、絶縁樹脂層20に比べて高機能である。なお、図8（B）に示す矢印は、注入された絶縁樹脂層20'の流れを模式的に示す。

[0050] このように、絶縁樹脂層20を高機能型の絶縁樹脂層20'に入れ替えた後、半導体モジュールの第1の製造方法と同様に、図6（B）～図7（B）に示す工程を実施することにより、図1に示す構成において、絶縁樹脂層20が高機能型の絶縁樹脂層20'に入れ替えられた半導体モジュール10が製造される。

[0051] 半導体モジュールの第2の製造方法を採用する場合の効果について以下に述べる。配線層30の端面Eは、半導体素子100に近づくにつれて配線層30の形成領域の内側に入り込むようなテーパ状となっている。また、突起電極32は、頂部に近づくにつれて径が細くなるような形状になっている。言い換えると、配線層30および突起電極32と半導体素子100との間の開口部が半導体素子100に近づくにつれて広がるように、配線層30の端面および突起電極32の側面がテーパ状となっている。このため、絶縁樹脂層20'を注入する際に、絶縁樹脂層20'が開口部内にスムーズに流れ込むため、配線層30、突起電極32および半導体モジュール10と絶縁樹脂層20'との間にボイドが発生することが抑制される。この結果、半導体モジュール10の製造歩留まりや、動作信頼性を向上させることができる。

[0052] また、本圧着に用いる絶縁樹脂層20のフィラーの含有率を相対的に低く

することにより、突起電極 32 と素子電極 52 とを Au-Au 接合を介して接合する際に、絶縁樹脂層 20 中のフィラーが接合界面に残渣として介在する可能性を低減することができる。このため、突起電極 32 と素子電極 52 との接続信頼性を十分に確保した上で、絶縁樹脂層 20 をより高機能な絶縁樹脂層 20' に入れ替えることで、接続信頼性の向上と絶縁樹脂層 20' の高機能化の両立を図ることができる。

[0053] (半導体モジュールの第 3 の製造方法)

図 9 (A) に示すように、素子電極に対応する Au/Ni 層の形成領域が露出するような開口部を有するレジスト 208 を形成する。

[0054] 次に、図 9 (B) に示すように、電解めっき法または無電解めっき法により開口部内に Au/Ni 層 34 を形成する。

[0055] 次に、図 9 (C) に示すように、レジスト 208 を除去した後、Au/Ni 層 34 をマスクとして銅板 200 をエッチングすることにより、突起電極 32 を形成する。

[0056] 次に、図 10 (A) に示すように、リソグラフィ法およびエッチング法を用いて銅板 200 を所定の配線パターンに加工して配線層 30 を形成する。

[0057] 続いて、図 4 (B) ~ 図 7 (B) と同様な工程を実施することにより、図 10 (B) に示す実施の形態 2 に係る半導体モジュール 10 を製造することができる。実施の形態 2 に係る半導体モジュール 10 は、Au/Ni 層 34 が突起電極 32 の頂部面にのみ設けられていることを除き、実施の形態 1 の半導体モジュール 10 と同様な構成を有する。

[0058] 半導体モジュールの第 3 の製造方法では、Au/Ni 層 34 が銅板 200 から突起電極 32 を形成するためのマスクを兼ねているため、マスクの形成や除去に要する工程を省略することができる。このため、半導体モジュールの製造プロセスをより簡略化し、製造時間や製造コストの低減を図ることができる。

[0059] (半導体モジュールの第 4 の製造方法)

図 9 (B) に示す工程の後、銅板 200 をパターニングすることにより、

配線層 30 を形成してもよい（図 11（A）参照）。すなわち、半導体モジュールの第 4 の製造方法では、銅板 200 から突起電極が形成されず、銅板 200 の加工により、銅板 200 と同等な厚さの配線層 30 が形成される。続いて、図 4（B）～図 7（B）と同様な工程を実施することにより、図 11（B）に示す実施の形態 3 に係る半導体モジュール 10 を製造することができる。図 11（B）に示すように、実施の形態 3 に係る半導体モジュール 10 では、配線層 30 の一方の主表面に設けられた Au/Ni 層 34 が半導体素子 100 の Au/Ni 層 54 と接続されている。

[0060] 半導体モジュールの第 4 の製造方法では、素子搭載用基板 12 において突起電極が形成されていない。このため、配線層 30 の厚さを銅板 200 の厚さと同等とすることができるので、半導体モジュール 10 に反りが発生することを抑制しつつ、配線層 30 の厚膜化を図ることができる。

[0061] 本発明は、上述の各実施の形態に限定されるものではなく、当業者の知識に基づいて各種の設計変更等の変形を加えることも可能であり、そのような変形が加えられた実施の形態も本発明の範囲に含まれるものである。

[0062] たとえば、上述の実施の形態 1 および実施の形態 2 の半導体モジュールでは、突起電極 32 と素子電極 52 とが Au-Au 接続により電氣的に接続されているが、突起電極 32 の頂部面に Sn めっき層を施し、突起電極 32 と素子電極 52 とを Sn-Au 接続により電氣的に接続してもよい。この他、素子電極 52 の上に Au/Ni 層 54 に代えて Cu 層を形成し、この Cu 層と突起電極 32 とを Cu-Cu 接続により直に接合してもよい。これらの接合方法によれば、Au の使用量を減らすことができ、半導体モジュールの製造コストを低減することができる。Sn は容易に変形する材料であるため、Au/Ni 層に代えて Sn めっき層を用いる場合には、突起電極 32 の高さのばらつきが Sn 層が変形することにより吸収される。このため、突起電極 32 の高さのばらつきに起因する半導体モジュールの製造歩留まりの低下を抑制することができる。

（太陽電池の構成）

以下に、本発明を太陽電池に採用した場合の実施の形態を示す。

図12は従来の太陽電池の断面図を示し、図13は本発明を太陽電池に採用した場合の実施の形態を示す。

まず、図12において、太陽電池の構造について説明する。

図12は、従来のp-i-n型非晶質太陽電池の断面構造を模式的に表わしたものである。

図12において、400は太陽電池本体、451は基体、452は下部電極、453はn型半導体層、454はi層、455はp層、456は透明電極、457はパッシベーション層、458は上部電極、459は集電電極、460はバスバーを表す。なお、光は図の上部から入射する構造である。

基体451は、例えばFe、Ni、Cr、Al、Mo、Au、Pt、Pb等の金属またはこれらの合金などの導電性のものでも良く、あるいはポリエステル、ポリエチレン、ポリカーポネート、セルロースアセテート、ポリプロピレン、ポリ塩化ビニル、ポリ塩化ビニリデン、ポリスチレン、ポリアミド、ポリイミド、エポキシ等の耐熱性合成樹脂のフィルムまたはシート、ガラス、セラミックスなどの電気絶縁性のものでも良い。

基体451が電気絶縁性である場合には、堆積膜の形成される側の表面にAl、Ag、Pt、Au、Ti、W、Fe、Cr、Cu、ステンレス、SnO₂、In₂O₃、ZnO、ITO等のいわゆる金属単体又は合金、及び透明導電性酸化物(TCO)を、例えばメッキ、蒸着、スパッタ等の方法を用い下部電極102を形成する。

n層453、i層454、p層455は通常の半導体製造プロセスに依って作製されるもので、例えば蒸着法、スパッタ法、CVD法等を用いることにより作製する。

本発明の太陽電池において好適に用いられるi層454を構成する半導体材料としては、アモルファスシリコン等が挙げられる。

本光起電力素子において好適に用いられるp層455またはn層453を構成する半導体材料としては、前述したi層454を構成するアモルファス

シリコンに価電子制御剤をドーピングすることによって得られる。

また、透明電極 106 としては、太陽や白色蛍光灯等からの光を半導体層内に効率良く吸収させるために光の透過率が高い（例えば 90%以上）ことが望ましく、材料としては SnO_2 、 In_2O_3 、 ZnO 、ITO などの金属酸化物が挙げられる。

さらに、パッシベーション層 457 は、欠陥部分が上部電極 458、集電電極 459 及びバスバー 460 に接触することを防ぐための絶縁性材料である。また、パッシベーション層 457 は、半導体層全面に積層されるものであるため太陽光の入射を妨げないように光透過性の材料である必要がある。また、太陽電池として屋外で使用する場合の環境を考え、耐候性が良く、熱、湿度及び光に対する安定性が要求される。また、場合によっては、太陽電池が曲げられたり衝撃が与えられるため、機械的な強度も合わせ持つ必要がある。このような材料としては高分子樹脂が好適であり、具体的にはポリエステル、エチレン酢酸ビニル共重合体、アクリル樹脂、エポキシ樹脂、ウレタン等が用いられる。また、膜厚としては、電氣的絶縁性が保たれ、かつ、光透過性を損なわれない膜厚であればよい。例えば $3\mu\text{m} \sim 5\mu\text{m}$ である。

上部電極 458 は、機能上は集電電極 458 と同様の機能を果たすものである。電極材料としては Ag、Pt、Cu、C 等の金属等が挙げられる。

バスバー 560 は、集電電極 459 を流れる電流を更に集めるための電極である。電極材料としては、例えば Ag、Pt、Cu、等の金属が用いられる。

以下、実施例により、本発明の太陽電池の構成を更に詳しく説明するが、本発明はこれらの実施例により限定されるものではない。

（太陽電池の製造方法）

図 13 に示すように、本発明の層構成の太陽電池を次のようにして作製する。図 13（A）は、図 13（B）に示す太陽電池の斜視図に示す A-A' 線に沿った断面図である。

まず、SUS基板20cm角、厚み0.1mm程度)551にスパッタ装置にてCrを約1500Å堆積し、下部電極552を形成する。その基板551をプラズマCVD成膜装置にてn層553、i層554、p層555の順に堆積を行う。その後、蒸着装置にてInとSnの合金を蒸着し、反射防止効果を兼ねた機能を有する透明電極556を約700Å堆積した。

次に、パッシベーション層557を堆積した後、基板551をスクリーン印刷法にて、幅約100μm、長さ8cmの上部電極558を間隔1cmで印刷する。

そして、上述の図2～図4に示す工程によって形成された基材300を備えた素子搭載用基板12をパッシベーション層557に圧着して貼り合わせる。なお、本実施の形態においては、素子搭載用基板32は、銅板に一体的に形成された突起電極32（その表面にはAu/Ni34で覆われている）を備えた銅板であり、その銅板は、太陽電池の上部電極と集電電極の機能を兼ね備えている（以下、上部電極558と称する）。

また、本発明においては、パッシベーション層557の材料としては、上述の図2～4における絶縁樹脂層20と同様のものを採用する。すなわち、加圧により流動性を有する絶縁樹脂を用いる。

具体的な圧着による貼り合わせは、形成したパッシベーション層557に上部電極558の突起電極32を正対させて基板551側と上部電極558側から加圧をする。そうすると、突起電極32が樹脂からなるパッシベーション層557を貫通して透明電極556に到達することで、突起電極32と透明電極556との電氣的接続が可能となる。

ここで、図12に従来の太陽電池の構造を示す。

従来の構造において、透明電極の上に形成したパッシベーション層457は絶縁性または高抵抗であるため、その上に上部電極458を積層してもその上部電極458と透明電極456とのオーミックコンタクトは充分ではなく、集電電極459に十分に電流を流すことができない。そのため、上部電極458と透明電極456とが十分に接触するようにする必要がある。具体

的には、パッシベーション層 4 5 7 に溶剤又は高分子樹脂の未反応成分を含有する導電性ペーストを含ませ、それにより、パッシベーション層 4 5 7 を溶解し導電性フィラーが透明電極 4 5 6 に接触するようにしている。

これに対して、本発明によれば、パッシベーション層 5 5 7 に導電ペーストを含有させることなく、上部電極 5 5 8 に形成された突起電極 3 2 が、加圧によりパッシベーション層 5 5 7 を貫通して透明電極 5 5 6 に到達し、突起電極 3 2 と透明電極 5 5 6 とが電氣的に接続させることができる。

図 1 1 3 (A)、(B) に示すように、上部電極 5 5 8 を透明電極 5 5 6 と電氣的に接続した後、上部電極 5 5 8 の上方に例えば A g、P t、C u、等の金属からなるバスバー 5 6 0 を形成する。これによって、太陽電池が完成する。

符号の説明

[0063] 1 0 半導体モジュール、1 2 素子搭載用基板、2 0 絶縁樹脂層、3 0 配線層、3 2 突起電極、5 0 半導体基板、5 2 素子電極、5 6、保護層、7 0 保護層、1 0 0 半導体素子、5 5 8 上部電極。

産業上の利用可能性

[0064] 本発明に係る素子搭載用基板に半導体素子が搭載された半導体モジュールおよび半導体モジュールの製造方法によれば、配線層を形成するための金属板のハンドリングを容易にし、半導体モジュールの製造プロセスを簡略化することができる。

請求の範囲

[請求項1]

絶縁樹脂層と、

前記絶縁樹脂層の一方の主表面に設けられた配線層と、

前記配線層から前記絶縁樹脂層側に突出している突起電極と、

前記突起電極に対向する素子電極が設けられた半導体素子と、

を備え、

前記配線層の端面が、半導体素子に近づくにつれて配線層の形成領域の内側に入り込むようなテーパ状であり、

前記突起電極が前記絶縁樹脂層を貫通し、前記突起電極と前記素子電極とが電氣的に接続されていることを特徴とする半導体モジュール。

[請求項2]

前記突起電極は、前記配線層の端面の傾斜方向と同じ方向に傾斜していることを特徴とする請求項1に記載の半導体モジュール。

[請求項3]

基材に保持された金属板を選択的に除去して、基板電極が設けられた配線層を形成する工程と、

前記基板電極の頂部面自体または前記基板電極の頂部面に設けられた金属層が露出するように、前記基材の上に絶縁樹脂層を形成して、前記配線層、前記基板電極および前記絶縁樹脂層を含む素子搭載用基板を形成する工程と、

を備えていることを特徴とする半導体モジュールの製造方法。

[請求項4]

前記素子搭載用基板を形成する工程の後に、更に、前記基板電極の頂部面自体または前記基板電極の頂部面に設けられた金属層と、前記素子搭載用基板に対向して設けられる半導体素子に設けられた素子電極と、が電氣的に接続するように、前記基材に保持された状態の前記素子搭載用基板と前記半導体素子とを圧着する工程と、

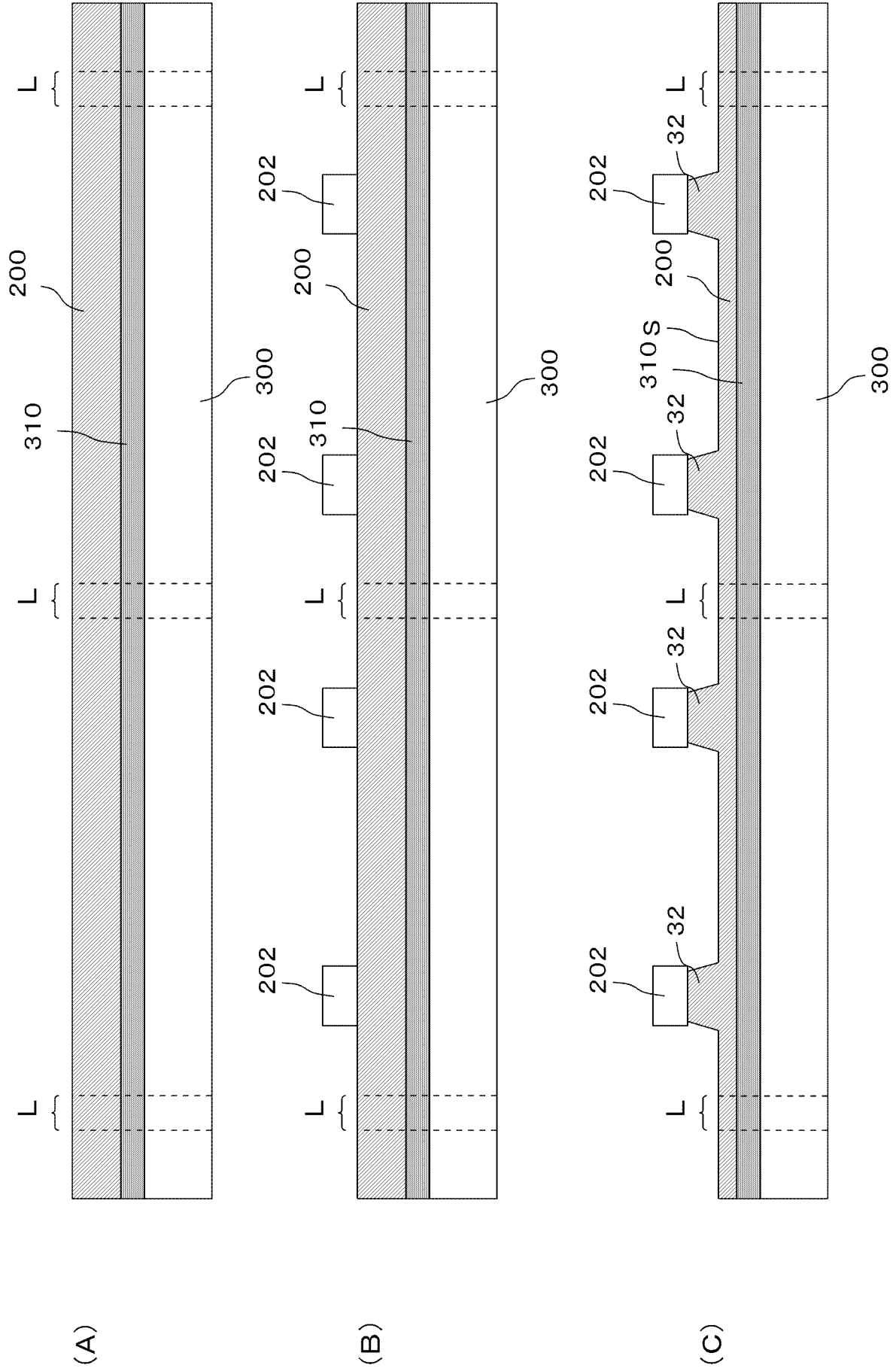
前記基材を除去する工程と、

を備えることを特徴とする請求項3に記載の半導体モジュールの製造方法。

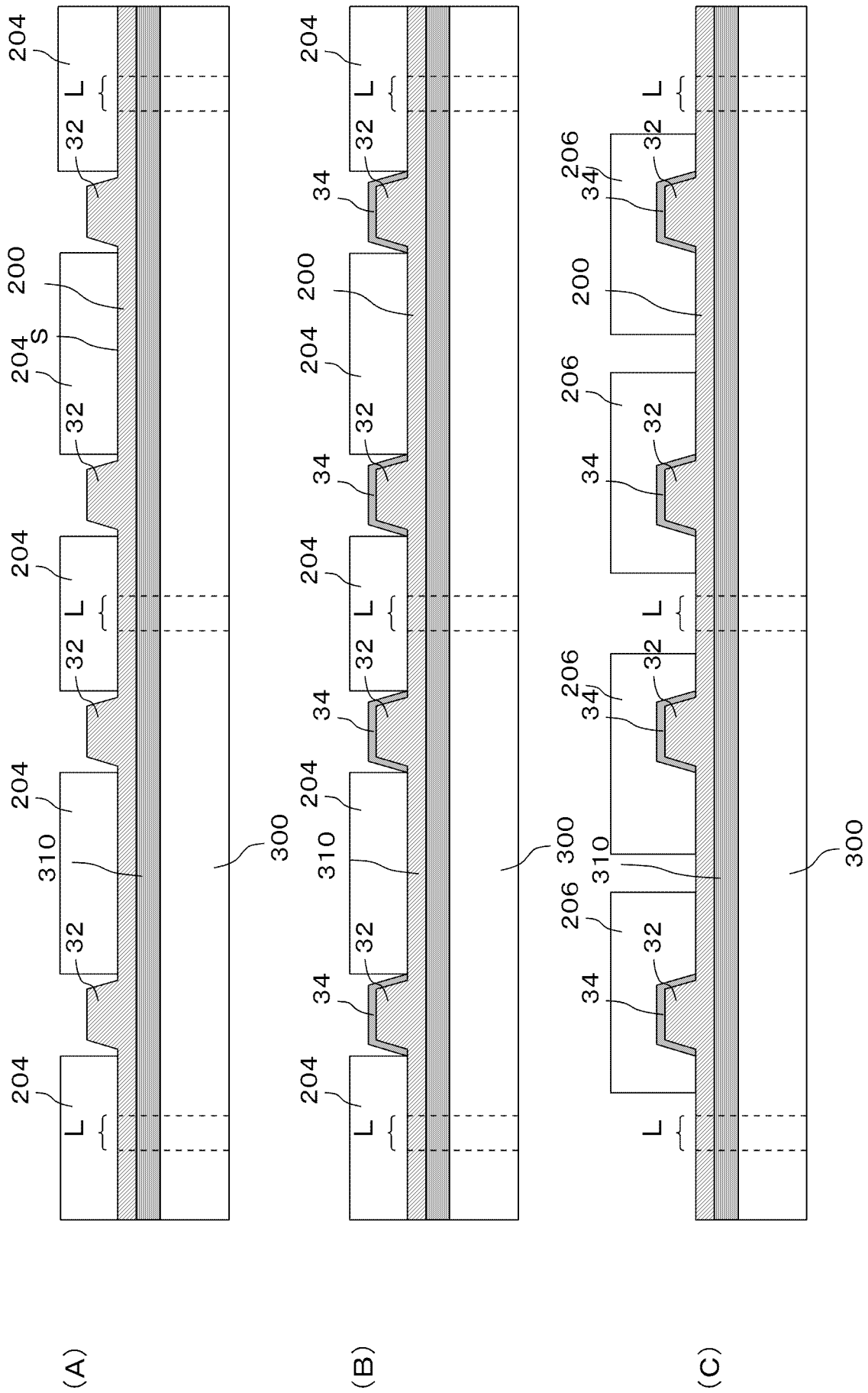
- [請求項5] 前記配線層を形成する工程において、前記配線層は、その端面が、半導体素子に近づくにつれて配線層の形成領域の内側に入り込むようなテーパ状にする工程を含むことを特徴とする請求項2乃至4のいずれか1項に記載の半導体モジュールの製造方法。
- [請求項6] 前記基板電極が前記金属板を選択的に除去することによって前記配線層と一体的に形成された突起電極である請求項2乃至5のうちいずれか1項に記載の半導体モジュールの製造方法。
- [請求項7] 前記基材が透明であり、
前記素子搭載用基板を前記半導体素子に圧着する際に、前記基材を通して前記半導体素子の位置を確認して、前記素子搭載用基板と前記半導体素子とを位置合わせする請求項2乃至6のいずれか1項に記載の半導体モジュールの製造方法。
- [請求項8] 前記半導体素子に前記素子搭載用基板を圧着し、前記基材を除去した後、前記絶縁樹脂層を除去し、前記絶縁樹脂層に代えて前記絶縁樹脂層と機能が異なる別の絶縁樹脂層を形成する工程を備える請求項2乃至7のいずれか1項に記載の半導体モジュールの製造方法。

10

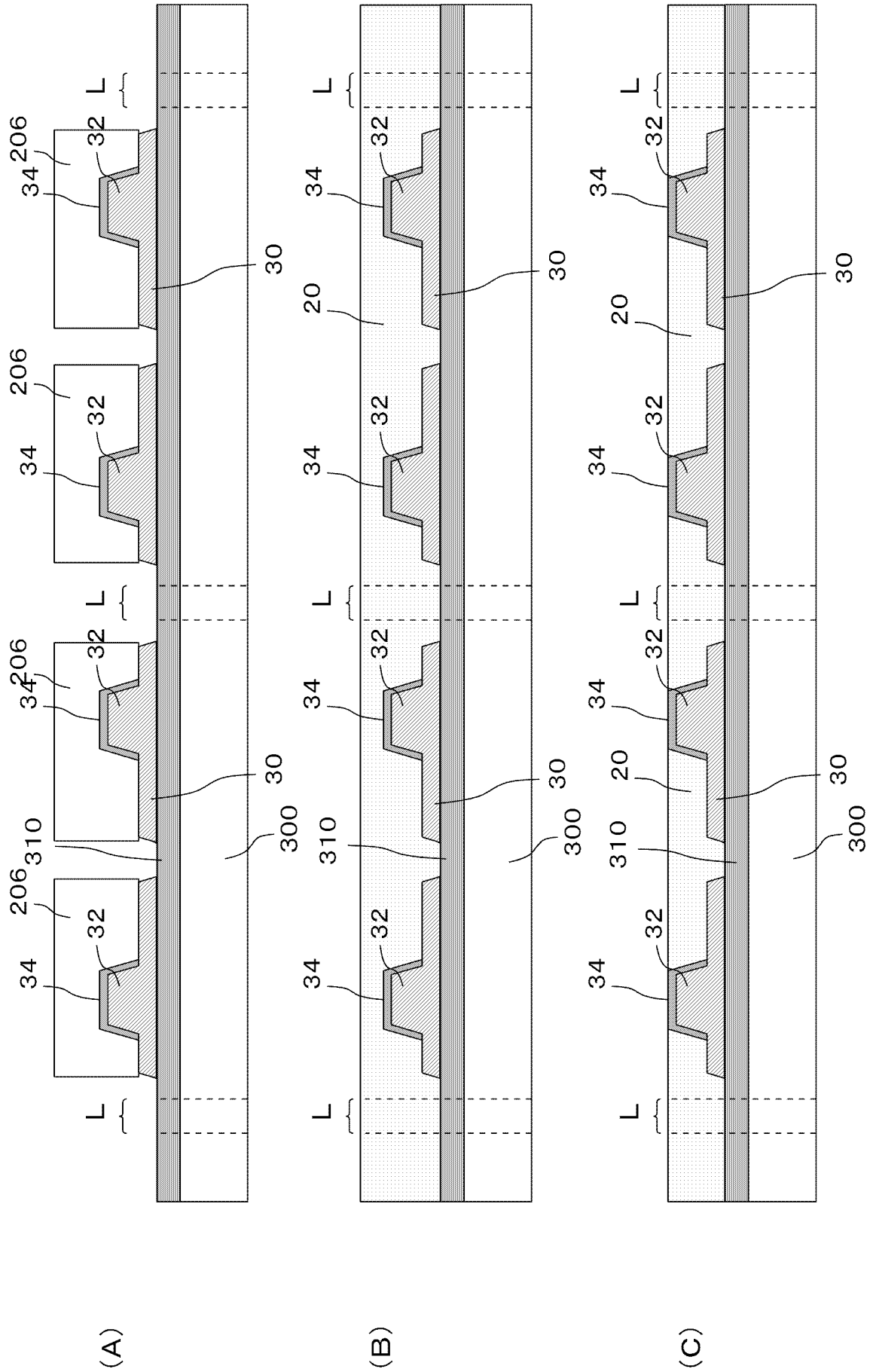
[図2]



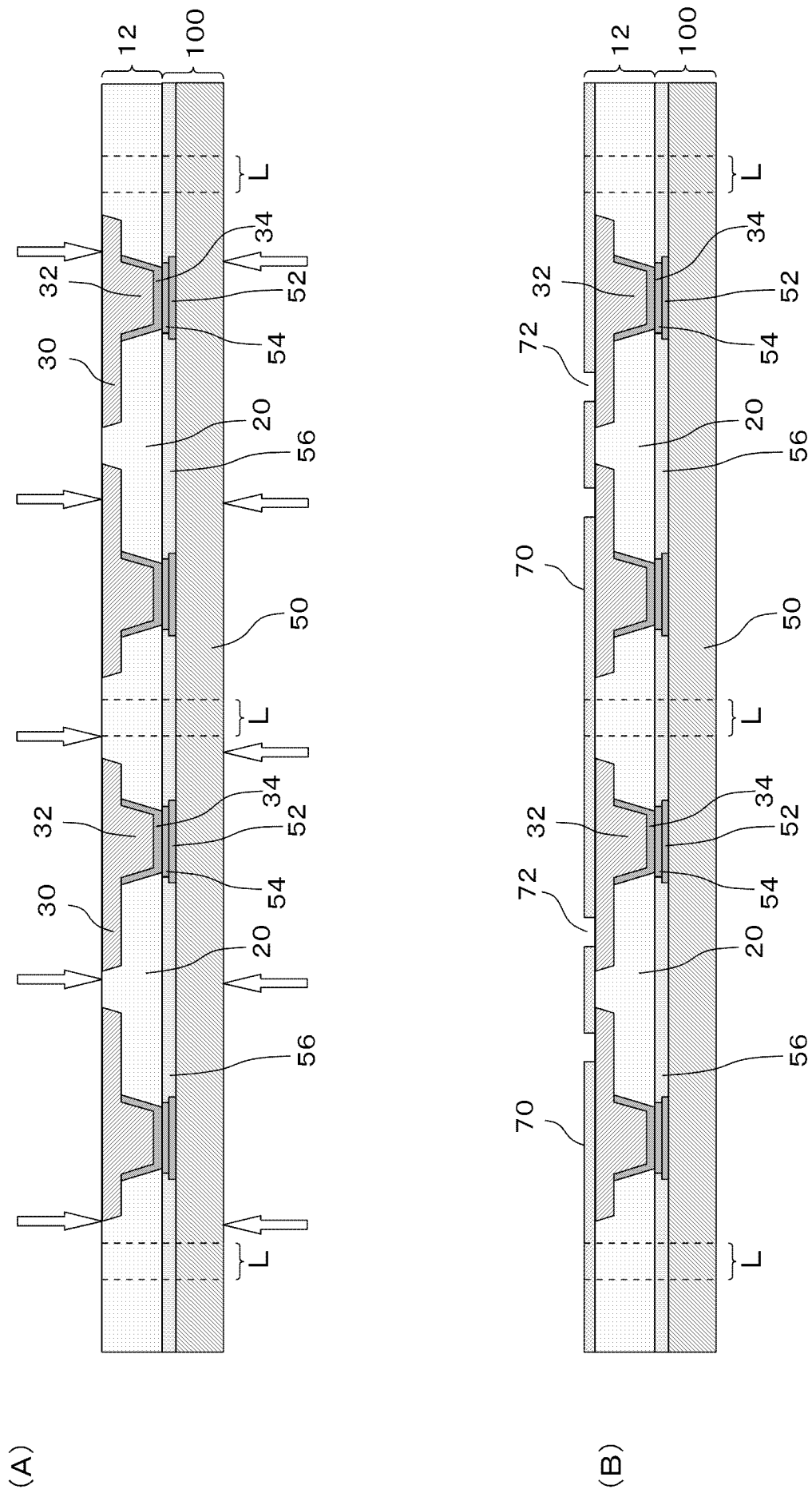
[図3]



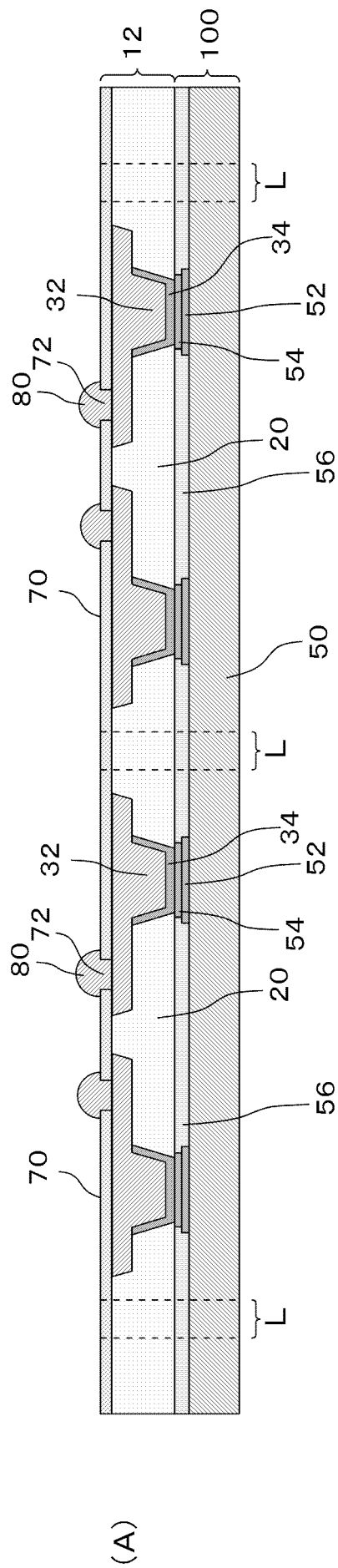
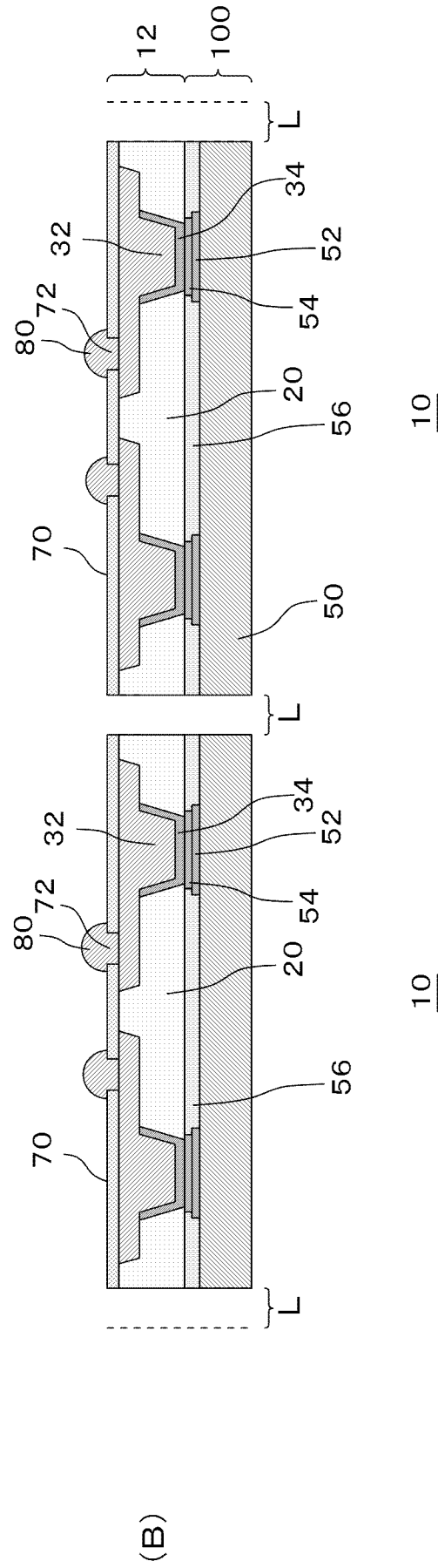
[図4]



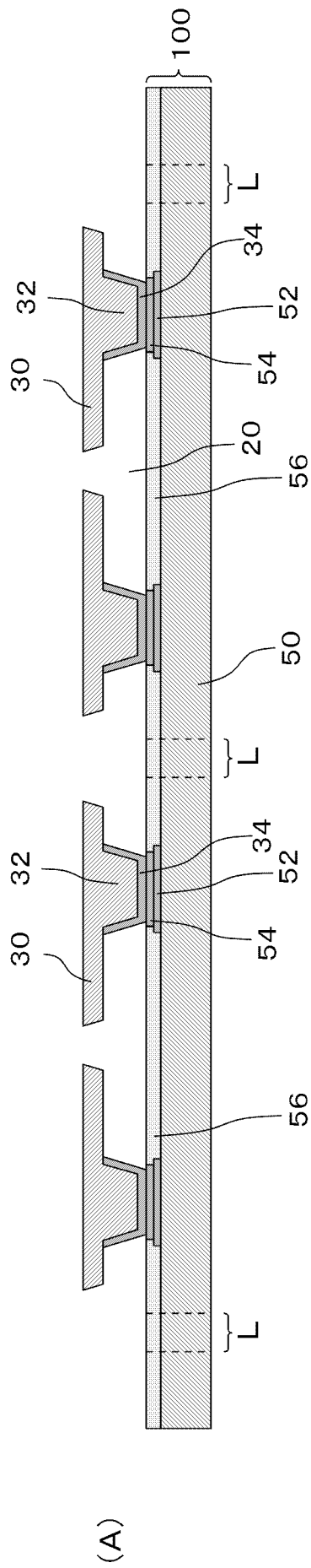
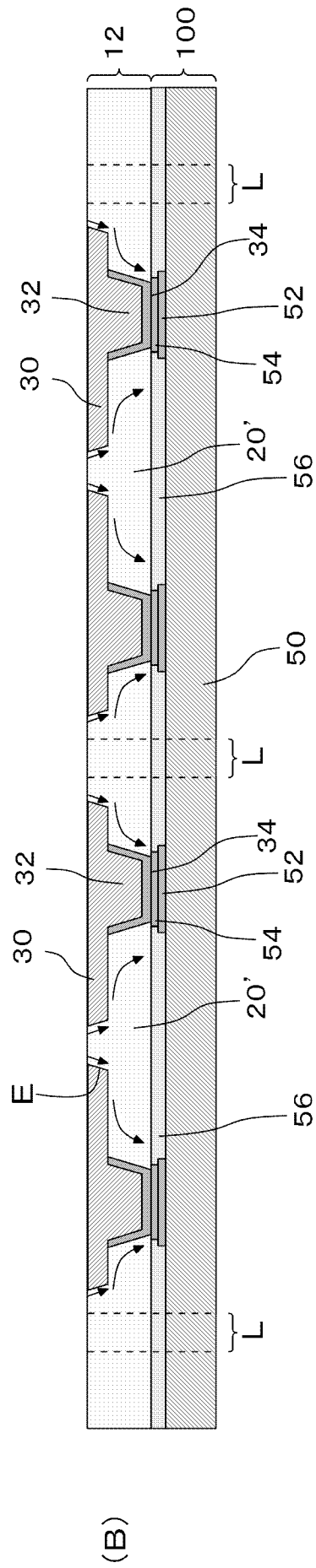
[図6]



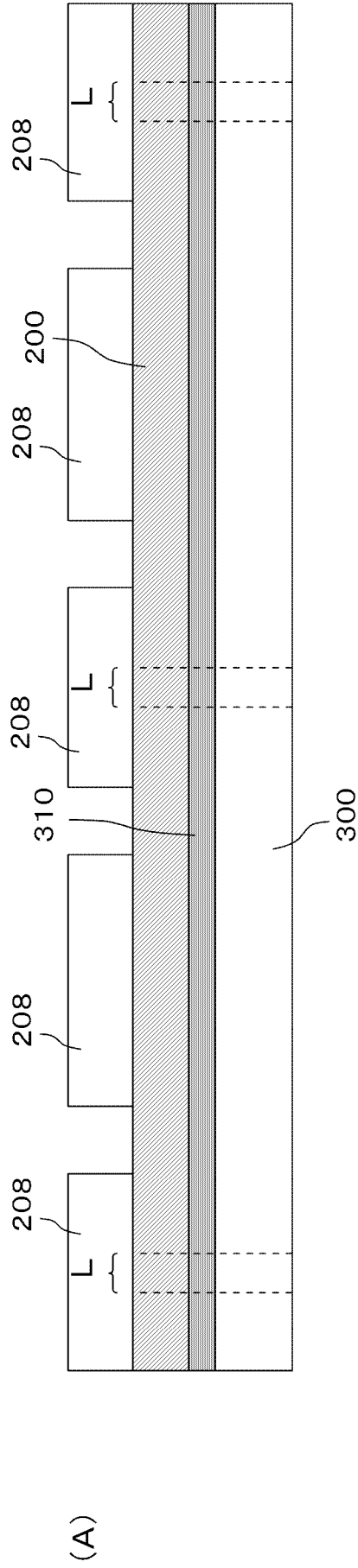
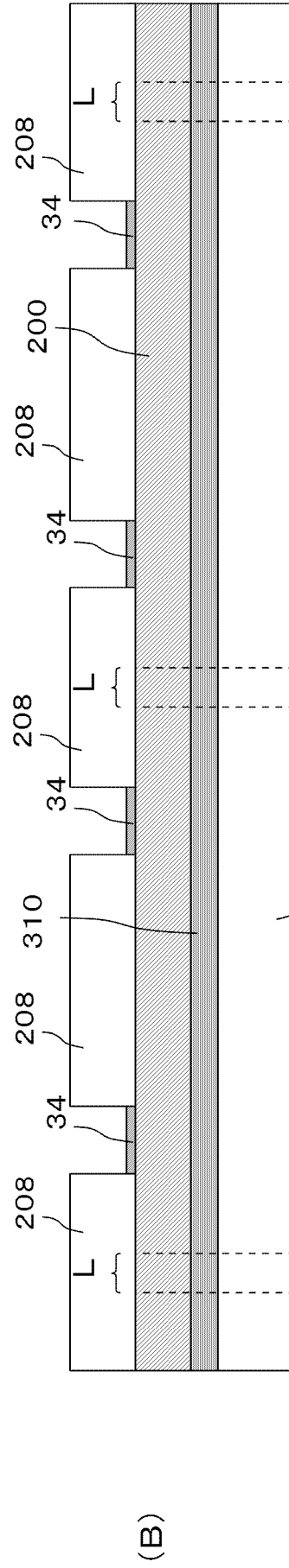
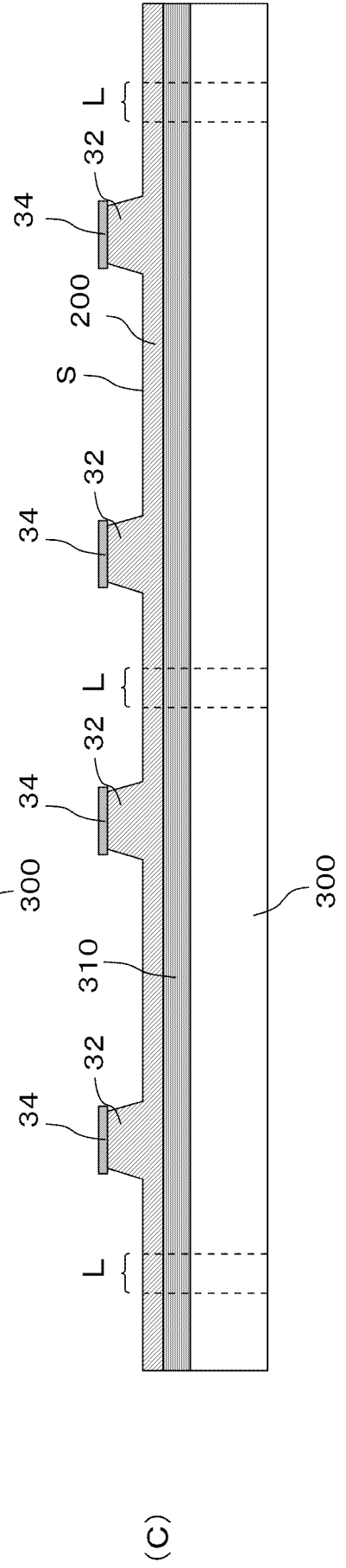
[図7]



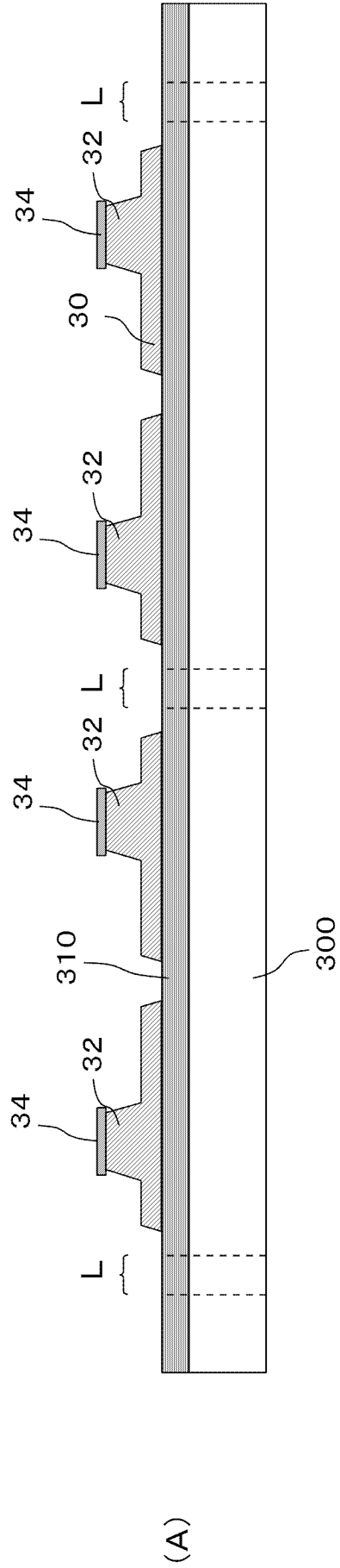
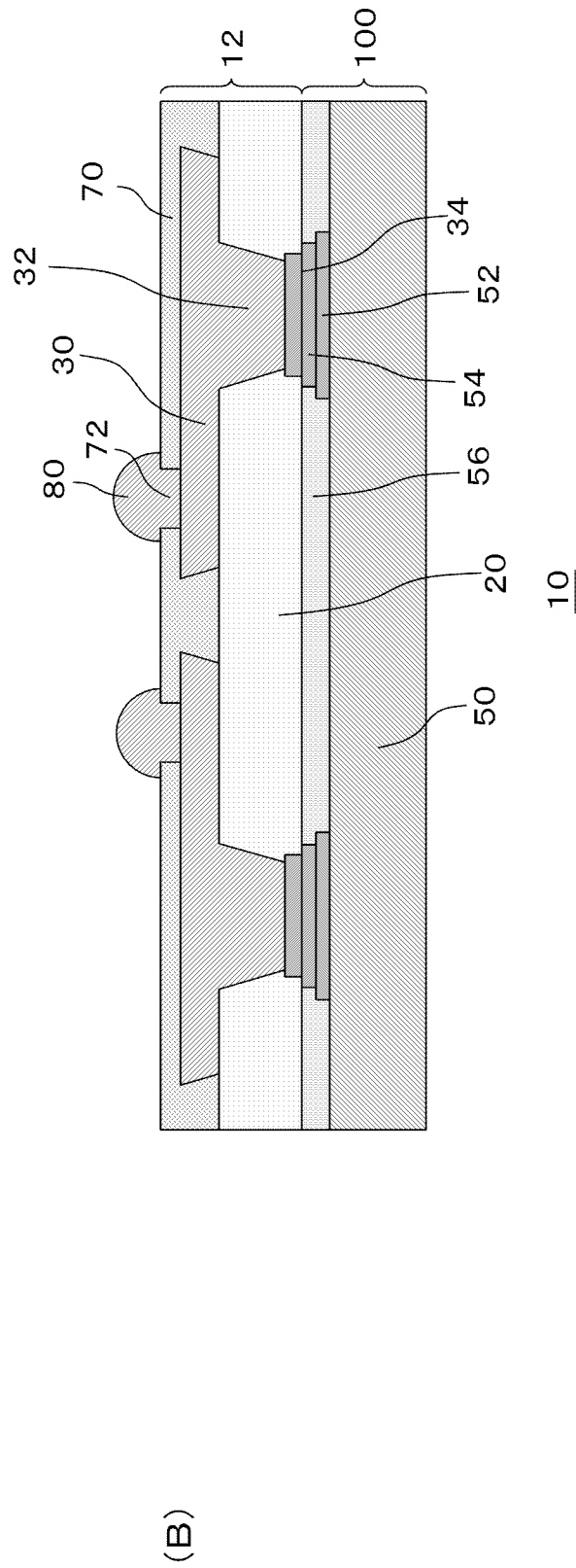
[図8]



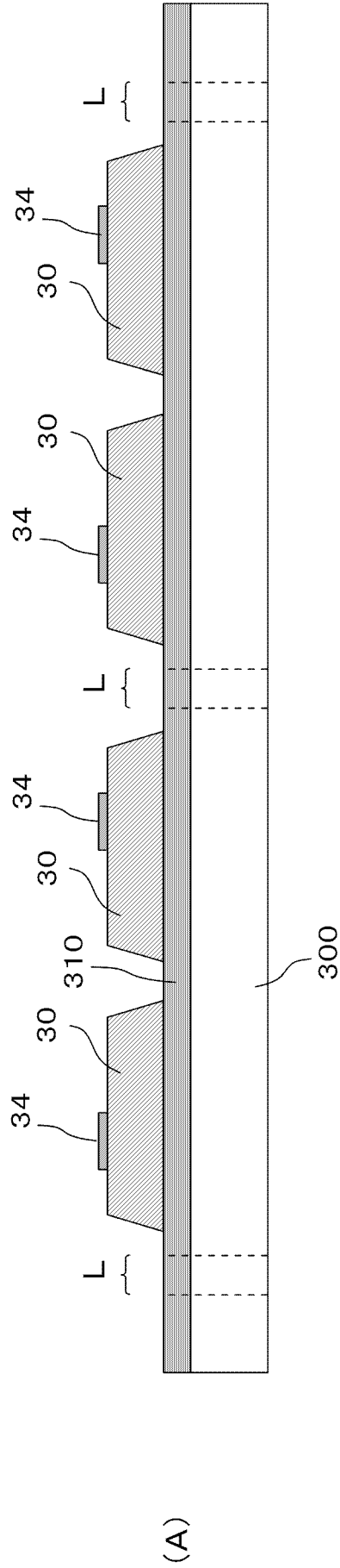
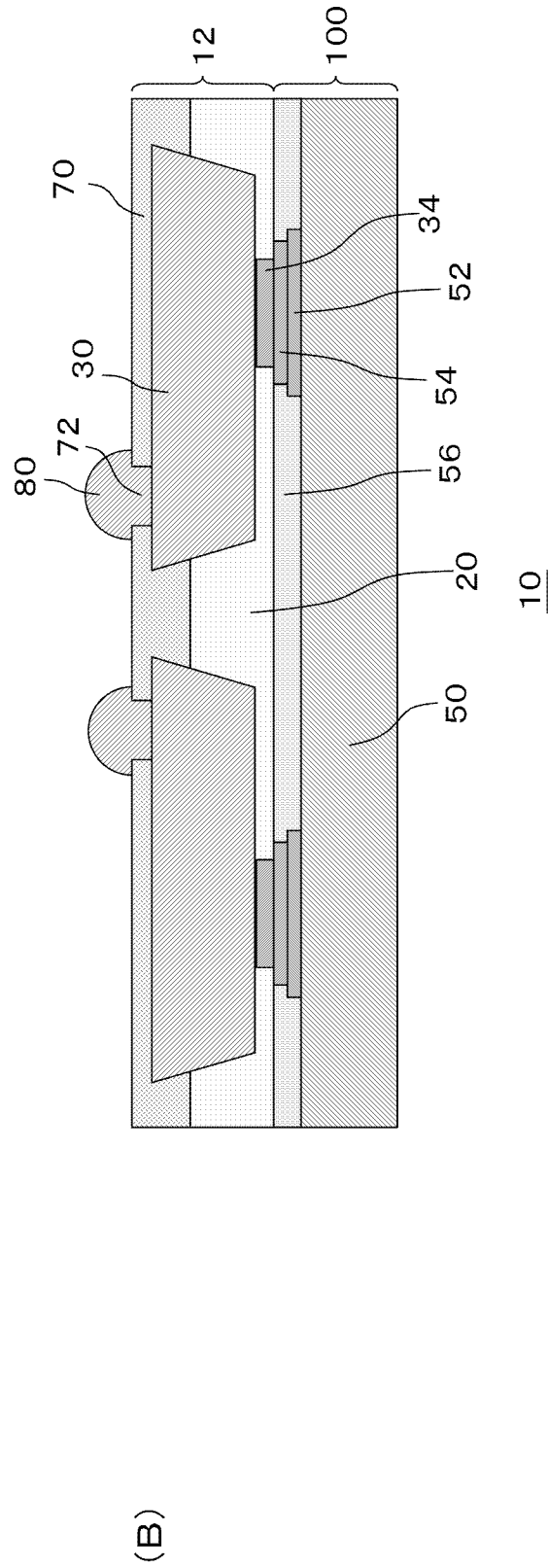
[図9]



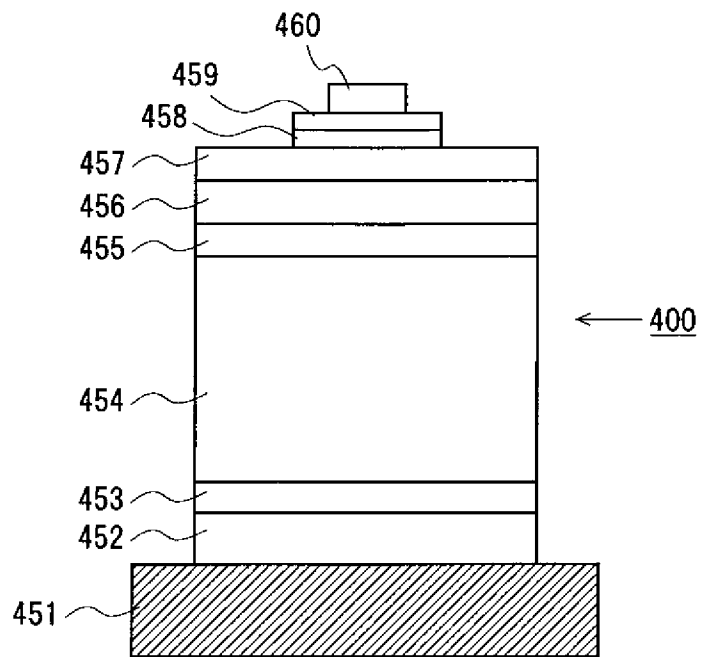
[図10]



[図11]

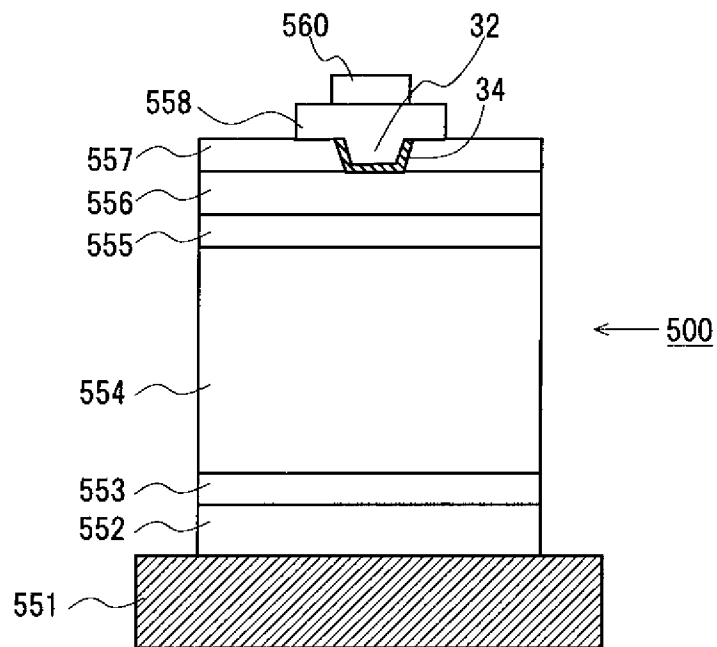


[図12]

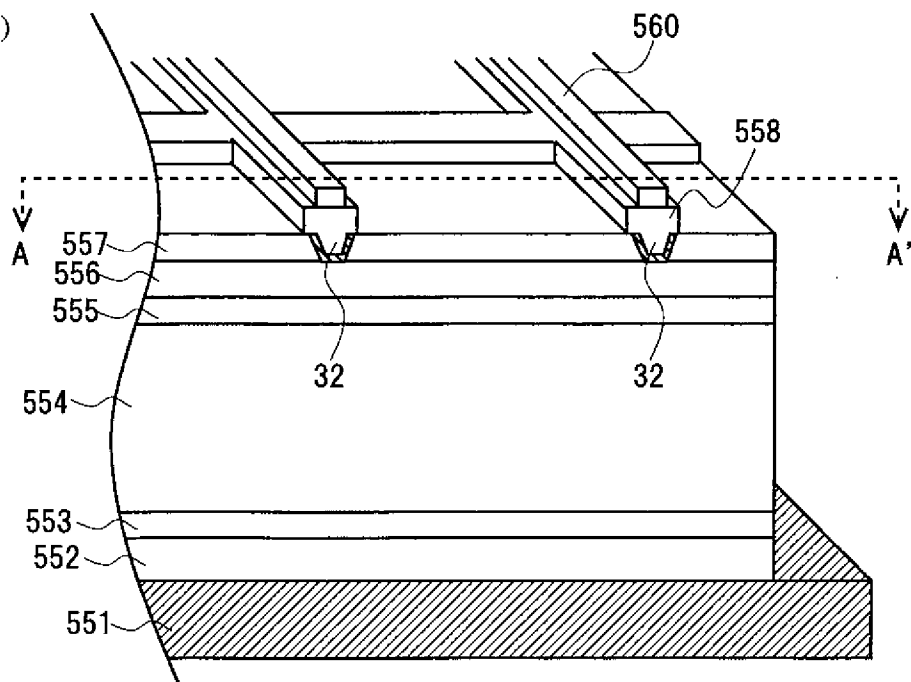


[図13]

(A)



(B)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/062536

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12, H05K1/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-062178 A (Toyota Motor Corp.), 18 March 2010 (18.03.2010), fig. 1 to 9; paragraphs [0006] to [0036] (Family: none)	1 2, 5
Y	JP 2009-231815 A (Sanyo Electric Co., Ltd.), 08 October 2009 (08.10.2009), fig. 1 to 7; paragraphs [0018] to [0055] & JP 2010-245565 A & US 2009/0218686 A1	2, 6
X Y A	JP 2002-252309 A (Denso Corp.), 06 September 2002 (06.09.2002), fig. 1 to 2; paragraphs [0027] to [0043] (Family: none)	3 5-7 4, 8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 June, 2011 (21.06.11)Date of mailing of the international search report
28 June, 2011 (28.06.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/062536

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-223288 A (Yamaha Corp.), 17 August 2001 (17.08.2001), fig. 8; paragraph [0037] (Family: none)	7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/062536

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Document 1: JP 2010-062178 A (Toyota Motor Corp.), 18 March 2010 (18.03.2010),
fig. 1 to 9, paragraphs [0006] to [0036] (Family: none)

The invention in claim 1 cannot be considered to be novel in the light of the invention described in the document 1, and does not have a special technical feature.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/12, H05K1/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-062178 A（トヨタ自動車株式会社）2010.03.18, 図1-9, 【0006】-【0036】（ファミリーなし）	1 2,5
Y	JP 2009-231815 A（三洋電機株式会社）2009.10.08, 図1-7, 【0018】-【0055】 & JP 2010-245565 A & US 2009/0218686 A1	2,6
X Y A	JP 2002-252309 A（株式会社デンソー）2002.09.06, 図1-2, 【0027】-【0043】（ファミリーなし）	3 <u>5-7</u> 4,8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 6 . 2 0 1 1

国際調査報告の発送日

2 8 . 0 6 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

越本 秀幸

4 R

4 0 3 6

電話番号 03-3581-1101 内線 3471

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-223288 A (ヤマハ株式会社) 2001.08.17, 図8, 【0037】 (ファミリーなし)	7

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献1：JP 2010-062178 A（トヨタ自動車株式会社）2010.03.18，図1－9，【0006】－
【0036】（ファミリーなし）

請求項1に係る発明は、文献1に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。