

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月1日(01.12.2022)



(10) 国際公開番号

WO 2022/249287 A1

(51) 国際特許分類:
H03K 19/00 (2006.01) H03K 19/0175 (2006.01)

(21) 国際出願番号: PCT/JP2021/019825

(22) 国際出願日: 2021年5月25日(25.05.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

(72) 発明者:市岡 成友 (ICHIOKA Masatomo); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). 二宮 治(NINOMIYA

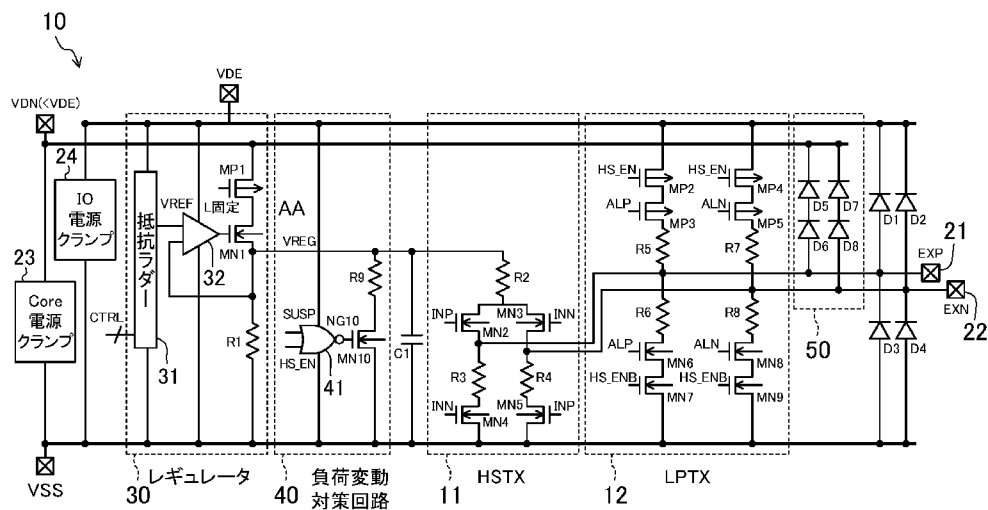
Osamu); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

(74) 代理人:弁理士法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: DRIVER CIRCUIT, TRANSMITTER, AND COMMUNICATION SYSTEM

(54) 発明の名称: ドライバ回路、送信機および通信システム



- 23 Core power supply clamp
- 24 IO power supply clamp
- 30 Regulator
- 31 Resistor ladder
- 40 Load variation handling circuit
- AA L fixation

(57) Abstract: A first driver (12) receives a first power supply (VDE) and operates, and outputs signals EXP, EXN in response to input signals ALP, ALN. A regulator (30) receives a second power supply (VDN) that has a lower voltage than the first power supply (VDE), and supplies a third power supply (VREG) that has a lower voltage than the second power supply (VDN). The second driver (11) receives the third power supply (VREG) and operates, and outputs signals EXP, EXN in response to input signals INP, INN. The outputs of the first driver (12) and the outputs of the second driver

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(11) are commonly connected to output terminals (21, 22).

(57) 要約: 第1ドライバ(12)は、第1電源(VDE)を受けて動作し、入力信号ALP, ALNに応じて信号EXP, EXNを出力する。レギュレータ(30)は、第1電源(VDE)よりも電圧が低い第2電源(VDN)を受け、第2電源(VDN)よりも電圧が低い第3電源(VREG)を供給する。第2ドライバ(11)は、第3電源(VREG)を受けて動作し、入力信号INP, INNに応じて信号EXP, EXNを出力する。第1ドライバ(12)の出力および第2ドライバ(11)の出力が、出力端子(21, 22)に共通に接続されている。

明 細 書

発明の名称：ドライバ回路、送信機および通信システム

技術分野

[0001] 本開示は、通信システムにおいて用いられるドライバ回路に関する。

背景技術

[0002] 通信システムでは、所定の規格に則った信号を送信および受信する装置を接続することにより、通信を行うことがある。通信規格の1つとして、M I P I の D - P H Y 規格がある。この規格は、低速低電力の信号伝送モード（L P T X モード）、および、高速小振幅の信号伝送モード（H S T X モード）を備えている。M I P I の D - P H Y 規格では、L P T X モードと H S T X モードをある割合で組み合わせることによって、高速低電力のインターフェースを実現している。ただし、L P T X モードに対して H S T X モードの動作率が高い場合は、消費電力が大きくなるため、さらなる低電力化が求められる。

[0003] 特許文献1では、通信システムにおいて、有線通信を適切に行うことができるように、電源電圧の範囲に応じて、ドライバ回路の動作を切り替える構成が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2020-43523号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1の構成を、L P T X モードが必須である M I P I D - P H Y に適用した場合には、ドライバ回路に電源を供給するレギュレータには、L P T X モードにおける信号振幅（例えば1.2V）と同一電圧以上の電源電圧を与える必要がある。一方、H S T X モードでは、所望の出力振幅を得るために出力に一定の D C 電流を流すため、この D C 電流とレギュレータに与

えられる電源電圧との積に相当する電力が消費される。このため、H S T Xモードにおける消費電力が大きくなってしまい、という問題がある。

[0006] また、特許文献1の構成では、ドライバ回路は、L P T Xモードに対応するために、耐圧の高いトランジスタを用いる必要がある。このため、低電力化がより困難である。

[0007] 本開示は、L P T XモードとH S T Xモードのような振幅が異なる2つの信号伝送モードを有するドライバ回路について、低電力化を実現することを目的とする。

課題を解決するための手段

[0008] 本開示の第1態様では、ドライバ回路は、第1電圧の第1電源と接地電源との間に設けられ、第1入力信号を受け、前記第1入力信号に応じた信号を出力する第1ドライバと、前記第1電圧より低い第2電圧の第2電源に接続され、前記第2電圧より低い第3電圧の第3電源を供給するレギュレータと、前記第3電源と前記接地電源との間に設けられ、第2入力信号を受け、前記第2入力信号に応じた信号を出力する第2ドライバと、前記第1ドライバの出力、および、前記第2ドライバの出力が共通に接続された出力端子とを備える。

[0009] この態様によると、第1ドライバは、第1電源を受けて動作し、第1入力信号に応じた信号を出力する。レギュレータは、第1ドライバに供給される第1電源よりも電圧が低い第2電源を受け、第2電源よりも電圧が低い第3電源を供給する。第2ドライバは、第3電源を受けて動作し、第2入力信号に応じた信号を出力する。第1ドライバの出力および第2ドライバの出力が、出力端子に共通に接続されている。すなわち、第1ドライバと第2ドライバとが並列に設けられており、かつ、第2ドライバに電源を供給するレギュレータの電源電圧が、第1ドライバの電源電圧よりも低い。これにより、第2ドライバが動作するモードにおいて、レギュレータの電源からドライバ回路を経由した電流パスにおける消費電力が小さいので、ドライバ回路の低電力化を実現することができる。

[0010] 本開示の第2態様では、ドライバ回路は、第1電圧の第1電源と接地電源との間に設けられ、第1入力信号を受け、前記第1入力信号に応じた信号を出力する第1ドライバと、前記第1電圧より低い第2電圧の第2電源に接続され、前記第2電圧より低い第3電圧の第3電源を供給するレギュレータと、前記第3電源と前記接地電源との間に設けられ、第2入力信号を受け、前記第2入力信号に応じた信号を出力する第2ドライバと、前記第1ドライバの出力、および、前記第2ドライバの出力が共通に接続された出力端子と、前記第2電源と前記出力端子との間に設けられ、1個、または、シリアル接続された2個以上のダイオードを含むESD (Electro Static Discharge) 保護回路とを備える。

[0011] この態様によると、上述した第1態様と同様の作用効果が得られる。加えて、第2電源と出力端子との間に、1個またはシリアル接続された2個以上のダイオードを含むESD保護回路が設けられている。これにより、ドライバ回路をESDから保護することができる。

[0012] 本開示の第3態様では、ドライバ回路は、第1電圧の第1電源と接地電源との間に設けられ、第1入力信号を受け、前記第1入力信号に応じた信号を出力する第1ドライバと、前記第1電圧より低い第2電圧の第2電源に接続され、前記第2電圧より低い第3電圧の第3電源を供給するレギュレータと、前記第3電源と前記接地電源との間に設けられ、第2入力信号を受け、前記第2入力信号に応じた信号を出力する第2ドライバと、前記第1ドライバの出力、および、前記第2ドライバの出力が共通に接続された出力端子と、前記第1ドライバが動作する第1モードから、前記第2ドライバが動作する第2モードに遷移する場合において、前記第3電源の前記第3電圧の変動を抑える負荷変動対策回路とを備え、前記負荷変動対策回路は、前記第3電源と前記接地電源との間に設けられ、与えられる信号に応じて、導通状態と非導通状態とが切り換わる電流経路を備え、前記第1モードから前記第2モードに遷移する場合において、前記第1モード中に前記電流経路を導通状態にし、前記第2モードに遷移した時に前記電流経路を切断状態にするよう、前

記電流経路に信号を与えるように構成されている。

- [0013] この態様によると、上述した第1態様と同様の作用効果が得られる。加えて、負荷変動対策回路によって、第1ドライバが動作する第1モードから第2ドライバが動作する第2モードに遷移する場合において、第3電源の電圧変動を抑えることができる。

発明の効果

- [0014] 本開示によると、振幅が異なる2つの信号伝送モードを備えるドライバ回路について、低電力化を実現することができる。

図面の簡単な説明

- [0015] [図1]通信システムの構成例

[図2]実施形態に係るドライバ回路の一例である送信回路の回路構成例

[図3]LPTXモードからHSTXモードに切り替わるときの信号波形図であり、(a)は負荷変動対策回路がない場合、(b)は負荷変動対策回路がある場合

発明を実施するための形態

- [0016] 以下、実施の形態について、図面を参照して説明する。なお、以下に示す回路構成図では、本開示に関わる構成要素を中心に簡略化して図示を行っている。このため例えば、直接的に接続されているように図示された構成要素が、実際の回路構成では、その間に他の構成要素が配置されており、間接的に接続されている場合がある。

- [0017] また、以下の説明において、信号の「ハイ」「ロー」または「1」「0」は、信号の高電位側および低電位側の論理レベルを意味する。また、トランジスタの「オン」「オフ」は、トランジスタが導通状態であるか非導通状態であるかを意味する。また、「VDE」「VDN」「VREG」「VSS」等の記号は、電源自体、または、電源電位の両方を表すのに用いられる。「R1」等の記号は、抵抗素子自体、または、抵抗素子の抵抗値の両方を表すのに用いられる。

- [0018] 図1は通信システムの構成例の概要図である。図1に示す通信システム1

は、送信機2、受信機3、および、伝送路4を備える。送信機2は、送信回路10、および、送信回路10を制御する制御回路5を備える。受信機3は、終端抵抗 R_t を有する受信回路6を備える。終端抵抗 R_t は、例えば100Ωである。伝送路4は、差動信号を送信できるように構成されており、P側伝送線路41およびN側伝送線路42を有する。送信回路10の出力端子21, 22は、伝送路4のP側伝送線路41およびN側伝送線路42にそれぞれ接続されている。通信システム1は、ここでは、MIPIのD-PHY規格に対応しているものとする。上述したとおり、MIPIのD-PHY規格では、LPTXモードとHSTXモードを組み合わせることによって、高速低電力のインターフェースを実現している。

[0019] 送信回路10は、高速ドライバ(HSTX)11、低速ドライバ(LPTX)12、および、レギュレータ30を備える。高速ドライバ11の出力と、低速ドライバ12の出力とは、送信回路10の出力端子21, 22に共通に接続されている。レギュレータ30は、制御回路5から制御信号CTRLを受けて、電源電圧VREGを生成し、高速ドライバ11に供給する。高速ドライバ11は、制御回路5から差動信号INP, INNを受けて、伝送路4に出力する信号EXP, EXNを生成する。低速ドライバ12は、制御回路5からシングルエンド信号ALP, ALNを受けて、伝送路4に出力する信号EXP, EXNを生成する。送信回路10は、本開示に係るドライバ回路の一例である。高速ドライバ11が、第2ドライバに相当し、低速ドライバ12が、第1ドライバに相当する。

[0020] 信号HS__EN, HS__ENBは、HSTXモードとLPTXモードの切替信号であり、相補信号である。信号HS__ENがハイ、信号HS__ENBがローのときは、送信回路10はHSTXモードとして動作する。HSTXモードでは、高速ドライバ11が動作する。信号HS__ENがロー、信号HS__ENBがハイのときは、送信回路10はLPTXモードとして動作する。LPTXモードでは、低速ドライバ12が動作する。また、信号SUSPは、後述する負荷変動対策回路40の制御に用いられる信号である。

[0021] 図2は送信回路10の回路構成例を示す図である。図2の送信回路10は、電源として、電源VDEおよび電源VDNを備える。電源電圧VDNは電源電圧VDEより低く ($V_{DN} < V_{DE}$)、例えば、VDEは1.2V、VDNは0.75Vである。例えば、電源VDNがコア電源であり、電源VDEがIO電源である。ESD (Electro Static Discharge) 保護のために、電源VDNと接地電源VSSとの間にコア電源クランプ回路23が設けられており、電源VDEと接地電源VSSとの間にIO電源クランプ回路24が設けられている。

[0022] レギュレータ30は、電源VDNから、高速ドライバ11が動作するための電源VREGを生成する。レギュレータ30は、抵抗ラダー31、オペアンプ32、P型トランジスタMP1、N型トランジスタMN1、および、抵抗素子R1を備える。抵抗ラダー31は、電源電圧VDEを抵抗分圧して、参照電圧VREFを生成する。抵抗ラダー31は、制御信号CTRLに従って、参照電圧VREFを例えば0.4Vまたは0.2Vを中心として調整する機能を有する。電源VDNと電源VSSとの間に、P型トランジスタMP1、N型トランジスタMN1および抵抗素子R1が、直列に接続されている。N型トランジスタMN1と抵抗素子R1との接続ノードから、電源電圧VREGが出力される。オペアンプ32は、参照電圧VREFを一方の入力とし、他方の入力として電源電圧VREGがフィードバックされており、出力がN型トランジスタMN1のゲートに接続されている。これにより、電源電圧VREGが、参照電圧VREFに応じて、例えば0.4Vまたは0.2Vに設定される。なお、P型トランジスタMP1は、回路保護のために設けられており、ゲートがロー (0V) 固定されている。

[0023] 高速ドライバ11は、N型トランジスタMN2、MN3、MN4、MN5、および、抵抗素子R2、R3、R4を備える。抵抗素子R2は、一端が電源VREGに接続されている。抵抗素子R2の他端と、接地電源VSSとの間に、N型トランジスタMN2、抵抗素子R3、および、N型トランジスタMN4が直列に接続されており、また、これらと並列に、N型トランジスタ

MN 3、抵抗素子 R 4、および、N 型トランジスタ MN 5 が直列に接続されている。信号 I N P は、N 型トランジスタ MN 2、MN 5 のゲートに入力され、信号 I N N は、N 型トランジスタ MN 3、MN 4 のゲートに入力される。N 型トランジスタ MN 2 と抵抗素子 R 3 との間のノードは、出力端子 2 1 に接続されており、当該ノードから信号 E X P が出力される。N 型トランジスタ MN 3 と抵抗素子 R 4 との間のノードは、出力端子 2 2 に接続されており、当該ノードから信号 E X N が出力される。

[0024] 低速ドライバ 1 2 は、P 型トランジスタ MP 2、MP 3、MP 4、MP 5、N 型トランジスタ MN 6、MN 7、MN 8、MN 9、および、抵抗素子 R 5、R 6、R 7、R 8 を備える。電源 V D E と接地電源 V S S との間に、P 型トランジスタ MP 2、MP 3、抵抗素子 R 5、R 6、および、N 型トランジスタ MN 6、MN 7 が直列に接続されている。また、電源 V D E と接地電源 V S S との間に、P 型トランジスタ MP 4、MP 5、抵抗素子 R 7、R 8、および、N 型トランジスタ MN 8、MN 9 が直列に接続されている。信号 A L P は、P 型トランジスタ MP 3 および N 型トランジスタ MN 6 のゲートに入力され、信号 A L N は、P 型トランジスタ MP 5 および N 型トランジスタ MN 8 のゲートに入力される。また、信号 H S __ E N は、P 型トランジスタ MP 2、MP 4 のゲートに入力され、信号 H S __ E N B は、P 型トランジスタ MN 7、MN 9 のゲートに入力される。抵抗素子 R 5、R 6 の間のノードは、出力端子 2 1 に接続されており、当該ノードから信号 E X P が出力される。抵抗素子 R 7、R 8 の間のノードは、出力端子 2 2 に接続されており、当該ノードから信号 E X N が出力される。

[0025] <H S T X モードの動作>

信号 H S __ E N がハイであり、信号 H S __ E N B がローのとき、送信回路 1 0 は H S T X モードになり、高速ドライバ 1 1 が動作する。低速ドライバ 1 2 は、P 型トランジスタ MP 2、MP 4 および N 型トランジスタ MN 7、MN 9 がオフになるため、動作しない。

[0026] H S T X モードにおいて、高速ドライバ 1 1 は、信号 I N P がハイであり

、信号 I_{NN} がローのとき、N型トランジスタ $MN2$ 、 $MN5$ がオンになり、N型トランジスタ $MN3$ 、 $MN4$ がオフになる。このとき、電流は、電源 V_{REG} から、抵抗素子 $R2 \rightarrow$ N型トランジスタ $MN2 \rightarrow$ 出力端子 $21 \rightarrow$ P側伝送線路 $41 \rightarrow$ 受信回路6の終端抵抗 $R_x \rightarrow$ N側伝送線路 $42 \rightarrow$ 出力端子 $22 \rightarrow$ 抵抗素子 $R4 \rightarrow$ N型トランジスタ $MN5 \rightarrow$ 接地電源 V_{SS} と流れる。一方、信号 I_{NP} がローであり、信号 I_{NN} がハイのとき、N型トランジスタ $MN3$ 、 $MN4$ がオンになり、N型トランジスタ $MN2$ 、 $MN5$ がオフになる。このとき、電流は、電源 V_{REG} から、抵抗素子 $R2 \rightarrow$ N型トランジスタ $MN3 \rightarrow$ 出力端子 $22 \rightarrow$ N側伝送線路 $42 \rightarrow$ 受信回路6の終端抵抗 $R_x \rightarrow$ P側伝送線路 $41 \rightarrow$ 出力端子 $21 \rightarrow$ 抵抗素子 $R3 \rightarrow$ N型トランジスタ $MN4 \rightarrow$ 接地電源 V_{SS} と流れる。

[0027] ここで、 $R2 + MN2$ オン抵抗、 $R2 + MN3$ オン抵抗、 $R3 + MN4$ オン抵抗、および、 $R4 + MN5$ オン抵抗が、それぞれ $50\ \Omega$ になるように、設計されているものとする。この場合、上述した電源 V_{REG} から接地電源 V_{SS} までの電流経路における合計抵抗は、終端抵抗 R_x の $100\ \Omega$ を含めて、 $200\ \Omega$ になる。

[0028] 電源電圧 V_{REG} が $0.4\ V$ とすると、 $V_{REG} - V_{SS}$ 間に流れる電流は $2\ (= 0.4 \times 1000 / 200)\ mA$ となる。終端抵抗 R_t には、 $200\ mV$ の差動電圧が出力される。信号 I_{NP} がハイであり、信号 I_{NN} がローのときは、信号 E_{XP} は $300\ mV$ 、信号 E_{XN} は $100\ mV$ になり、信号 I_{NP} がローであり、信号 I_{NN} がハイのときは、信号 E_{XP} は $100\ mV$ 、信号 E_{XN} は $300\ mV$ になる。いずれの場合も、差動コモン電圧は $200\ mV$ になる。

[0029] また、電源電圧 V_{REG} が $0.2\ V$ とすると、 $V_{REG} - V_{SS}$ 間に流れる電流は $1\ (= 0.2 \times 1000 / 200)\ mA$ となる。終端抵抗 R_t には、 $100\ mV$ の差動電圧が出力され、差動コモン電圧は $100\ mV$ になる。

[0030] <LP TXモードの動作>

信号 HS_EN がローであり、信号 HS_ENB がハイのとき、送信回路

10はLPTXモードになり、低速ドライバ12が動作する。高速ドライバ11は、信号INP、INNがいずれもローになるため、動作しない。

[0031] LPTXモードにおいて、低速ドライバ12は、信号ALPがハイのとき、P型トランジスタMP3がオフになり、N型トランジスタMN6がオンになるので、信号EXPとしてローを出力する。信号ALPがローのとき、低速ドライバ12は、P型トランジスタMP3がオンになり、N型トランジスタMN6がオフになるので、信号EXPとしてハイを出力する。

[0032] また、低速ドライバ12は、信号ALNがハイのとき、P型トランジスタMP5がオフになり、N型トランジスタMN8がオンになるので、信号EXNとしてローを出力する。信号ALNがローのとき、低速ドライバ12は、P型トランジスタMP5がオンになり、N型トランジスタMN8がオフになるので、信号EXNとしてハイを出力する。

[0033] (その他の構成)

ESD保護のために、出力端子21、22と電源VDEとの間にダイオードD1、D2がそれぞれ設けられており、出力端子21、22と接地電源VSSとの間にダイオードD3、D4がそれぞれ設けられている。

[0034] また、電源VDNと出力端子21、22との間に、ESD保護回路50が設けられている。ESD保護回路50は、電源VDNと出力端子21との間にシリアル接続されたダイオードD5、D6と、電源VDNと出力端子22との間にシリアル接続されたダイオードD7、D8と備えている。ESD保護回路50では、電源VDNと出力端子21、22との間に生じ得る電圧差と、ダイオードの閾値電圧とを考慮して、貫通電流が発生しないように、シリアル接続されたダイオードD5、D6、および、シリアル接続されたダイオードD7、D8を設けている。

[0035] 負荷変動対策回路40は、LPTXモードからHSTXモードに切り替わるときの電源電圧VREGの変動を抑えるために設けられている。負荷変動対策回路40は、NOR回路41、抵抗素子R9、および、N型トランジスタMN10を備える。電源VREGと接地電源VSSとの間に、抵抗素子R

9およびN型トランジスタMN10が、直列に接続されている。これにより、N型トランジスタMN10のゲートに与えられる信号によって導通状態と非導通状態とが切り替わる電流経路が、電源VREGと接地電源VSSとの間に構成されている。NOR回路41は、信号HS__ENおよび信号SUSPを入力とし、出力NG10がN型トランジスタMN10のゲートに与えられる。

[0036] 図3はLPTXモードからHSTXモードに切り替わるときの送信回路10の動作を示す信号波形図であり、(a)は負荷変動対策回路40がない場合、(b)は負荷変動対策回路40がある場合を示す。

[0037] 図3(a)に示すように、MIPID-PHY-Txの動作シーケンスでは、LPTXモードからHSTXモードに切り替わるとき、LP-11→LP-01→LP-00と遷移した後に、HSTXモードに遷移する。このとき、高速ドライバ11では、上述したVREG-VSS間の電流経路に電流が流れていない状態から、電流(例えば2mA)が流れる状態に急峻に遷移する。このため、HSTXモードに遷移した直後は、電源電圧VREGが変動してしまい、これにより信号EXP, EXNの電位が不安定になってしまう。

[0038] これに対して、負荷変動対策回路40を設けた場合には、図3(b)に示すように動作する。信号SUSPは、負荷変動対策回路40のために新たに設けた信号であり、LPTXモードからHSTXモードに切り替わるとき、信号HS__ENがローからハイに遷移するのに先だって、信号SUSPはハイからローに遷移する。このとき、NOR回路41の出力NG10がハイになることによって、電源VREGから抵抗素子R9およびN型トランジスタMN10を介して電流が引かれる。信号HS__ENがローからハイに遷移すると、NOR回路41の出力NG10がローになり、抵抗素子R9およびN型トランジスタMN10を介する電流経路は遮断される。この結果、HSTXモードに遷移した直後から、信号EXP, EXNの電位を安定させることができる。

[0039] また、電源VREGと接地電源VSSとの間に、容量素子C1が設けられている。この容量素子C1によって、電源VREGのノードのインピーダンスを低下させ、その電位を安定させることができるので、高速ドライバ11の出力信号EXP, EXNの波形品質を向上させることができる。容量素子C1は、例えば、バラクタによって構成するのが好ましい。これにより、比較的小面積でかつ低電圧下で、大容量の安定化容量を実現することができる。

[0040] 送信回路10は、全体として次のように動作する。レギュレータ30は、電源電圧VREGを高速ドライバ11に供給している。信号HS__ENがハイ（信号HS__ENBがロー）のとき、送信回路10はHSTXモードになり、高速ドライバ11が動作し、差動入力信号INP, INNに応じて差動小振幅信号EXP, EXNを出力する。このとき、低速ドライバ12は非動作状態であり、出力がHi-Zになっている。一方、信号HS__ENがロー（信号HS__ENBがハイ）のとき、送信回路10はLPTXモードになり、低速ドライバ12が動作し、シングルエンド信号ALP, ALNに応じてCMOS出力信号EXP, EXNを出力する。このとき、高速ドライバ11は非動作状態であり、出力がHi-Zになっている。すなわち、送信回路10では、高速ドライバ11と低速ドライバ12とは、排他的に動作する。

[0041] 以上のように本実施形態によると、送信回路10は、高速ドライバ11と低速ドライバ12とが並列に設けられており、高速ドライバ11と低速ドライバ12とを排他的に切り替えて動作させる。このため、高速ドライバ11に電源VREGを供給するレギュレータ30の電源VDNを、低速ドライバ12の電源VDEよりも電圧が低い電源とすることができる。これにより、送信回路10の低電力化が可能になっている。また、高速ドライバ11を構成するトランジスタMN2~MN5を、低耐圧のトランジスタで構成することができるので、低電力化が容易になっている。

[0042] 加えて、電源VDNと出力端子21, 22との間のESD保護のために、シリアル接続したダイオードD5, D6、および、シリアル接続したダイオ

ードD7, D8を含むESD保護回路50を設けている。なお、電源VDNと信号EXP, EXNの電位差とダイオードの閾値とを考慮して、必要に応じて、3段以上のダイオードを設けるようにしてもよいし、1個のダイオードを設けてもかまわない。

[0043] また、負荷変動対策回路40を設けることによって、LPTXモードからHSTXモードへの切替時の電源電圧VREGの変動を抑制することができる。さらに、電源VREGと接地電源VSSとの間に、バラクタによって構成された容量素子C1を設けることによって、電源電圧VREGの変動をさらに抑制することができる。

[0044] なお、上述の実施形態では、LPTXモードとHSTXモードを有するMIP1のD-PHY規格に対応した送信回路10を例にとって説明を行ったが、本開示に係るドライバ回路はこれに限られるものではなく、振幅が異なる2つの信号伝送モードを備えるドライバ回路に、本開示は適用可能である。

[0045] なお、本開示は、上述の各実施形態で示した構成に限定されるものではなく、多くの変形が、本開示の技術的思想内で当該技術分野において通常の知識を有する者により可能である。また、本開示の趣旨を逸脱しない範囲で、複数の実施形態における各構成要素を任意に組み合わせてもよい。

産業上の利用可能性

[0046] 本開示では、振幅が異なる2つの信号伝送モードを備えるドライバ回路の低電力化が実現できるので、例えば、通信システムの省電力に有効である。

符号の説明

[0047] 1 通信システム

2 送信機

3 受信機

4 伝送路

10 送信回路（ドライバ回路）

11 高速ドライバ（HSTX, 第2ドライバ）

1 2 低速ドライバ (L P T X, 第 1 ドライバ)
2 1, 2 2 出力端子
3 0 レギュレータ
4 0 負荷変動対策回路
5 0 E S D 保護回路
C 1 容量素子
D 5, D 6, D 7, D 8 ダイオード
R 2, R 3, R 4 抵抗素子
M N 2, M N 3, M N 4, M N 5 N 型トランジスタ
V D E 第 1 電源
V D E 第 2 電源
V R E G 第 3 電源

請求の範囲

- [請求項1] 第1電圧の第1電源と接地電源との間に設けられ、第1入力信号を受け、前記第1入力信号に応じた信号を出力する第1ドライバと、
 前記第1電圧より低い第2電圧の第2電源に接続され、前記第2電圧より低い第3電圧の第3電源を供給するレギュレータと、
 前記第3電源と前記接地電源との間に設けられ、第2入力信号を受け、前記第2入力信号に応じた信号を出力する第2ドライバと、
 前記第1ドライバの出力、および、前記第2ドライバの出力が共通に接続された出力端子とを備える
 ドライバ回路。
- [請求項2] 請求項1記載のドライバ回路において、
 前記第3電源と前記接地電源との間に設けられ、バラクタによって構成された容量素子を備える
 ドライバ回路。
- [請求項3] 請求項1記載のドライバ回路において、
 前記第2ドライバは、
 一端が前記第3電源に接続された第1抵抗素子と、
 前記第1抵抗素子の他端と前記接地電源との間に直列に接続された、第1N型トランジスタ、第2抵抗素子および第2N型トランジスタと、
 前記第1抵抗素子の他端と前記接地電源との間に、前記第1N型トランジスタ、前記第2抵抗素子および前記第2N型トランジスタと並列に、直列に接続された、第3N型トランジスタ、第3抵抗素子および第4N型トランジスタとを備え、
 前記第2入力信号は、差動信号であり、当該差動信号を構成する一方の信号は、前記第1および第4N型トランジスタのゲートに入力され、他方の信号は、前記第2および第3N型トランジスタのゲートに入力される

ドライバ回路。

[請求項4] 請求項 1 記載のドライバ回路を備える送信機。

[請求項5] 請求項 4 記載の送信機と、
前記送信機に接続された伝送路と、
前記伝送路を介して前記送信機に接続された受信機とを備える
通信システム。

[請求項6] 第 1 電圧の第 1 電源と接地電源との間に設けられ、第 1 入力信号を受け、前記第 1 入力信号に応じた信号を出力する第 1 ドライバと、
前記第 1 電圧より低い第 2 電圧の第 2 電源に接続され、前記第 2 電圧より低い第 3 電圧の第 3 電源を供給するレギュレータと、
前記第 3 電源と前記接地電源との間に設けられ、第 2 入力信号を受け、前記第 2 入力信号に応じた信号を出力する第 2 ドライバと、
前記第 1 ドライバの出力、および、前記第 2 ドライバの出力が共通に接続された出力端子と、
前記第 2 電源と前記出力端子との間に設けられ、1 個、または、シリアル接続された 2 個以上のダイオードを含む ESD (Electro Static Discharge) 保護回路とを備える
ドライバ回路。

[請求項7] 請求項 6 記載のドライバ回路において、
前記第 3 電源と前記接地電源との間に設けられ、バラクタによって構成された容量素子を備える
ドライバ回路。

[請求項8] 請求項 6 記載のドライバ回路において、
前記第 2 ドライバは、
一端が前記第 3 電源に接続された第 1 抵抗素子と、
前記第 1 抵抗素子の他端と前記接地電源との間に直列に接続された、第 1 N 型トランジスタ、第 2 抵抗素子および第 2 N 型トランジスタと、

前記第 1 抵抗素子の他端と前記接地電源との間に、前記第 1 N 型トランジスタ、前記第 2 抵抗素子および前記第 2 N 型トランジスタと並列に、直列に接続された、第 3 N 型トランジスタ、第 3 抵抗素子および第 4 N 型トランジスタとを備え、

前記第 2 入力信号は、差動信号であり、当該差動信号を構成する一方の信号は、前記第 1 および第 4 N 型トランジスタのゲートに入力され、他方の信号は、前記第 2 および第 3 N 型トランジスタのゲートに入力される

ドライバ回路。

[請求項 9] 請求項 6 記載のドライバ回路を備える送信機。

[請求項 10] 請求項 9 記載の送信機と、

前記送信機に接続された伝送路と、

前記伝送路を介して前記送信機に接続された受信機とを備える通信システム。

[請求項 11] 第 1 電圧の第 1 電源と接地電源との間に設けられ、第 1 入力信号を受け、前記第 1 入力信号に応じた信号を出力する第 1 ドライバと、

前記第 1 電圧より低い第 2 電圧の第 2 電源に接続され、前記第 2 電圧より低い第 3 電圧の第 3 電源を供給するレギュレータと、

前記第 3 電源と前記接地電源との間に設けられ、第 2 入力信号を受け、前記第 2 入力信号に応じた信号を出力する第 2 ドライバと、

前記第 1 ドライバの出力、および、前記第 2 ドライバの出力が共通に接続された出力端子と、

前記第 1 ドライバが動作する第 1 モードから、前記第 2 ドライバが動作する第 2 モードに遷移する場合において、前記第 3 電源の前記第 3 電圧の変動を抑える負荷変動対策回路とを備え、

前記負荷変動対策回路は、

前記第 3 電源と前記接地電源との間に設けられ、与えられる信号に応じて、導通状態と非導通状態とが切り替わる電流経路を備え、

前記第 1 モードから前記第 2 モードに遷移する場合において、前記第 1 モード中に前記電流経路を導通状態にし、前記第 2 モードに遷移した時に前記電流経路を切断状態にするよう、前記電流経路に信号を与えるように構成されている
ドライバ回路。

[請求項12] 請求項 1 1 記載のドライバ回路において、
前記第 3 電源と前記接地電源との間に設けられ、バラクタによって構成された容量素子を備える
ドライバ回路。

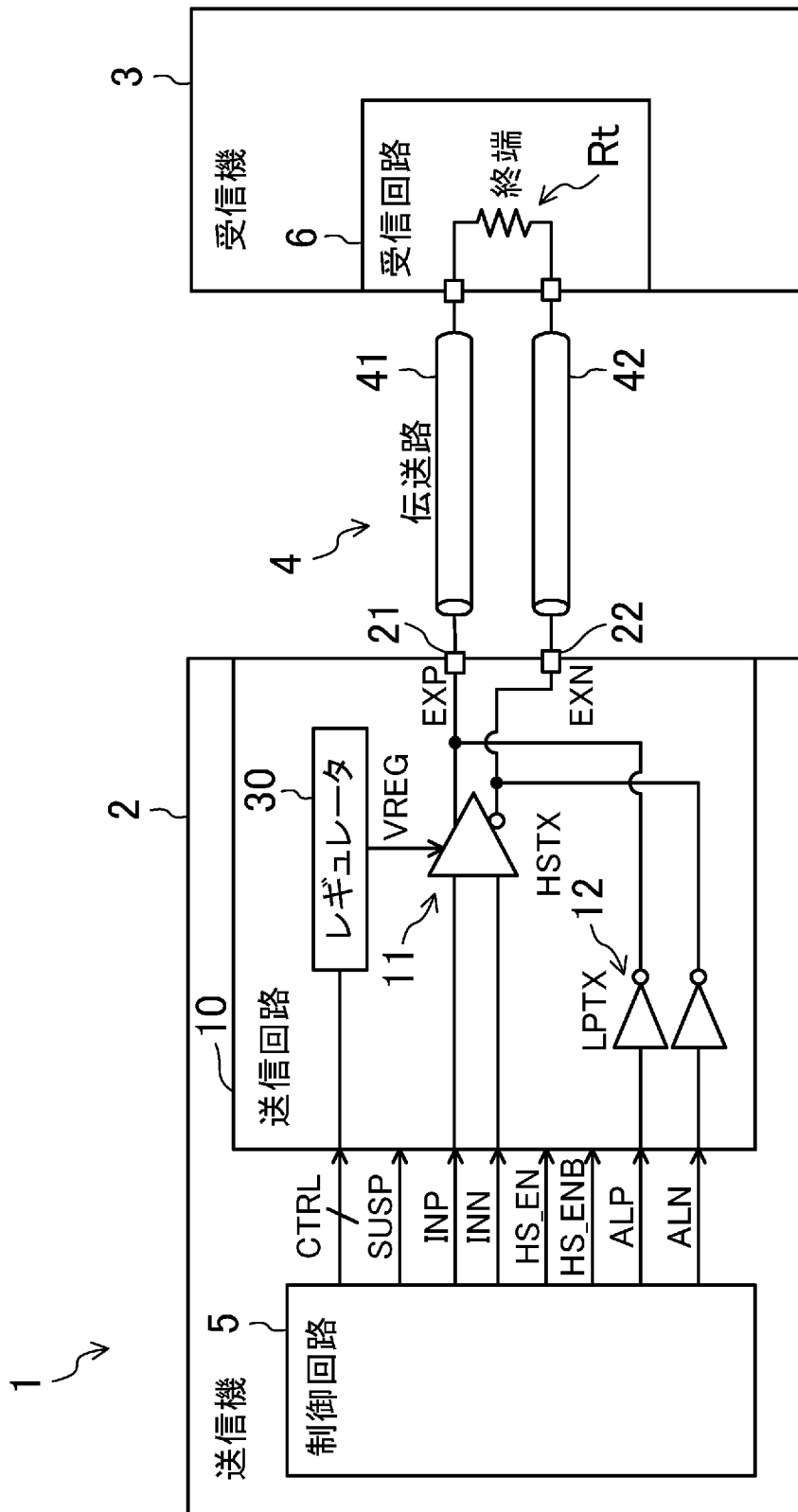
[請求項13] 請求項 1 1 記載のドライバ回路において、
前記第 2 ドライバは、
一端が前記第 3 電源に接続された第 1 抵抗素子と、
前記第 1 抵抗素子の他端と前記接地電源との間に直列に接続された、第 1 N 型トランジスタ、第 2 抵抗素子および第 2 N 型トランジスタと、
前記第 1 抵抗素子の他端と前記接地電源との間に、前記第 1 N 型トランジスタ、前記第 2 抵抗素子および前記第 2 N 型トランジスタと並列に、直列に接続された、第 3 N 型トランジスタ、第 3 抵抗素子および第 4 N 型トランジスタとを備え、
前記第 2 入力信号は、差動信号であり、当該差動信号を構成する一方の信号は、前記第 1 および第 4 N 型トランジスタのゲートに入力され、他方の信号は、前記第 2 および第 3 N 型トランジスタのゲートに入力される
ドライバ回路。

[請求項14] 請求項 1 1 記載のドライバ回路を備える送信機。

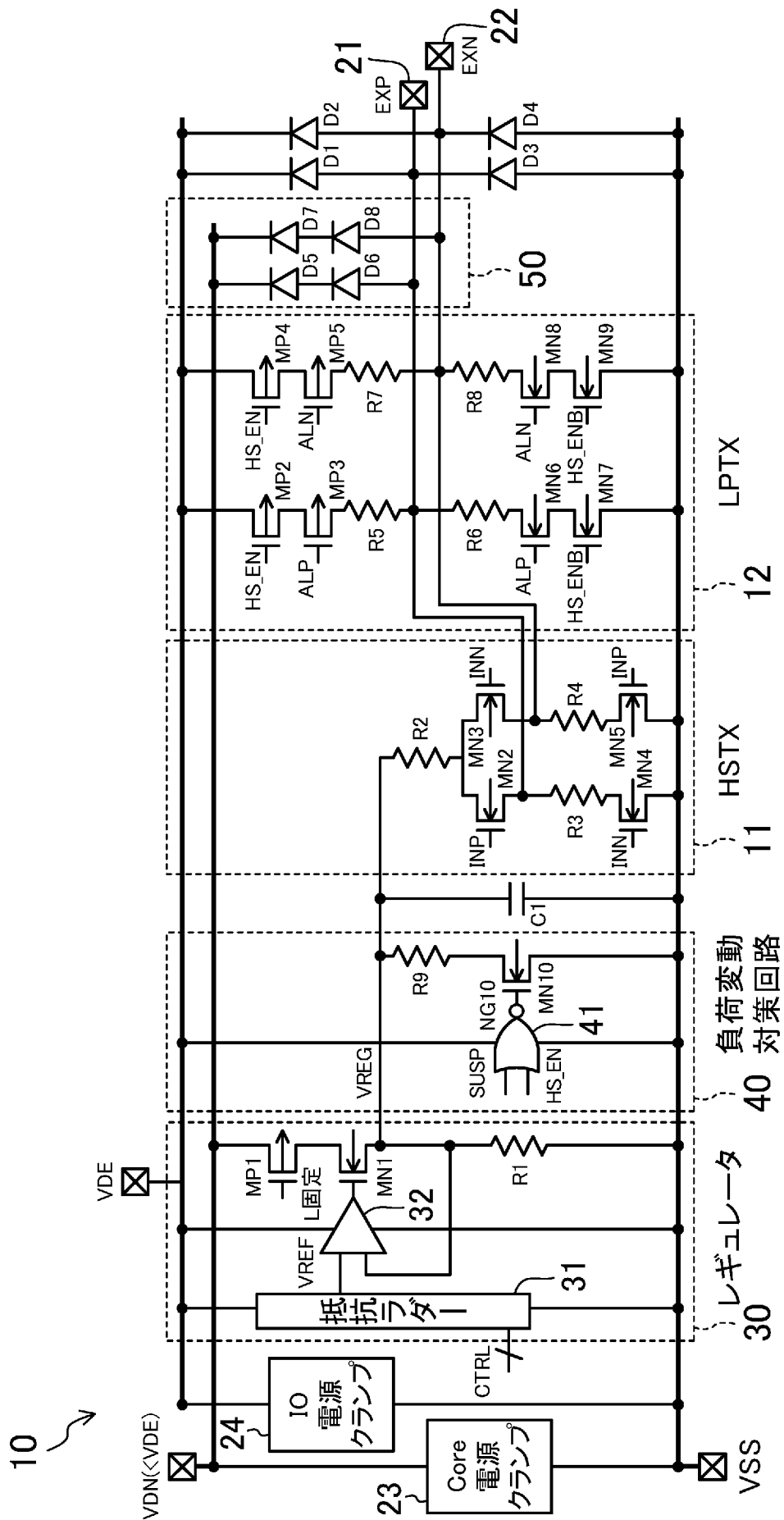
[請求項15] 請求項 1 4 記載の送信機と、
前記送信機に接続された伝送路と、
前記伝送路を介して前記送信機に接続された受信機とを備える

通信システム。

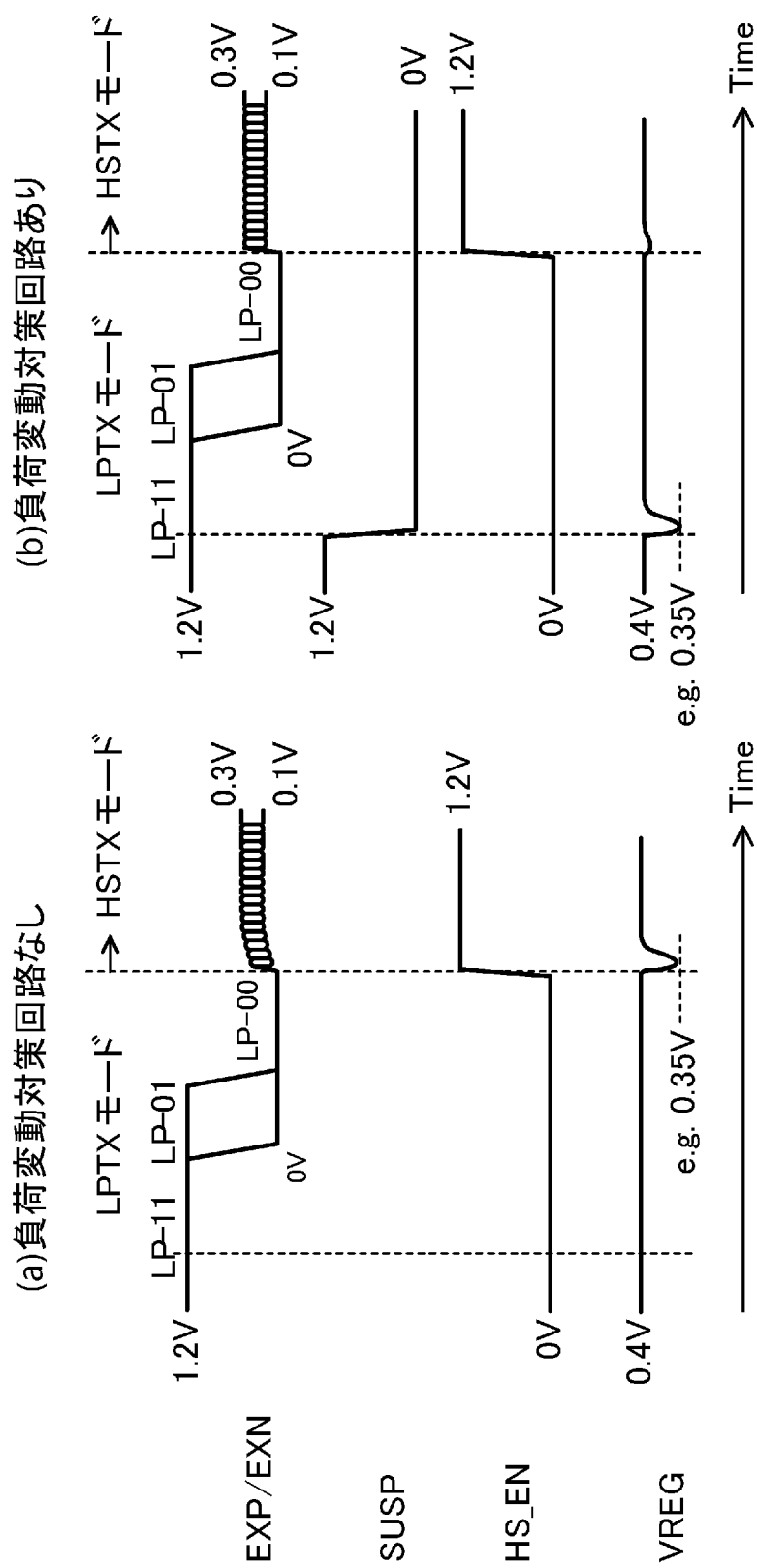
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/019825

A. CLASSIFICATION OF SUBJECT MATTER**H03K 19/00**(2006.01)i; **H03K 19/0175**(2006.01)i

FI: H03K19/0175 220; H03K19/0175 210; H03K19/00 108

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/00; H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-166260 A (HITACHI, LTD.) 25 August 2011 (2011-08-25) entire text, all drawings	1-15
A	JP 2015-195435 A (CANON KABUSHIKI KAISHA) 05 November 2015 (2015-11-05) entire text, all drawings	1-15
A	WO 2018/070261 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 19 April 2018 (2018-04-19) entire text, all drawings	1-15
A	JP 2015-91092 A (FUJITSU SEMICONDUCTOR LTD.) 11 May 2015 (2015-05-11) entire text, all drawings	1-15
A	JP 2002-258957 A (RICOH COMPANY, LTD.) 13 September 2002 (2002-09-13) entire text, all drawings	1-15
A	JP 2019-132918 A (LAPIS SEMICONDUCTOR CO., LTD.) 08 August 2019 (2019-08-08) entire text, all drawings	1-15

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 June 2021

Date of mailing of the international search report

06 July 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/019825

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011/0096848 A1 (SYNOPSYS, INC.) 28 April 2011 (2011-04-28) entire text, all drawings	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/019825

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2011-166260	A	25 August 2011	US 2011/0193595 A1 entire text, all drawings	
JP	2015-195435	A	05 November 2015	(Family: none)	
WO	2018/070261	A1	19 April 2018	US 2019/0214994 A1 entire text, all drawings CN 109644165 A	
JP	2015-91092	A	11 May 2015	(Family: none)	
JP	2002-258957	A	13 September 2002	(Family: none)	
JP	2019-132918	A	08 August 2019	US 2019/0237012 A1 entire text, all drawings CN 110097849 A	
US	2011/0096848	A1	28 April 2011	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 19/00(2006.01)i; H03K 19/0175(2006.01)i FI: H03K19/0175 220; H03K19/0175 210; H03K19/00 108		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03K19/00; H03K19/0175		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-166260 A（株式会社日立製作所） 25.08.2011（2011-08-25） 全文, 全図	1-15
A	JP 2015-195435 A（キヤノン株式会社） 05.11.2015（2015-11-05） 全文, 全図	1-15
A	WO 2018/070261 A1（ソニーセミコンダクタソリューションズ株式会社） 19.04.2018 （2018-04-19） 全文, 全図	1-15
A	JP 2015-91092 A（富士通セミコンダクター株式会社） 11.05.2015（2015-05-11） 全文, 全図	1-15
A	JP 2002-258957 A（株式会社リコー） 13.09.2002（2002-09-13） 全文, 全図	1-15
A	JP 2019-132918 A（ラピスセミコンダクタ株式会社） 08.08.2019（2019-08-08） 全文, 全図	1-15
A	US 2011/0096848 A1（SYNOPSYS, INC.） 28.04.2011（2011-04-28） 全文, 全図	1-15
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 22.06.2021		国際調査報告の発送日 06.07.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 渡井 高広 5W 1208 電話番号 03-3581-1101 内線 3576

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/019825

引用文献			公表日	パテントファミリー文献	公表日
JP	2011-166260	A	25.08.2011	US 2011/0193595 A1 全文,全図	
JP	2015-195435	A	05.11.2015	(ファミリーなし)	
WO	2018/070261	A1	19.04.2018	US 2019/0214994 A1 全文,全図	
				CN 109644165 A	
JP	2015-91092	A	11.05.2015	(ファミリーなし)	
JP	2002-258957	A	13.09.2002	(ファミリーなし)	
JP	2019-132918	A	08.08.2019	US 2019/0237012 A1 全文,全図	
				CN 110097849 A	
US	2011/0096848	A1	28.04.2011	(ファミリーなし)	