



申請日期	Po. 10. P
案 號	P0124976
類 別	Holl 22/108

A4  
C4

538535

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

### 新 型

一、發明名稱	中 文	絕緣層上矽基板之嵌入式動態隨機存取記憶體
	英 文	EMBEDDED DRAM ON SILICON-ON-INSULATOR SUBSTRATE
二、發明人	姓 名	1. 詹姆斯 W. 艾迪奇森 JAMES W. ADKISSON 2. 拉瑪泉卓迪瓦卡盧尼 RAMACHANDRA DIVAKARUNI 3. 傑弗瑞 P. 蓋比諾 JEFFREY P. GAMBINO 4. 傑克 A. 曼德爾曼 JACK A. MANDELMAN
	國 籍	均美國
	住、居所	1. 美國維蒙特州傑立寇市菲爾德路55號 2. 美國紐約州薩瑪市賀特吉山莊131B號 3. 美國維蒙特州威斯福特市杭特利路98號 4. 美國紐約州史東維爾市傑米路5號
三、申請人	姓 名 (名稱)	美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
	代 表 人 名 姓 名	傑拉德羅森賽 GERALD ROSENTHAL

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

美 2000年 10月 12日 09/689,096 有 無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

## 五、發明說明 ( 1 )

### 技術領域

本發明一般是有關於半導體裝置之領域，並且特別有關於具有塊體半導體區域和絕緣層上矽（“SOI”）區域的半導體基板。該半導體基板還包含嵌入式動態隨機存取記憶體（“DRAM”）和邏輯裝置，其中 DRAM 裝置已形成在塊體區域中，邏輯裝置已形成在 SOI 區域中，並且使用摻雜多晶矽做為一面罩，以在塊體區域中形成隔離和/或存儲溝渠。本發明也提供一種形成所述結構的方法。

### 背景技術

動態隨機存取記憶體，或 DRAM 是一種半導體記憶體，其中將做為資料位元之資訊存儲在金屬氧化物半導體（“MOS”）積體電路上之電容器中。通常，將每位元以一定量的電荷存儲在由電容器和電晶體組成的存儲單元中。由於電荷洩漏，電容器會逐步放電，而使存儲單元遺失資訊。因此，為了保存資訊，記憶體必須定期刷新（Refresh）。儘管有這些不便，但由於它的高密度和由此產生的低價格，DRAM 是非常受歡迎的記憶體技術。

經由將 p-型或 n-型材料之井區植入到任一類型材料的晶片中，傳統半導體 DRAM 裝置形成在塊體半導體基板材料中。然後使用周知的方法製作閘極和源/汲極擴散。這些可形成被稱為金屬氧化物半導體場效應電晶體或 MOSFET 的裝置。當特定的晶片使用 p-型材料和 n-型半導體時，它被稱為互補式金屬氧化物半導體（“CMOS”）晶片。為了避免電路的短路，這些類型的

## 五、發明說明 ( 2 )

裝置中的每一個必須和其它的裝置相互電性絕緣。對於各種 FET 來說，需要相對較大的表面積，這在目前的總尺寸減小和較大積體的趨勢中是不希望出現的。另外，由於源/汲極擴散的物理近似於其它的 FET 和近似於塊體基板，所以會出現寄生通路和接面電容問題。當試圖減小電路至較大電路密度所需的尺寸時，這些問題更加頻繁出現。

絕緣層上矽 ( “SOI” ) 技術已逐漸用於解決這些問題。然而，SOI 遭遇到自熱、靜電放電敏感性、低崩潰電壓、和動態浮動體效應問題，進而出現對筏道閘門 ( passgate ) 裝置和需要緊密臨界電壓控制的裝置的問題。所謂的“浮動體效應”在裝置體未連接到固定的電位時發生，因此，裝置將根據裝置的歷史承擔電荷。浮動體效應顯著影響裝置的可靠性。

一些類型的半導體記憶體對浮動體效應比較敏感。例如，在動態隨機存取記憶體 ( “DRAM” ) 中，資訊被存儲在 MOS 電路的電容器中。因此，在 DRAM 中，因為相關電晶體保持在“關閉”狀態以阻止電荷從存儲電容器中洩露是重要的，所以浮動體效應是特別具傷害性。

因為 SOI 的一特別目的是用以減小接面電容，所以 SOI 的另一個特別問題是很難形成大數值之電容器 ( 例如，去耦應用 ) 。因為相對於塊體技術，SOI 擴散電容是小的，使用擴散以得到去耦電容對於 SOI 是不實際的。

因此，需要把高性能支援裝置的 SOI 區域和低漏電記憶體陣列的相鄰塊體裝置結合在一起。

## 五、發明說明 ( 3 )

## 發明內容

本發明揭露一種塊體/SOI混合半導體基板，其包含嵌入式動態隨機存取記憶體（“DRAM”）和邏輯裝置，其中DRAM裝置已形成在塊體區域中，並且邏輯裝置形成在SOI區域中，使用摻雜多晶矽以做為一面罩，以便在塊體區域中形成隔離和/或存儲溝渠。本發明亦提供一種形成所述結構的方法。

本發明提供一種半導體裝置，其包括：一具有大致上平坦表面的單晶基板；一在具有絕緣體上半導體區域的平坦表面上的第一表面區域；一在做為一單晶塊體區域的平坦表面上的第二表面區域；形成在絕緣層上矽區域中的嵌入式邏輯裝置；形成在單晶塊體區域中的嵌入式記憶體裝置；和在塊體區域中的存儲溝渠。

本發明另外提供一種半導體裝置，包括：一具有大致上平坦表面的單晶基板；一在具有絕緣體上半導體區域的平坦表面上的第一表面區域；一在做為單晶塊體區域的平坦表面上的第二表面區域，該單晶塊體區域基本上具有與平坦表面相同的晶體結構；至少一個在單晶塊體區域中的深溝渠；建構在單晶塊體區域中的記憶體裝置陣列；至少一個建構在平坦表面之第一表面上的邏輯裝置；連接每個記憶體和邏輯裝置的電性接觸點；沈積在第一表面區域上的絕緣材料。

本發明還揭露一種半導體裝置的形成方法，包括以下步驟：提供一具有大致上平坦表面的單晶基板；在所述平坦

## 五、發明說明 ( 4 )

表面的第一表面區域上形成絕緣層上矽區域；在所述平坦表面的第二表面區域上形成單晶塊體區域；在所述絕緣層上矽區域中形成嵌入式邏輯裝置；在所述單晶塊體區域中形成嵌入式記憶體件；和在單晶塊體區域中形成溝渠。

## 圖式簡單說明

為了理解本發明，應當配合附圖，以參考下面的詳細描述，其中：

圖 1 係在實施本發明方法的第一步驟的剖面示意圖；

圖 2 係在實施本發明方法的第二步驟的剖面示意圖；

圖 3 係在實施本發明方法的第三步驟的剖面示意圖；

圖 4 係在實施本發明方法的第四步驟的剖面示意圖；

圖 5 係在實施本發明方法的第五步驟的剖面示意圖；

圖 6 係在實施本發明方法的第六步驟的剖面示意圖；

圖 7 係在實施本發明方法的第七步驟的剖面示意圖；

圖 8 係在實施本發明方法的第八和最終步驟的剖面示意圖。

## 本發明之詳細說明

本發明揭露一種在絕緣層上矽基板上製作嵌入式 DRAM 陣列的方法，和由此所產生的裝置。

參考圖 1，提供一種標準的絕緣層上矽（“SOI”）基板。標準 SOI 係一具有大致上平坦上表面的單晶半導體基板 10，其包括絕緣氧化層 14 和—在平坦表面之第一表面區域上的薄半導體層 16、和一晶體塊體區域 12。晶體塊體區域 12 係一大致上具有與平坦表面相同的晶體結構的

## 五、發明說明 ( 5 )

單晶區域。絕緣氧化層 14 通常為氧化矽。晶體塊體區域 12 為單晶半導體材料，通常為矽。可以以許多不同的方法製作基板，包括：植入氧之矽（“SIMOX”），其中塊體晶片被高能量注入大劑量的氧；接合與回蝕刻（“BE-SOI”），其中兩個塊體晶片具有生長在一個表面上的氧化物，並且在其中一個晶片上包括摻雜物分佈以作為一標記層，將這兩個氧化物表面接合在一起，然後將一個晶圓回蝕刻到標記摻雜層；或者一種被稱作“Smart cut”的方法，其中一個晶圓在第一晶圓被接合到第二晶圓之前被注入氫，然後這兩個晶圓接合在一起，並且使用矽結構的氫，一個晶圓中的多餘矽被脫落，以引起合適程度的裂化；或應用其它合適的製作 SOI 的方法。

一旦已形成 SOI 基板，通常將在大約 5nm 至大約 10nm 範圍的二氧化矽的薄墊氧化物層 18（看圖 2）沈積或生長在矽的薄層上。將一個拋光阻止層（在此情況下為氮化矽層 20）（通常大約 100nm 厚）沈積在薄墊氧化物層 18 上。

如圖 3 所示，將晶體塊體區域 12 分成兩個區域：將變成一 DRAM 陣列 24 的晶體塊體區域的第一部分和將變成一 SOI 區域 26 的第二部分，第二部分將包含支援高性能邏輯 CMOS 裝置。使用傳統處理技術，DRAM 陣列 24 的一部分進一步處理成深溝渠隔離區域。將深溝渠隔離區域刻劃成一陣列，其中 DRAM 裝置將最終會存在於其中。

深溝渠形成方法是從除去墊料薄膜層（即墊料氧化物層 18，氮化矽層 20），和 SOI 層 16 開始。使用已知的技

## 五、發明說明 ( 6 )

術，將 p-型井區 81 形成在擴散區域 43 中（圖 3）。接下來，使用硼矽酸鹽玻璃（“BSG”）層（未示出）來形成深溝渠 32 的圖案。平坦化 BSG 以平滑 DRAM 陣列的邊緣之 250nm 步幅(step)，以便可容易實施用以圖案化深溝渠 32 的微影製程。使用傳統方法形成深溝渠開口 22，其延伸穿過 BSG 層和氧化物層 14，並且進入到晶體塊體區域 12 中。通常經由使用光阻材料（未示出）以微影界定上述區域，然後蝕刻上述界定之區域，以形成這些溝渠 32。經由 BSG 層和掩埋氧化物（“BOX”）層 14 蝕刻上述材料，並且蝕刻中止在晶體塊體區域 12 之頂部。這些開口將在 DRAM 產品等中形成陣列塊。由於 BSG 層和絕緣層 14 之間的濕蝕刻選擇性，所以在 BSG 層剝離後，會保留二氧化矽的絕緣層 14，以作為掩埋氧化物層 14。

每個深溝渠 32 裝配有套環（collar）30。每個套環 30 由絕緣二氧化矽材料製成。形成套環後，經由將砷（As）或磷（P）擴散到每個深溝渠的底部，以形成 n+掩埋板 76b。在溝渠中形成二氧化矽（SiO<sub>2</sub>）、氮化矽（SiN）、或氮氧化矽（SiON）的薄節點電介質（例如，2 至 10nm）。這是用於溝渠電容器的電介質。

如圖 4 所示，接下來實施 DRAM 陣列 24 中的存儲電容器的剩餘部分和垂直閘極的形成。所有的深溝渠 32 使用摻雜多晶矽 45 填充，該多晶矽做為溝渠電容器的內電極。然後，使每個深溝渠 32 中的摻雜多晶矽 45 層形成凹處。使用濕蝕刻除去套環的上部（例如，使用氫氟酸

## 五、發明說明 ( 7 )

(HF) )，以形成摻雜多晶矽 45 和晶體塊體區域 12 之間的套帶連接，將溝渠頂部氧化物 (“TTO”) 層 40 沈積在每個凹處的摻雜多晶矽層 45 上。將閘極氧化物引入到 DRAM 陣列 24 中的每個擴散區域 43 中，以形成陣列閘極 42。在下一步，將多晶矽陣列閘極導體區域 44 沈積在每個深溝渠 32 上，並且使用已知的蝕刻方法在它們的表面上形成凹處。在 DRAM 陣列 24 的別處，以 BOX 層 14 覆蓋每個擴散區域 43。在各種氧化步驟中，氮氧化矽 (SiON) 層 46 可成長在氮化物拋光中止層 20 的上表面上。在各種沈積和蝕刻步驟中，垂直的氮化物或多晶矽間隔物 47 可建立在 DRAM 陣列 24 和塊體區域 26 之間。

接下來，定義 DRAM 陣列中的有效面積。參考圖 5，應用傳統的微影和蝕刻技術以在 DRAM 陣列 24 中的某些擴散區域 43 中界定淺隔離溝渠 52。通常將二氧化矽的填充材料 54 沈積在淺溝渠 52 中。使用標準方法 (即化學機械式研磨 (“CMP”)) 平坦化已填充的淺溝渠 52 的表面。接下來，填充的淺溝渠 52 的表面再次凹進或深蝕刻，以露出 DRAM 陣列區域 24 中的閘極多晶矽 44。

在另一實施例中，淺溝渠隔離可同時形成在邏輯區域中。在 DRAM 陣列中的氧化物凹進蝕刻步驟中，這個方法需要額外的阻斷面罩，以保護邏輯區域中的淺溝渠隔離。然而，這個步驟避免了在邏輯區域中使用額外的面罩以形成淺溝渠隔離圖案的需要。

現在參考形成字元線導線 60 的步驟。字元線導線 60 是

## 五、發明說明( 8 )

位址線或資料線，其在減小晶片的全部接腳數上是有用的，因而有助於實現小型化。參考圖 6，以剖面圖顯示出多晶矽化金屬閘極疊層(Polycide Gate Stack)67，其代表字元線導線 60 的一部分。沈積一層摻雜多晶矽 62，隨後沈積矽化鎢(“ $WSi_2$ ”)層 68 和氮化矽(“SiN”)層 64，以建構多晶矽化金屬閘極疊層 67。另一方法，任何其它的耐火的金屬矽化物可取代矽化鎢。在多晶矽層 62 上的鎢(即金屬)的矽化物層 68 的結合產生被稱作多矽化層 65 的複合層。使用已知的微影技術和反應離子刻蝕(“RIE”)形成這些層 65, 66 的圖案，以界定多晶矽化金屬閘極疊層 67。然後，形成氮化矽間隔物 69 在形成字元線 60 的多晶矽化金屬閘極疊層 67 的側面上。

如圖 7 和 8 所示，將 BOX 層 14 從選擇的擴散區域 43 中除去。淺 n-型擴散 83a, 83b 形成在較深的 p-型井區 81 中。經由 n-型(例如，砷，磷)摻雜劑從溝渠多晶矽 45 中向外擴散而形成節點擴散。這些 p-和 n-型區域形成 DRAM 陣列 MOSFET 中的必需元件，包括位線擴散 83a，節點擴散 83b，和傳輸裝置通道 81a。然後，經由在整個 DRAM 陣列區域 24 上沈積氮化矽層 72 以形成對 DRAM 陣列 24 的接觸點 70(圖 7)。接下來，將硼磷矽酸鹽玻璃(“BPSG”)層 74 沈積在 DRAM 陣列區域 24 上。然後，用化學機械式研磨(“CMP”)步驟，將 BPSG 層 74 平坦化。現在可形成陣列接觸點 70，其提供至擴散區域 43 的電性連接。使用已知的微影和反應離子刻蝕

## 五、發明說明( 9 )

(“RIE”)技術形成陣列接觸點開孔。然後，沈積摻雜的多晶矽層並經由CMP形成圖案，以形成陣列接觸點70。

現在提到基板10的SOI區域26，並參考圖8，通常邏輯裝置82的形成是起始於在SOI區域26中形成淺溝渠隔離80。淺溝渠隔離80用二氧化矽層81填充。P-型矽井區84形成在一些剩餘的矽島中。閘極多晶矽疊層87也形成在p-型矽井區84上。閘極多晶矽疊層87進一步被絕緣間隔物89限界。將n-型摻雜劑引入到矽中在p-型矽井區84中以形成擴散接合面86。將p-型摻雜劑引入到矽中在n-型矽井區中也形成擴散接合面。最後，閘極多晶矽疊層87和擴散區86被矽化物層85覆蓋，諸如矽化鈷( $\text{CoSi}_2$ )。

製作的最後步驟(在此沒有圖示)包括傳統結束步驟，諸如沈積氮化矽層、磷矽酸鹽玻璃(“PSG”)層和平坦化；形成連接到邏輯區域中的閘極和擴散區的，以及連接到DRAM陣列中的陣列接觸點的金屬(例如，鎢)接線柱；可能用雙鑲嵌方法形成的位元線和局部互聯；和形成任何剩餘的必需互聯。

儘管為了說明的目的在此描述了本發明的實施例，但熟知該項技藝者將明白有很多的修改和變化。因此，所附申請專利範圍意在包括所有任何屬於本發明真正精神和範圍中的修改和變化。

四、中文發明摘要(發明之名稱：絕緣層上矽基板之嵌入式動態隨機存取記憶體)

本發明提出一種半導體裝置，其有關於一種嵌入式動態隨機存取記憶體(DRAM)和邏輯裝置的形成方法，其中DRAM裝置形成在塊體單晶半導體區域中，邏輯裝置形成在絕緣層上矽(Silicon-On-Insulator, SOI)區域中，並使用掩埋式摻雜之玻璃做為一面罩，以形成用以儲存之深溝渠於塊體區域中。並且，揭露所產生的結構。

英文發明摘要(發明之名稱：EMBEDDED DRAM ON SILICON-ON-INSULATOR SUBSTRATE)

A semiconductor device is presented which is directed to a method of forming embedded DRAM and logic devices, where the DRAM devices are formed in bulk, single crystalline semiconductor regions and logic devices are formed in silicon-on-insulator ("SOI") regions and where buried, doped glass is used as a mask to form deep trenches for storage in the bulk region. The resulting structure is also disclosed.

## 六、申請專利範圍

1. 一種半導體裝置，包括：
  - (a) 一具有一大致上平坦的表面的單晶基板；
  - (b) 一在該平坦表面上的第一表面區域，其具有一絕緣層上半導體區域；
  - (c) 一在該平坦表面上的第二表面區域，其做為一單晶塊體區域；
  - (d) 形成在該絕緣層上矽區域中的嵌入式邏輯裝置；
  - (e) 形成在該單晶塊體區域中的嵌入式記憶體裝置；
  - 以及
  - (f) 在該塊體區域中的溝渠。
2. 如申請專利範圍第 1 項所述的半導體裝置，其中該單晶基板為一矽晶圓。
3. 如申請專利範圍第 1 項所述的半導體裝置，其中該溝渠由掩埋氧化物面罩所形成。
4. 如申請專利範圍第 1 項所述的半導體裝置，其中形成該溝渠以做為隔離用。
5. 如申請專利範圍第 1 項所述的半導體裝置，其中形成該溝渠以做為存儲用。
6. 如申請專利範圍第 1 項所述的半導體裝置，其中形成在該單晶區域中的嵌入式記憶體件為 DRAM 裝置。
7. 如申請專利範圍第 4 項所述的半導體裝置，其中在該第一表面區域中的溝渠形成淺溝渠隔離區域。
8. 如申請專利範圍第 4 項所述的半導體裝置，其中在該第二表面區域中的溝渠形成深溝渠存儲區域。

## 六、申請專利範圍

9. 如申請專利範圍第 7 項所述的半導體裝置，其中該淺溝渠隔離區域形成在包含嵌入式邏輯裝置的區域中。
10. 如申請專利範圍第 1 項所述的半導體裝置，還包括與下面的導電連接：
- 在該絕緣層上矽區域中的嵌入式邏輯裝置；
- 在該單晶塊體區域中的嵌入式記憶體件；
- 位元線和局部互聯；以及
- 外部互聯。
11. 一種半導體裝置，包括：
- (a) 一具有一大致上平坦的表面的單晶基板；
  - (b) 一在該平坦表面上的第一表面區域，其具有一絕緣層上半導體區域；
  - (c) 一在該平坦表面上的第二表面區域，以做為一單晶塊體區域，該單晶塊體區域基本具有與平坦表面相同的晶體結構；
  - (d) 至少一個在該單晶塊體區域中的深溝渠；
  - (e) 建構在該單晶塊體區域中的裝置陣列；
  - (f) 至少一種建構在該平坦表面上的第一表面上的裝置；
  - (g) 連接每個裝置的電性接觸點；以及
  - (h) 一沈積在該第一表面區域上的絕緣材料。
12. 如申請專利範圍第 11 項所述的半導體裝置，其中該單晶基板為一矽晶圓。
13. 如申請專利範圍第 11 項所述的半導體裝置，其中每個

## 六、申請專利範圍

- 深溝渠被一個套環所限界。
14. 如申請專利範圍第 13 項所述的半導體裝置，其中該套環為一二氧化矽套環。
  15. 如申請專利範圍第 11 項所述的半導體裝置，還包括在該第一表面區域和該第二表面區域上的多個裝置，其中在該第二表面區域上的裝置為 DRAM 裝置，在該第一表面區域上的裝置為邏輯裝置。
  16. 如申請專利範圍第 11 項所述的半導體裝置，其中該絕緣材料為一硼磷矽酸鹽玻璃。
  17. 如申請專利範圍第 11 項所述的半導體裝置，其中該第一表面區域直接接觸該第二表面區域。
  18. 如申請專利範圍第 15 項所述的半導體裝置，其中該 DRAM 裝置形成一陣列。
  19. 如申請專利範圍第 13 項所述的半導體裝置，其中經由從該深溝渠的摻雜多晶矽擴散，以在該套環的附近形成一節點電介質。
  20. 一種半導體裝置的形成方法，包括以下步驟：
    - (a) 提供一具有一大致上平坦表面的單晶基板；
    - (b) 在該平坦表面的第一表面區域上形成一絕緣層上矽區域；
    - (c) 在該平坦表面的第二表面區域上形成一單晶塊體區域；
    - (d) 在該絕緣層上矽區域中形成嵌入式邏輯裝置；
    - (e) 在該單晶塊體區域中形成嵌入式記憶體裝置；以

## 六、申請專利範圍

及

(f) 在該單晶塊體區域中形成溝渠。

21. 如申請專利範圍第 20 項所述的半導體裝置的形成方法，其中該單晶基板為一矽晶圓。
22. 如申請專利範圍第 20 項所述的半導體裝置的形成方法，其中由該掩埋的氧化物面罩形成該溝渠。
23. 如申請專利範圍第 20 項所述的半導體裝置的形成方法，其中形成該溝渠以做為隔離用。
24. 如申請專利範圍第 20 項所述的半導體裝置的形成方法，其中形成該溝渠以做為存儲用。
25. 如申請專利範圍第 20 項所述的半導體裝置的形成方法，其中在該單晶區域中的嵌入式記憶體件為 DRAM 裝置。
26. 如申請專利範圍第 23 項所述的半導體裝置的形成方法，在該第一表面區域中的溝渠形成淺溝渠隔離區域。
27. 如申請專利範圍第 24 項所述的半導體裝置的形成方法，其中在該第二表面區域中的溝渠形成深溝渠存儲區域。
28. 如申請專利範圍第 26 項所述的半導體裝置的形成方法，其中該淺溝渠隔離是形成在包含該等嵌入式邏輯裝置的區域中。

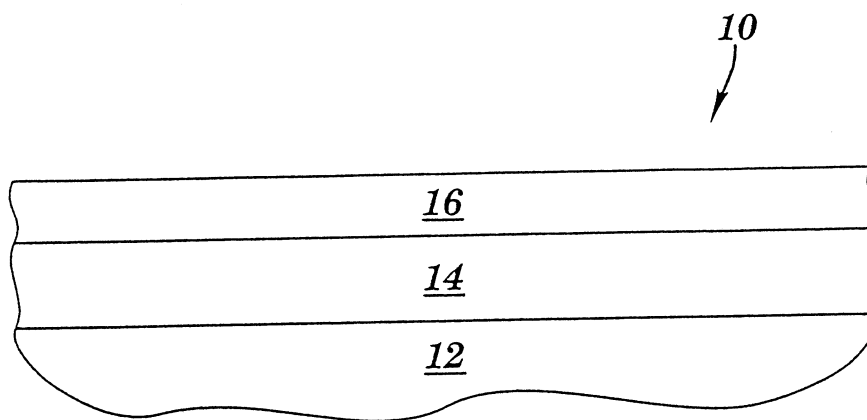


圖 1

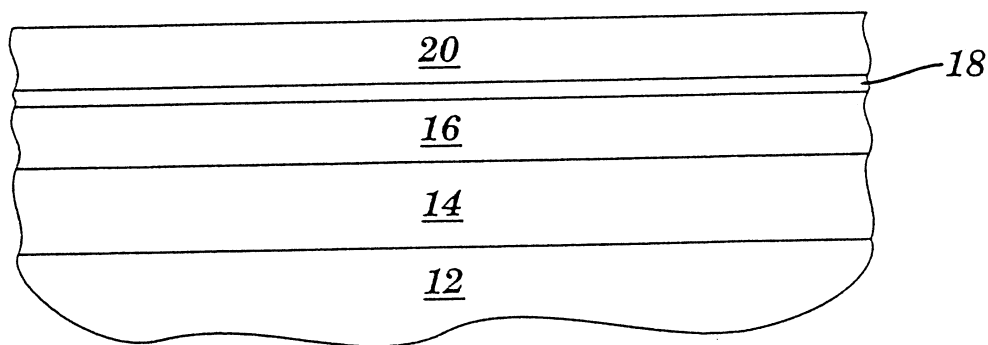


圖 2

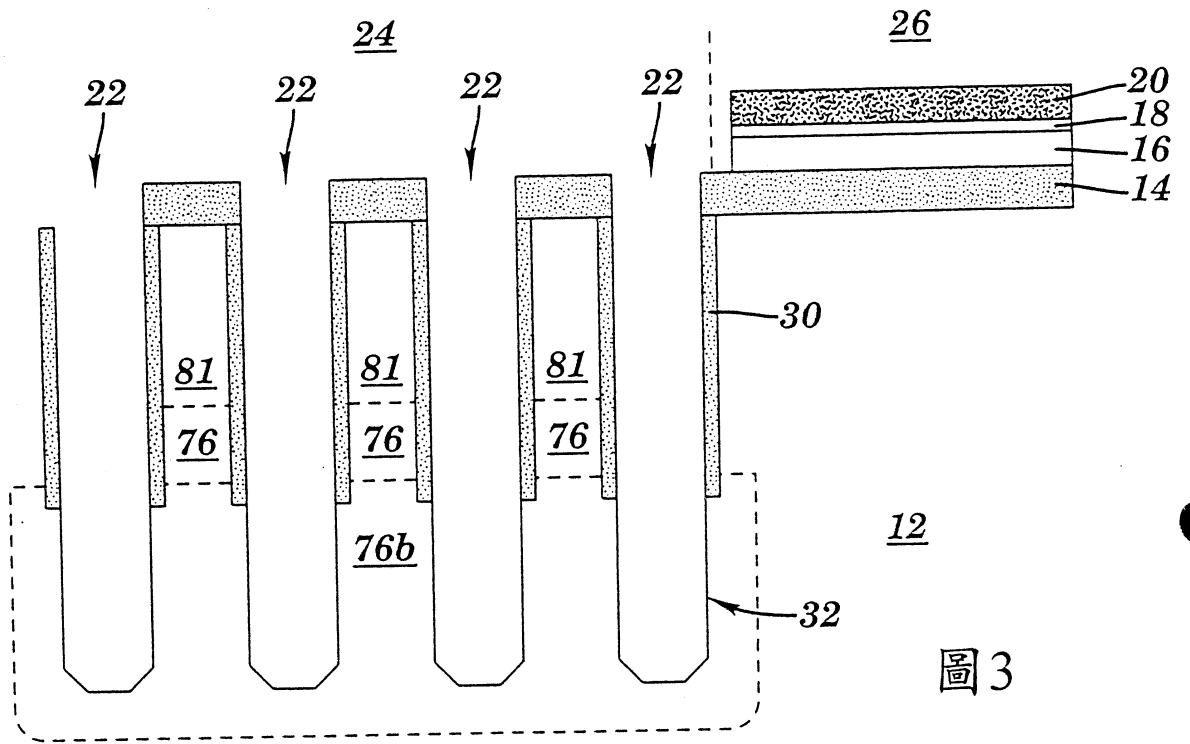


圖3

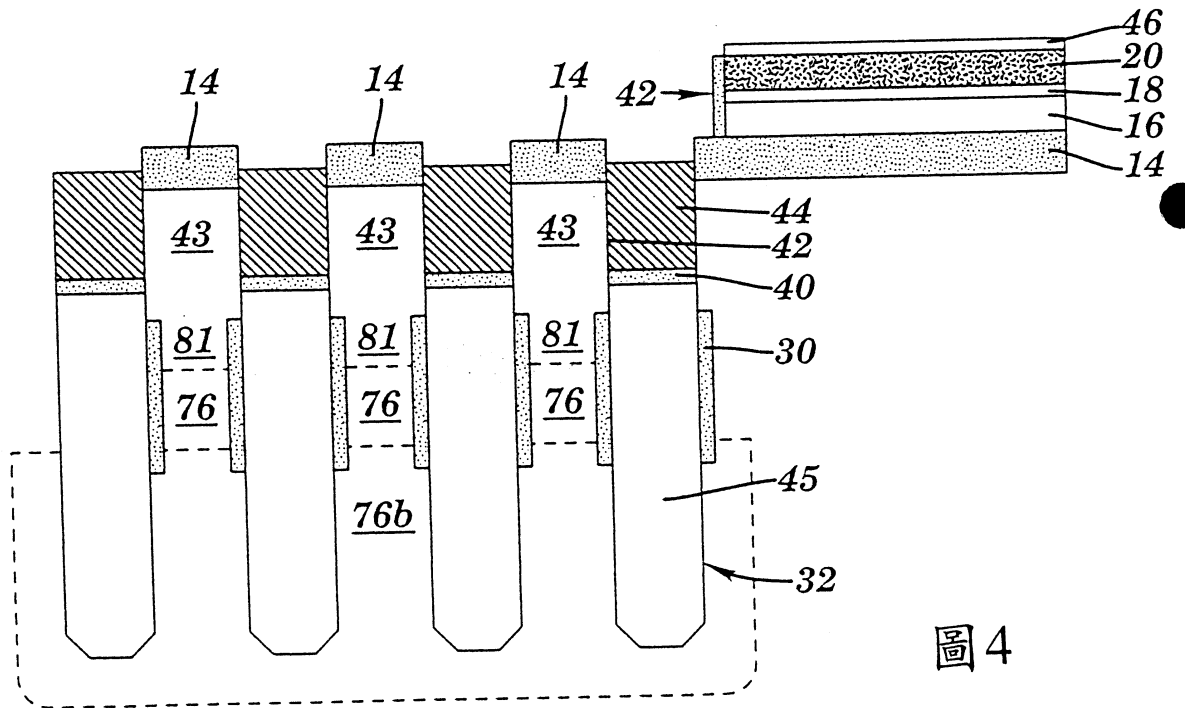


圖4



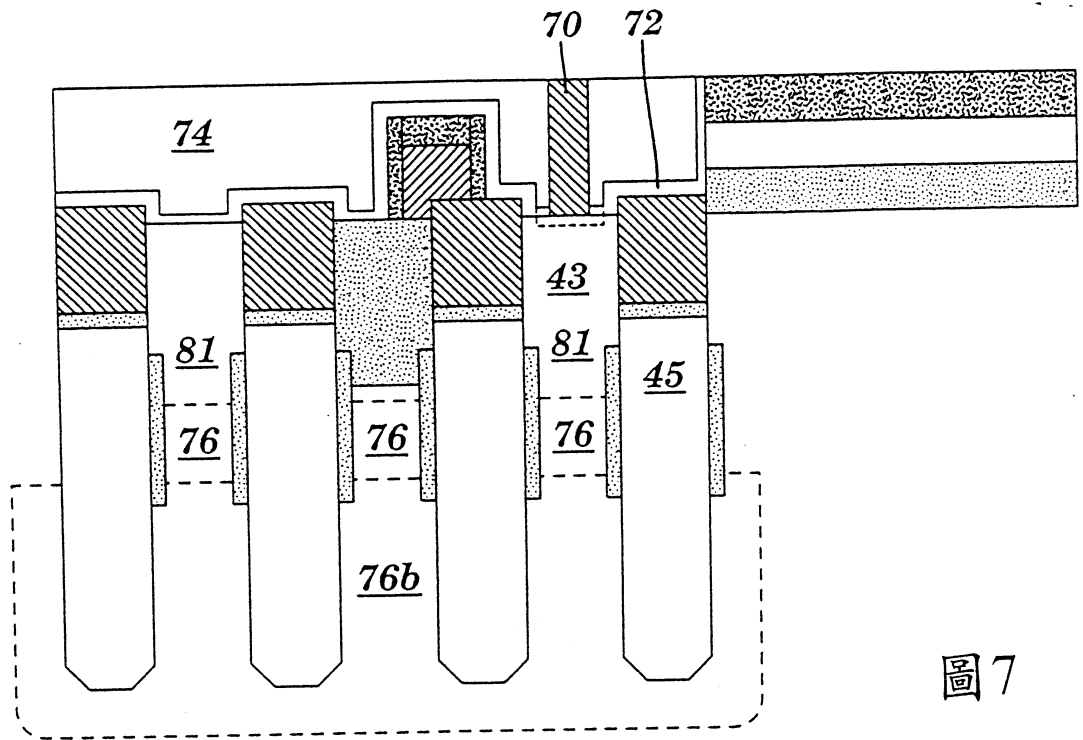
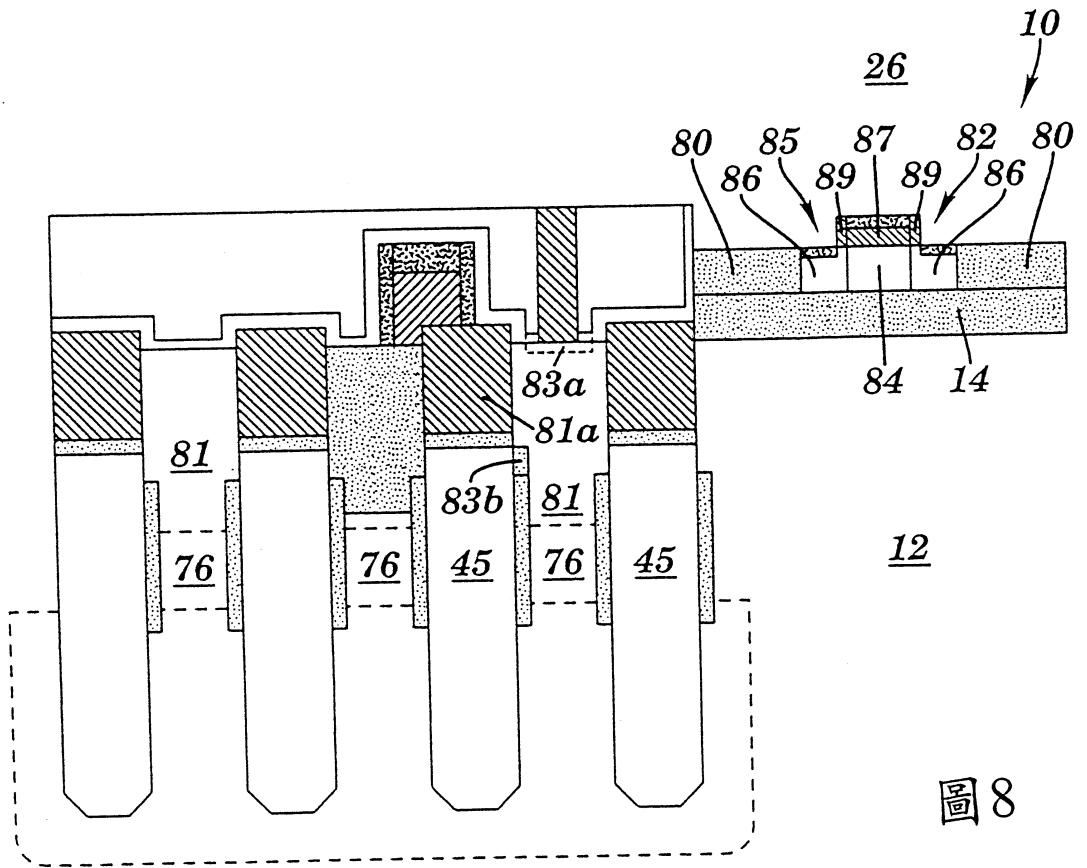


圖 7



12

圖 8

PL A2 B7 14 修正  
補充

## 五、發明說明 ( 9a )

## 元件符號說明

10	單晶半導體基板	64	氮化矽層
12	晶體塊體區域	65	多矽化層
14	絕緣氧化層	67	多晶矽化金屬閘極疊層
16	薄半導體層	68	矽化鎢層
18	薄墊氧化物層	69	氮化矽間隔物
20	氮化矽層	70	接觸點
22	深溝渠開口	72	氮化矽層
24	DRAM 陣列	74	硼磷矽酸鹽(BPSG)玻璃層
26	SOI 區域	76b	n <sup>+</sup> 掩埋板
30	套環	80	淺溝渠隔離
32	深溝渠	81	p-型井區
40	溝渠頂部氧化物(TTO)層	81a	傳輸通道裝置
42	陣列閘極	82	邏輯裝置
43	擴散區域	83a	位元線擴散
44	多晶矽陣列閘極導體區域	83b	節點擴散
45	摻雜多晶矽層	84	p-型矽井
46	氮氧化矽(SiON)層	85	矽化物層
52	淺隔離溝渠	86	擴散接合面
54	填充材料	87	閘極多晶矽疊層
60	字元線導線	89	絕緣間隔物
62	摻雜多晶矽層		

煩請委員明示  
修正本頁無變更實質內容是否准予修正。  
92年2月14日所提之

裝  
訂  
線