

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. April 2006 (13.04.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/037432 A1

(51) Internationale Patentklassifikation:

G11C 7/14 (2006.01) *G11C 11/15* (2006.01)

G11C 16/28 (2006.01) *G11C 16/02* (2006.01)

G11C 11/16 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2005/009813

(22) Internationales Anmeldedatum:

13. September 2005 (13.09.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:

10 2004 047 666.7

30. September 2004 (30.09.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **Infineon Technologies AG** [DE/DE]; St.-Martin-Str.
53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **RÖHR, Thomas**
[DE/DE]; Gaussring 8, 85609 Aschheim (DE).

(74) Anwälte: **WILHELM, Jürgen** usw.; Nymphenburger Str.
139, 80636 München (DE).

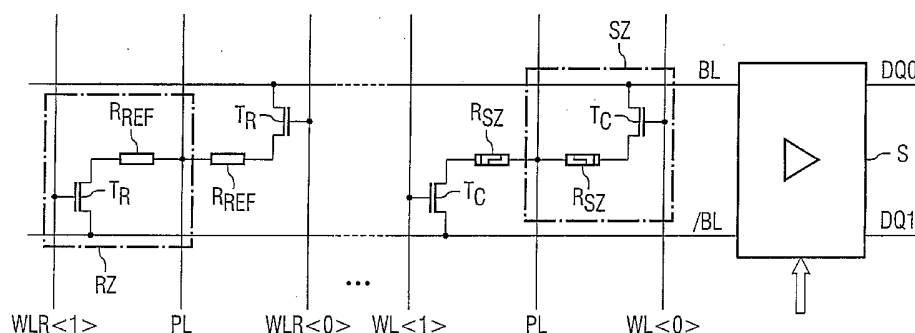
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA,
MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ,
OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL,
SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,
TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,
EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC,
NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

(54) Title: MEMORY WITH RESISTANCE MEMORY CELLS AND EVALUATION CIRCUIT

(54) Bezeichnung: SPEICHER MIT WIDERSTANDSSPEICHERZELLE UND BEWERTUNGSSCHALTUNG



(57) Abstract: The invention relates to a memory circuit comprising a memory cell which comprises a resistance memory cell and which is mounted between a ground connection and a capacitor. Said memory circuit comprises a reference memory cell, provided with a reference resistance, which is mounted between the ground connection and a reference capacitor. During the reading step of the memory cell, the memory cell and the reference memory cell are switched on in order to charge or discharge the capacitor and the reference capacitor, and the evaluation circuit evaluates the difference between the electric potentials of the capacitor and the reference capacitor in order to form a predetermined time point according to the switching on of the memory cell and the reference memory cells.

(57) Zusammenfassung: Eine Speicherschaltung mit einer Speicherzelle, die ein Widerstandsspeicherelement aufweist und zwischen einen Masseanschluss und eine Kapazität geschaltet ist, weist eine zwischen den Masseanschluss und eine Referenzkapazität geschaltete Referenzspeicherzelle mit einem Referenzwiderstand auf, wobei beim Lesevorgang der Speicherzelle die Speicherzelle und die Referenzspeicherzelle angeschaltet werden, um die Kapazität und die Referenzkapazität aufzuladen bzw. zu entladen, und eine Bewertungseinrichtung die Differenz zwischen den elektrischen Potentialen der Kapazität und der Referenzkapazität zu einem vorgegebenen Zeitpunkt nach dem Anschalten der Speicherzelle und der Referenzspeicherzelle bewertet.

WO 2006/037432 A1



Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

SPEICHER MIT WIDERSTANDSSPEICHERZELLE UND BEWERTUNGSSCHALTUNG

5

Die Erfindung betrifft eine Speicherschaltung mit ein Widerstandsspeicherelement aufweisenden Speicherzellen und eine Bewertungsschaltung zum Auslesen des Speicherinhalts solcher Speicherzellen. Das Widerstandsspeicherelement lässt sich dabei mit elektrischen Pulsen zwischen einem hochohmigen und einem niederohmigen Zustand hin- und herschalten.

Die Entwicklung der Halbleiterspeichertechnik wird im Wesentlichen angetrieben durch die Forderung, die Leistungsfähigkeit der Halbleiterspeicher bei gleichzeitiger Verkleinerung der Strukturgrößen zu erhöhen. Eine weitere Miniaturisierung der auf Speicherkondensatoren basierenden Halbleiterspeicherkonzepte ist jedoch insbesondere wegen der großen Ladungsmengen, die zum Beschreiben bzw. Auslesen der Speicherkondensatoren erforderlich sind und die zu einem hohen Strombedarf führen, schwierig. Es wird deshalb zunehmend über neue Zellkonzepte nachgedacht, die sich durch eine deutlich geringere Ladungsmenge für den Schreib- und Lesevorgang auszeichnen. Halbleiterspeicher mit einem Widerstandsspeicherelement sind eine solche erfolgversprechende Schaltungsarchitektur.

Ein mögliches Speicherkonzept mit einem Widerstandsspeicherelement ist die sogenannte CBRAM (conductive bridging RAM)-Zelle, bei der das Widerstandsspeicherelement aus einer inerten Kathodenelektrode, einer reaktiven Anodenelektrode und einem porösen hochresistiven ionenleitfähigen Trägermaterial dazwischen besteht. Durch Anlegen von elektrischen Feldern zwischen den beiden Elektroden kann ein leitender Pfad durch das Trägermaterial erzeugt bzw. wieder zurückgebildet werden. Je nach Polung der zwischen Anodenelektrode und Kathodenelektrode angelegten elektrischen Pulse wird die reaktive Anodenelektrode elektrochemisch aufgelöst und über die

abgegebenen Metallionen eine elektrisch leitfähige Verbindung zwischen den Elektroden hergestellt oder diese leitfähige Verbindung wird wieder unterbrochen, wobei die Metallionen im Trägermaterial sich an der Anodenelektrode niederschlagen.

5 CBRAM-Speicherzellen lassen sich zwischen einem hoch- und einem niederohmigen Zustand hin- und herschalten, wobei den verschiedenen Widerstandswerten jeweils ein logischer Zustand zugeordnet ist.

10 Neben CBRAM-Speicherzellen werden gegenwärtig weitere resistive Speicherzellenkonzepte untersucht, wie beispielsweise der Phasenwechselspeicher (PCRAM), bei dem mittels elektrischer Pulse eine Metalllegierung erhitzt und dabei zwischen einem amorphen und einem kristallinen Phasenzustand hin- und
15 hergeschaltet wird. Die beiden Zustände zeichnen sich durch einen starken Unterschied in ihrer Leitfähigkeit aus, was zum elektrischen Auslesen der Speicherzelle genutzt werden kann. Ein weiteres resistives Speicherkonzept ist die Perovskitspeicherzelle, bei der in einer Perovskitschicht durch
20 Ladungsinjektion ein Strukturübergang zwischen einem hoch- und einem niederohmigen Zustand hergestellt wird. Als Trägermaterial in einem Widerstandsspeicherelement einer resistiven Speicherzelle kann weiterhin amorphes Silizium eingesetzt werden, das nach einem Formierschritt durch elektrische Pulse
25 zwischen einem hoch- und einem niederohmigen Zustand hin- und hergeschaltet werden kann. Angedacht werden auch Speicherkonzepte mit einer Polymerschicht oder einer organischen Speicherschicht, bei denen auf der Basis von durch elektrische Pulse beeinflussten Charge-Transfer-Komplexen Zustände unterschiedlicher Leitfähigkeit in der Trägerschicht erzeugt werden
30 können.

Beim Auslesen eines Widerstandsspeicherelements wird in der Regel so vorgegangen, dass über das Widerstandsspeicherelement
35 eine Kapazität geladen bzw. entladen und das elektrische Potential der Kapazität dann nach einem vorgegebenen Zeitpunkt bewertet wird, um so den logischen Zustand der Spei-

cherzelle mit dem Widerstandsspeicherelement zu ermitteln.
Dabei wird das elektrische Potential der über das Wider-
standsspeicherelement geladenen bzw. entladenen Kapazität
vorzugsweise mit einem Referenzpotential verglichen und die
5 Potentialdifferenz bestimmt.

Aufgrund des relativ geringen Spannungshubs, der sich beim
Laden bzw. Entladen einer Kapazität über eine Speicherzelle
mit einem Widerstandsspeicherelement ergibt und der z.B. bei
10 CBRAM-Zellen im Bereich von 100 mV bis 200 mV liegt, ist es
zur sicheren Bewertung des elektrischen Potentials der über
das Widerstandselement geladenen bzw. entladenen Kapazität
erforderlich, die Referenzspannung zur Differenzbewertung der
Potentiale möglichst exakt zwischen der Lesespannung für den
15 Zustand „0“ und den Zustand „1“ der Widerstandsspeicherzelle
einzustellen. Eine solche genaue Referenzspannungseinstellung
kann prinzipiell mit einem Spannungsregler erzielt werden.
Vorteilhaft ist es jedoch, die Referenzspannung zur Bewertung
des Ladungszustandes von Speicherelementen mit Hilfe ebensol-
20 cher Speicherelementen vorzunehmen, da hierdurch die Möglich-
keit besteht, Fertigungsschwankungen bzw. Schwankungen der
Betriebsbedingungen im Speicher weitgehend zu kompensieren.

Bei Speicherkonzepten basierend auf dem Magnetotunneleffekt
25 (MRAM) ist eine Referenzspannungserzeugung bekannt, bei der
zwei zusätzliche Speicherelemente, bei denen das eine Spei-
cherelement auf den Zustand „0“ und das andere auf den Zu-
stand „1“ eingestellt ist, parallel zueinander geschaltet
sind und der mittlere Widerstand dieser beiden Speicherzellen
30 zur Erzeugung des Referenzpotentials herangezogen wird. Eine
solche Referenzspannungserzeugung, wie sie aus der WO
2004/051665 A1 bekannt ist, setzt jedoch voraus, dass der Un-
terschied der Widerstandswerte der Speicherelemente für den
Zustand „0“ und den Zustand „1“ nur einige 10% beträgt. Eine
35 Mittelung der Widerstandswerte für den Zustand „0“ und den
Zustand „1“ lässt sich in Widerstandsspeicherelementen in der
Regel aber nicht zur Bildung einer Referenzspannung verwen-

den, da bei Widerstandsspeicherelementen üblicherweise zwischen dem Zustand „0“ und dem Zustand „1“ eine große Widerstandsänderung auftritt. Dies gilt z.B. für CBRAM-Zellen, bei denen der Zustand „0“, der durch eine Trägermaterials-
5 ohne leitenden Pfad definiert ist, einen Widerstand von $10^{10} \Omega$ aufweist, der Zustand „1“, der durch eine Trägermaterialschicht mit einem leitenden Pfad definiert ist, dagegen einen Widerstand von $10^4 \Omega$. Aufgrund des sechs Größenordnungen geringeren Widerstandswertes der CBRAM-Zelle im Zustand „1“
10 würde bei einer Mittelung der Widerstandswerte für den Zustand „0“ und für den Zustand „1“ der Mittelwert praktisch dem Widerstandswert für den Zustand „1“ entsprechen. In der Konsequenz würde dann die Referenzspannung, die mit einem solchen Widerstandsmittelwert erzeugt wird, im Wesentlichen
15 die Lesespannung für den Zustand „1“ der CBRAM-Zelle sein.

Aufgabe der Erfindung ist es, eine verbesserte Schaltanordnung zur Erzeugung einer Referenzspannung zum Bewerten von Lesesignalen einer Speicherzelle mit einem Widerstandsspeicherelement bereitzustellen.
20

Diese Aufgabe wird erfindungsgemäß mit einer Speicherschaltung gemäß Anspruch 1 gelöst. Bevorzugte Weiterbildungen sind in den abhängigen Ansprüchen angegeben.
25

Erfindungsgemäß ist zum Auslesen einer Speicherzelle mit einem Widerstandsspeicherelement, das zwischen einem Masseanschluss und einer Kapazität geschaltet ist, wobei eine Bewertungseinrichtung die Differenz zwischen den elektrischen Potentialen der Kapazität und einer Referenzkapazität auswertet, zwischen dem Masseanschluss und der Referenzkapazität eine Referenzspeicherzelle mit einem Referenzwiderstand geschaltet, wobei beim Lesevorgang die Speicherzelle und die Referenzspeicherzelle angeschaltet werden, um die Kapazität
30 und die Referenzkapazität auf eine Lesespannung aufzuladen oder um die Kapazität und die Referenzkapazität, die auf die Lesespannung vorgeladen sind, zu entladen, wobei die Bewer-
35

tungseinrichtung die Differenz zwischen den elektrischen Potentialen der Kapazität und der Referenzkapazität zu einem vorgegebenen Zeitpunkt nach dem Anschalten der Speicherzelle und der Referenzspeicherzelle auswertet.

5

Erfindungsgemäß wird das Referenzpotential zum Auslesen einer Speicherzelle mit einem Widerstandsspeicherelement gemäß dem gleichen Prinzip, nämlich mit einem Laden bzw. Entladen einer Referenzkapazität über einen Referenzwiderstand erzeugt, das auch dem Lesen der Speicherzelle selbst zugrunde liegt. Ein solches Referenzpotentialkonzept ermöglicht es, zuverlässig Fertigungsschwankungen bzw. Schwankungen der Betriebsbedingungen zu kompensieren. Weiterhin kann auf eine zusätzliche Schaltung zur Erzeugung der Referenzspannung verzichtet werden. Die Referenzspeicherzelle kann dabei so ausgelegt werden, dass beim Lade- bzw. Entladevorgang zum Bewertungszeitpunkt die Referenzspannung genau zwischen den Spannungen, die den Zustand „0“ und dem Zustand „1“ der Speicherzelle mit dem Widerstandsspeicherelement repräsentieren, liegt.

20

Eine solche Einstellung des Referenzwiderstandes lässt sich vorzugsweise durch eine Reihenschaltung von Referenzspeicherzellen mit einem Widerstandsspeicherelement erreichen, wobei das Widerstandsspeicherelement dem der regulären Speicherzellen entspricht. Wenn z.B. eine Bewertung der Speicherzelle nach einer Lesezeit, bei einer Aufladung bzw. Entladung der Kapazität über das Widerstandsspeicherelement der Speicherzelle von 78% stattgefunden hat, ausgeführt werden soll, weist der Referenzwiderstand zur Aufladung bzw. Entladung der Referenzkapazität vorzugsweise den dreifachen Widerstand des Widerstandsspeicherelements auf, d.h. es werden vorzugsweise drei Widerstandsspeicherelemente zur Bildung der Referenzspeicherzelle in Reihe geschaltet. Bei einer Ladung bzw. Entladung der Kapazität über die Speicherzelle von 91% entspricht der Referenzwiderstand vorzugsweise dem Vierfachen des Widerstands des Widerstandsspeicherelements, d.h. es werden vorzugsweise vier Widerstandsspeicherelemente zur Bildung

der Referenzspeicherzelle in Reihe geschaltet. Bevorzugt wird jedoch eine Bewertung der über das Widerstandsspeicherelement der Speicherzelle geladenen bzw. entladenen Kapazität nach einer Lesezeit, die einem Ladungs- bzw. Entladungsgrad von 96% entspricht, vorgenommen, wobei der Referenzwiderstand dann vorzugsweise den fünffachen Widerstand des Widerstandsspeicherelements besitzt. Eine Bewertung der Speicherzelle bei einer 96%-Aufladung bzw. Entladung sorgt für eine ausreichende Signalstärke und damit für einen sicheren Auslesevorgang und zugleich für eine hinreichend kurze Lesezeit.

Gemäß einer weiteren bevorzugten Ausführungsform weist die den Referenzwiderstand bildende Reihenschaltung von Referenzspeicherzellen einen vorgeschalteten Auswahltransistor auf, dessen Kanallänge vorzugsweise im Wesentlichen der Kanallänge der Auswahltransistoren der Speicherzellen multipliziert mit der Anzahl der in Reihe geschalteten Widerstandsspeicherelemente entspricht. Diese Auslegung des Referenzwiderstandes sorgt zuverlässig dafür, dass der Widerstandswert zur Erzeugung der Referenzspannung exakt auf einen gewünschten Wert zwischen die Lesespannung für den Zustand „0“ und den Zustand „1“ der Speicherzelle mit dem Widerstandsspeicherelement eingestellt wird, da zusätzlich der Widerstand des Auswahltransistors zum Schalten der Referenzspeicherzelle berücksichtigt wird. Die Auslegung der eine Serienschaltung von Widerstandsspeicherelementen aufweisenden Referenzspeicherzelle mit einem einzigen Auswahltransistor mit vergrößerter Kanallänge ermöglicht eine vereinfachte Herstellung, da dann nur ein Auswahltransistor gefertigt werden muss.

Gemäß einer weiteren bevorzugten Ausführungsform wird die Kapazität und die Referenzkapazität durch ein Leitungspaar aus einer Bitleitung und einer Komplementär-Bitleitung gebildet. Zum Auslesen der Speicherzelle mit dem Widerstandsspeicherelement kann somit der bekannte DRAM-Speicherzellenaufbau verwendet werden, bei dem ein Auslesevorgang einer Speicherzelle mit Hilfe eines differenziellen Leseverstärkers als Bewer-

tungsschaltung, der an die Bitleitung und eine Komplementär-Bitleitung angeschlossen ist, ausgeführt wird. Die Bitleitung und die Komplementär-Bitleitung bilden dann mit ihren parasitären Leitungskapazitäten zusammen mit den angeschlossenen Widerstandsspeicherelementen die RC-Konstanten, die beim Auslesen der Speicherzelle den Lesespannungs- bzw. Referenzspannungswert einstellen.

Bevorzugt ist dabei weiterhin ein Schaltaufbau, bei dem an die Bitleitung und an die Komplementär-Bitleitung jeweils parallel eine Vielzahl von Speicherzellen und jeweils ein Referenzwiderstand angeschlossen sind, wobei beim Anschalten einer Speicherzelle, die an der Bitleitung angeschlossen ist, der Referenzwiderstand an der Komplementär-Bitleitung zusätzlich angeschaltet wird bzw. beim Anschalten einer Speicherzelle, die an die Komplementär-Bitleitung zusätzlich angeschlossen ist, der Referenzwiderstand an der Bitleitung zusätzlich angeschaltet wird. Dieses Schaltungskonzept ermöglicht einen platzsparenden Aufbau einer Speicherzellenmatrix bei gleichzeitig einfachem und zuverlässigem Bewertungsvorgang.

Gemäß einer weiteren bevorzugten Ausführungsform ist eine Programmierschaltung vorgesehen, um die Widerstandsspeicherelemente der den Referenzwiderstand bildenden Reihenschaltung von Referenzspeicherzellen zu aktivieren. Hierdurch ist es möglich, auf einfache Weise einen idealen Referenzwiderstand für das jeweilige Speicherzellenlayout einzustellen.

Die Erfindung wird anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

- Figur 1 schematisch eine erfindungsgemäße Speicherschaltung mit einer Bitleitungspaar-Architektur;
- Figur 2 schematisch die in Figur 1 gezeigte Schaltung mit Vorladeschaltkreis;

- Figur 3 Signalverläufe bei einer erfindungsgemäßen Speicherschaltung, wobei Figur 3A die Signale auf den Bitleitungen der in Figur 2 gezeigten Schaltungen während eines Lesevorganges zeigt Figur 3B die relative Signalstärke bezogen auf das Verhältnis Referenzwiderstand zu Widerstand des Widerstandsspeicherelements und Figur 3C Entladungskurven für die Bitleitung über das Speicherelement und die Komplementär-Bitleitung über die Referenzspeicherzelle zeigt;
- Figur 4 zwei Referenzwiderstandsausgestaltungen mit einer Reihenschaltungen von Referenzspeicherzellen;
- Figur 5 eine erfindungsgemäße Programmierschaltung zum Aktivieren der einzelnen Referenzspeicherzellen in einer Reihenschaltung, wobei Figur 5A den Schaltungsaufbau mit Wahrheitstabelle, Figur 5B das Schreiben einer Referenzspeicherzelle in der Reihenschaltung und Figur 5C das Auslesen der Reihenschaltung von Referenzspeicherzellen zeigt.
- Figur 1 zeigt schematisch einen Ausschnitt eines Datenspeichers mit einer erfindungsgemäßen Speicherschaltung. Der Speicher ist dabei vorzugsweise matrixförmig ausgebildet mit spaltenförmigen Wortleitungen und zeilenförmigen Bitleitungen, wobei an den Kreuzungspunkten zwischen Wort- und Bitleitungen die einzelnen Speicherzellen angeordnet sind. In Figur 1 ist dabei ein Bitleitungspaar, bestehend aus einer Bitleitung BL und einer Komplementär-Bitleitung /BL gezeigt, die von Wortleitungen WL gekreuzt werden. An den Kreuzungspunkten zwischen der Bitleitung BL und der Komplementär-Bitleitung /BL des Bitleitungspaares mit den Wortleitungen sind alternierend eine Vielzahl von Speicherzellen SZ (nur zwei gezeigt) und zwei Referenzspeicherzellen RZ angeschlossen.

Die Bitleitung BL und die Komplementär-Bitleitung /BL sind weiterhin mit einem differenziellen Leseverstärker SA verbunden, der die elektrischen Potentiale auf der Bitleitung BL und der Komplementär-Bitleitung /BL miteinander vergleicht und in Abhängigkeit der sich ergebenden Potentialdifferenz die beiden elektrischen Potentiale auf zwei vorgegebene Potentialwerte verstärkt. Das höhere Potential auf dem Bitleitungspaar wird dabei vom differenziellen Leseverstärker SA im allgemeinen auf das Potential der Versorgungsspannung des Speichers und das niedrige Potential auf das Massepotential gezogen. Die verstärkten Signale werden dann vom differenziellen Leseverstärker SA auf einen lokalen Datenbus DQ0, DQ1 ausgegeben. Der differenzielle Leseverstärker SA weist weiterhin einen Signaleingang S auf, mit dem der differenzielle Leseverstärker zum Auslesen der Speicherzellen von einer Steuereinheit (nicht gezeigt) des Speichers angesteuert wird.

Jede Speicherzelle SZ setzt sich aus einem Ansteuertransistor T_c und einen Widerstandsspeicherelement R_{sz} zusammen, die zwischen die Bitleitung BL bzw. der Komplementär-Bitleitung /BL und eine Masseleitung PL geschaltet sind. Das Widerstandsspeicherelement R_{sz} ist dabei vorzugsweise ein auch als PMC (programmable metallisation cell) bekanntes Widerstandsspeicherelement mit einer reaktiven Anodenelektrode und einer inerten Kathodenelektrode, zwischen denen eine Speicherschicht aus einem porösen hochresistiven ionenleitfähigen Festkörperelektrolyt vorgesehen ist. Durch Anlegen einer positiven Spannung zwischen der reaktiven Anodenelektrode und der inerten Kathodenelektrode wird die reaktive Anodenelektrode elektrochemisch aufgelöst und metallreiche Abscheidungen in der Festkörperelektrolyt verstärkt, so dass sich ein leitender Pfad zwischen der Anodenelektrode und der Kathodenelektrode durch das Festkörperelektrolyt bildet. Dieser leitfähige Pfad kann durch Anlegen einer negativen Spannung zwischen der Anodenelektrode und der Kathodenelektrode wieder zurückgebildet werden, wobei sich die von der Anodenelektrode in das Elektrolyt abgegebenen Ionen wieder an der Anoden-

elektrode anlagern. Die PMC-Widerstandsspeicherzelle lässt sich so durch elektrische Pulse, die wechselweise zwischen Anodenelektrode und Kathodenelektrode angelegt werden, zwischen einem hochohmigen und einem niederohmigen Zustand hin- und herschalten.

Als Festkörperelektrolyt zum Einsatz in PMC-Widerstandsspeicherelementen eignet sich vor allem Chalcogenid-Verbindungen mit Elementen der sechsten Hauptgruppe wie Selen, Schwefel, Tellur und dabei insbesondere Verbindungen mit Halbleitereigenschaften, die sich im Rahmen der Speicherzellenherstellung leicht zusammen mit Silizium verarbeiten lassen. Als reaktive Anodenelektrode, die durch elektrische Pulse Metallionen in das Elektrolytmaterial abgibt, kann z.B. Silber oder Kupfer eingesetzt werden.

Neben solchen PMC-Widerstandsspeicherelementen können auch andere Widerstandsspeicherelemente eingesetzt werden, die auf dem Prinzip basieren, dass sich die Leitfähigkeit einer zwischen einer Anoden- und einer Kathodenelektrode angeordneten Speicherschicht durch elektrische Pulse ändern lässt, d.h., dass die Speicherschicht zwischen einem niederohmigen und einem hochohmigen Zustand umschaltet. So kann bei einem Widerstandsspeicherelement z.B. als Speicherschicht ein Polymer eingesetzt werden, bei dem sich durch elektrische Pulse Charge-Transfer-Komplexe ausbilden lassen. Weiterhin kommen als Widerstandsspeicherelementkonzepte Phasenwechselspeicher in Frage, bei denen mittels elektrischer Pulse eine Metalllegierung, z.B. eine Chalcogenidlegierung, zwischen einem amorphen und einem kristallinen Zustand geschaltet wird. Die beiden Zustände weisen dabei starke Unterschiede in der Leitfähigkeit auf. Ein weiteres Widerstandsspeicherzellenkonzept ist eine Perovskitzelle, bei der zwischen den Elektroden eine Perovskitschicht vorgesehen ist, bei der durch Anlegen einer Spannung zwischen den Elektroden eine Ladungsträgerinjektion erfolgt, in die einen Strukturübergang zwischen einem hoch- und einem niederohmigen Zustand sorgt. Weiterhin besteht die

Möglichkeit, als Trägermaterial zwischen den Elektroden bei einem Widerstandsspeicherelement amorphes Silizium einzusetzen, das sich durch elektrische Pulse zwischen einem hoch- und einem niederohmigen Zustand schalten lässt. Dieses Konzept ist auch als Si : H-Speicherzellenkonzept bekannt.

Der Ansteuertransistor T_c der Speicherzelle SZ mit dem Widerstandsspeicherelement R_{SZ} ist vorzugsweise ein Feldeffekttransistor, über den das Widerstandsspeicherelement mit der zugehörigen Bitleitung BL bzw. Komplementär-Bitleitung /BL verbunden ist. Die Ansteuertransistoren T_c der Speicherzellen SZ werden dabei über die zugeordneten Wortleitungen WL, die mit den Gatekontakten der Transistoren verbunden sind, ein- und ausgeschaltet.

Bei der in Figur 1 gezeigten Speicherschaltung sind die über die Wortleitungen WL angesteuerten Speicherzellen SZ (zwei gezeigt) alternierend an die Bitleitung BL und die Komplementär-Bitleitung /BL angeschlossen. Ein Speicher mit einer solchen Speicherschaltung ist in der Regel quadratisch aufgebaut und umfasst dabei eine Vielzahl von Wortleitungen, z.B. 1024, und eine entsprechende Anzahl von Bitleitungen bzw. Komplementär-Bitleitungen. In einem solchen Fall sind dann an die Bitleitung BL und die zugeordnete Komplementär-Bitleitung /BL des Bitleitungspaars jeweils 512 Speicherzellen zwischen die Bitleitung bzw. Komplementär-Bitleitung und die Masseleitung PL geschaltet.

Jede Bitleitung BL bzw. Komplementär-Bitleitung /BL ist weiterhin mit einer Referenzspeicherzelle RZ verbunden, die zwischen die Bitleitung BL bzw. Komplementär-Bitleitung /BL und die Masseleitung PL geschaltet ist, wobei ein Ansteuertransistor T_R der an die Bitleitung BL angeschlossenen Referenzspeicherzellen RZ an einer ersten Referenzwortleitung $WLR<0>$ und ein Ansteuertransistor T_R der an die Komplementär-Bitleitung /BL angeschlossenen Referenzspeicherzellen RZ über eine zweite Referenzwortleitung $WLR<1>$ angesteuert wird.

Das Auslesen des Ladungszustandes einer Speicherzelle SZ, d.h. des Ladungszustandes des zugehörigen Widerstandsspeicherelements R_{SZ} erfolgt durch Laden bzw. Entladen einer Kapazität über das Widerstandsspeicherelement. Als Kapazität wird die Kapazität der Bitleitung BL bzw. Komplementär-Bitleitung /BL genutzt. Der Auslesevorgang erfolgt dabei so, dass über die zugehörige Wortleitung WL der Ansteuertransistor T_c der Speicherzelle SZ angeschaltet wird, so dass über das Widerstandsspeicherelement R_{SZ} ein Lade- bzw. Entladevorgang zwischen der Bitleitung BL bzw. Komplementär-Bitleitung /BL, an der die Speicherzelle angeschlossen ist, und der Masseleitung PL erfolgt. Das elektrische Potential auf der Bitleitung BL bzw. Komplementär-Bitleitung /BL wird dann zu einem vorgegebenen Zeitpunkt durch den differenziellen Leseverstärker SA, der an die Bitleitung und Komplementär-Bitleitung /BL angeschlossen ist, bestimmt.

Um eine sichere Bewertung des elektrischen Potentials auf der Bitleitung BL bzw. Komplementär-Bitleitung /BL durchführen zu können, wird die Bewertung durch den differenziellen Leseverstärker SA in Bezug auf ein Referenzpotential durchgeführt. Dieses Referenzpotential wird von der weiteren Bitleitung bzw. Komplementär-Bitleitung des Bitleitungspaares, das an den differenziellen Leseverstärker SA angeschlossen ist, geliefert. Das Referenzpotential wird dabei nach dem gleichen Prinzip erzeugt wie das Auslesepotential der Speicherzelle, nämlich durch Laden bzw. Entladen einer Kapazität über die an die Bitleitung bzw. Komplementär-Bitleitung angeschlossene Referenzspeicherzelle RZ. Als Referenzkapazität wird hierbei wiederum vorzugsweise die parasitäre Kapazität der Bitleitung bzw. Komplementär-Bitleitung genutzt, die über den Referenzwiderstand der Referenzspeicherzelle ge- bzw. entladen wird.

Der Auslesevorgang einer Speicherzelle erfolgt dann so, dass, wenn der Ansteuertransistor T_c der an die Bitleitung eines Bitleitungspaares angeschlossenen Speicherzelle SZ über die

zugehörige Wortleitung WL angeschaltet wird, gleichzeitig auch der Ansteuertransistor T_R der Referenzspeicherzelle RZ, die an die Komplementär-Bitleitung angeschlossen ist, über die zugehörige Referenzwortleitung WLR angeschaltet wird.

5 Wird dagegen die Speicherzelle SZ an der Komplementär-Bitleitung /BL über den entsprechenden Ansteuertransistor T_c über die zugehörige Wortleitung WL zum Auslesen angeschaltet, so wird gleichzeitig die Referenzspeicherzelle RZ mit Hilfe des Ansteuertransistors T_R über die zugehörige Referenzwort-
10 leitung WLR aktiviert, die an die Bitleitung BL angeschlossen ist. Der an die Bitleitung und die Komplementär-Bitleitung angeschlossene differenzielle Leseverstärker SA erfasst dann zu einem vorgegebenen Zeitpunkt ab Anschaltung der Speicherzelle bzw. Referenzspeicherzelle die elektrischen Potentiale
15 auf der Bitleitung bzw. Komplementär-Bitleitung, wertet die Differenz zwischen diesen elektrischen Potentialen aus und verstärkt die Potentialdifferenz auf einen vorgegebenen Wert. Die verstärkten Signale werden anschließend vom differenziellen Leseverstärker SA auf die angeschlossenen Busleitungen
20 DQ0, DQ1 zur Weiterverarbeitung ausgegeben.

Dadurch, dass die Erzeugung der Referenzspannung über die Referenzspeicherzellen nach dem gleichen Prinzip erfolgt wie das Auslesen der Speicherzelle selbst, lassen sich Schwankungen der Parameter der Speicherzellen bzw. der Widerstands-
25 speicherelemente der Speicherzellen, die durch die Herstellung bzw. Betriebsbedingungen bedingt sind, wirkungsvoll ausgleichen. Weiterhin ist eine spezielle Spannungsgeneratorschaltung zur Erzeugung des Referenzpotentials nicht erforderlich, so dass auf einen zusätzlichen aufwändigen Schaltkreis verzichtet werden kann.

Figur 2 zeigt ein Auslesen der Speicherelemente durch Entladen der Kapazität der Bitleitung bzw. der Komplementär-Bitleitung.
35 Bitleitung /BL über zwischengeschaltete Auswahltransistoren T_v durch entsprechende Ansteuerung PRE mit einem Lesespan-

nungsgenerator V_{RD} verbunden. Diese Vorladeschaltung kann in den differenziellen Leseverstärker SA integriert werden. Das Auslesen einer Speicherzelle erfolgt dabei nach dem in Figur 3 gezeigten Signalschema. Nach dem Decodieren der Adresse des Bitleitungspaares aus Bitleitung und Komplementär-Bitleitung, an dem die auszulesende Speicherzelle SZ angeordnet ist, werden durch Anlegen eines Vorladesignals PRE an die Gatekontakte der Auswahltransistoren T_V der Vorladeschaltung des Bitleitungspaares die Auswahltransistoren durchgeschaltet und die Lesespannung V_{RD} an die Bitleitung BL und die Komplementär-Bitleitung $\overline{BL}$ angelegt. Wenn ein spaltenweises Auslesen der Speicherzellen im Speicher beabsichtigt ist, besteht auch die Möglichkeit, durch Aktivieren der Auswahltransistoren aller Vorladeschaltungen gleichzeitig alle Bitleitungen bzw. Komplementär-Bitleitungen aufzuladen.

Das Vorladesignal PRE wird dabei so lange an den Auswahltransistoren T_V angelegt, bis die Bitleitung und die Komplementär-Bitleitung vollständig auf die Lesespannung aufgeladen sind, in der gezeigten Ausführungsform für ca. 2 nsec. Dann werden die Auswahltransistoren T_V der Vorladeschaltung gesperrt. Parallel zum Abschalten des Vorladesignals PRE und damit der Auswahltransistoren T_V der Vorladeschaltung wird entsprechend der dekodierten Wortleitungsadresse über die entsprechende Wortleitung WL die gewünschte Speicherzellenspalte mit Hilfe der zugehörigen Auswahltransistoren angeschaltet. In der in Figur 2 gezeigten Ausführungsform werden dabei die mit der Bitleitung BL verbundenen Speicherzellen SZ aktiviert. Parallel hierzu wird über die Referenzwortleitungen WLR, je nachdem, ob die aktivierten Speicherzellenspalte an der Bitleitung oder Komplementär-Bitleitung des Bitleitungspaares angeschlossen ist, über die Referenzwortleitung die Ansteuertransistoren T_R der Referenzspeicherzellenspalte angeschaltet, die an die zweite Leitung des Bitleitungspaares angeschlossen ist, in der in Figur 2 gezeigten Ausführungsform also die mit der Komplementär-Bitleitung verbundenen Referenzspeicherzellen.

Durch das Durchschalten der Ansteuertransistoren der Speicherzelle bzw. der Referenzspeicherzelle entlädt sich das auf die Lesespannung vorgeladene Bitleitungspaar aus Bitleitung und Komplementär-Bitleitung über die Speicherzelle bzw. Referenzspeicherzelle. Wenn sich das Widerstandsspeicherelement R_{SZ} der aktivierten Speicherzelle SZ dabei im hochohmigen Zustand befindet, z.B. bei einer CBRAM-Speicherzelle einen Widerstand im Bereich von $10^{10} \Omega$ aufweist, findet innerhalb der vorgegebenen kurzen Lesezeit – im Beispiel gemäß Figur 3A 10 nsec. – praktisch keine Entladung der Bitleitung über die Speicherzelle statt. Der Spannungswert auf der Bitleitung ist weiterhin die vorgeladene Lesespannung. Die hochohmige Speicherzelle repräsentiert dabei den logischen Zustand „1“. Ist dagegen das Widerstandsspeicherelement R_{SZ} der Speicherzelle SZ im niederohmigen Zustand, so wird die Kapazität der Bitleitung praktisch auf den Spannungswert der Masseleitung PL entladen. Eine CBRAM-Speicherzelle weist im niederohmigen Zustand, dann, wenn ein leitender Pfad durch das Widerstandsspeicherelement ausgebildet ist, einen Widerstand von $10^4 \Omega$ auf. Die niederohmige Speicherzelle repräsentiert den logischen Zustand „0“.

Der differenzielle Leseverstärker SA bewertet den Spannungszustand auf der Bitleitung BL nach dem Entladen über das Speicherelement nach der vorgegebenen Lesezeit, hier 10 nsec., nach dem Anschalten des Ansteuertransistors T_C der Speicherzelle SZ über die zugehörige Wortleitung WL. Der Spannungszustand der Bitleitung wird dabei mit der Referenzspannung auf der Komplementär-Bitleitung des Bitleitungspaares verglichen, die über die Referenzspeicherzelle entladen wird. Die Referenzspannung wird dabei vom Widerstand der Referenzspeicherzelle festgelegt, und zwar vorzugsweise so, dass der Referenzspannungswert genau zwischen den Spannungswerten der Bitleitung für die Zustände „0“ und „1“ der Speicherzelle liegt, wie in Figur 3A gezeigt ist.

Der ideale Widerstand der Referenzspeicherzelle RZ lässt sich folgendermaßen bestimmen. Für die Spannung V_{READ} auf der Bitleitung BL, die über die Speicherzelle SZ entladen wird, und die Spannung V_{REF} auf der Komplementär-Bitleitung /BL, die über die Referenzspeicherzelle RZ entladen wird, ergeben sich nach der Lesezeit t folgende Kondensatorgleichungen:

$$(1) \quad \begin{aligned} V_{\text{READ}} &= V_{\text{RD}} \cdot \exp\left(-\frac{t}{R_{\text{ON}} \cdot C_{\text{BL}}}\right) = V_{\text{RD}} \cdot F \\ V_{\text{REF}} &= V_{\text{RD}} \cdot \exp\left(-\frac{t}{R_{\text{REF}} \cdot C_{\text{BL}}}\right) = V_{\text{RD}} \cdot F' \end{aligned}$$

- 10 C_{BL} ist dabei die Kapazität der Bitleitung bzw. Komplementär-Bitleitung und R_{ON} der Widerstand der Speicherzelle im niederohmigen Zustand bzw. R_{REF} der Widerstand der Referenzspeicherzelle.
- 15 Die Spannung auf der Bitleitung bzw. Komplementär-Bitleitung ist zu Beginn des Entladungsvorgangs gleich der Lesespannung V_{RD} und nähert sich dann asymptotisch unterschiedlich schnell der Spannung Null an. Nach der Lesezeit t ist für die Bitleitung, die über die Speicherzelle entladen wird, der Entladungs-
- 20 dungszustand F und für die Komplementär-Bitleitung, die über die Referenzspeicherzelle entladen wird, der Entladungszustand F' erreicht.

Im Falle von Speicherzellen mit Widerstandspeicherelementen ist, wie erläutert, aufgrund des sehr großen Widerstandes des Widerstandsspeicherelements im logischen Zustand „1“ nach der Lesezeit t praktisch kein Spannungsfall aufgetreten. Die Lesespannung V_{RD} liegt also weiterhin vollständig an der Bitleitung BL an. Im niederohmigen Zustand der Speicherzelle mit dem Widerstandspeicherelement dagegen, der den logischen Zustand „0“ repräsentiert, wird die Bitleitung über die Speicherzelle auf den Wert $V_{\text{RD}} \cdot F$ entladen. Für die Referenzspannung V_{REF} , die genau zwischen den beiden Lesespannungen V_{RD} und $V_{\text{RD}} \cdot F$ liegen soll, gilt dann folgendes:

$$(2) F' = \frac{F+1}{2}$$

$$(3) F' = \exp\left(-\frac{t}{R_{REF} \cdot C_{BL}}\right)$$

- 5 Daraus ergibt sich für den Referenzwiderstand V_{REF} unter Berücksichtigung der Kondensatorgleichung nach (1)

$$(4) R_{REF} = R_{ON} \cdot \frac{\ln F}{\ln(F+1) - \ln 2}$$

10

Der Zusammenhang zwischen dem idealen Referenzwiderstand der Referenzspeicherzelle und dem Widerstand des Widerstandsspeicherelements der Speicherzelle im niederohmigen Zustand ist in Figur 3B für verschiedene Entladungsgrade und damit relative Signalverhältnisse grafisch dargestellt. Bevorzugt ist es, die Referenzspeicherzelle als eine Reihenschaltung von Widerstandsspeicherelementen auszubilden, die auch für die regulären Speicherzellen vorgesehen sind. In Figur 3B sind dann auch die ganzzahligen Werte des Verhältnisses von Referenzwiderstand zu Widerstand des Widerstandsspeicherelements der Speicherzelle hervorgehoben. Für einen Entladungsgrad von 76% ergibt sich ein idealer Referenzwiderstand von $3 \times R_{ON}$, um eine mittlere Referenzspannung zwischen der Spannung für den logischen Zustand „0“ und den logischen Zustand „1“ der Speicherzelle zu erreichen. Bei einem Entladungsgrad von 91% ist der Referenzwiderstand vorzugsweise $4 \times R_{ON}$. Eine absolut sichere Bewertung des logischen Zustandes der Speicherzelle lässt sich bei einem Entladungsgrad von 96% gewährleisten. Für ein solches Lesesignal wäre ein idealer Referenzwiderstand von $5 \times R_{ON}$ zu wählen.

15
20
25
30

Figur 3C zeigt die entsprechenden Entladungskurven für einen idealen Referenzwiderstand bei einem Entladungsgrad der Bitleitung über die Speicherzelle von 96%. Über die Referenzspeicherzelle wird dann bei einem fünffachen Widerstand bezo-

35

gen auf den Widerstand des Widerstandsspeicherelements der Speicherzelle ein Entladungsgrad von 48%, also gerade die Hälfte des Signals der Speicherzelle, erreicht.

5 Figur 4 zeigt den möglichen Aufbau der Referenzspeicherzelle aus diskreten Speicherzellen. Das Beispiel zeigt eine Serienschaltung von drei Speicherzellen zur Ausbildung der Referenzspeicherzellen. Um den Widerstand des Ansteuertransistors der Speicherzelle dabei nicht zu vernachlässigen, besteht,
10 wie in Figur 4 gezeigt, die Möglichkeit, drei Widerstandsspeicherelemente und drei Auswahltransistoren in Reihe zu schalten. Alternativ kann aber auch nur ein Auswahltransistor mit dreifacher Kanallänge, wie in Figur 4 weiter gezeigt, verwendet werden, der dann mit drei Widerstandsspeicherelementen in Reihe geschaltet ist.
15

Wenn diskrete Speicherzellen mit Widerstandsspeicherelementen zur Ausbildung der Referenzspeicherzelle verwendet werden, ist es erforderlich, nach Herstellung der Referenzspeicherzelle diese auf den idealen Referenzwiderstand zu programmieren. Dies kann mit einer Schaltung wie in Figur 5A dargestellt, durchgeführt werden. Als Beispiel ist hier eine Referenzspeicherzelle mit fünf in Reihe geschalteten Widerstandsspeicherelementen R1-R5 und einem vorgeschalteten Ansteuertransistor T dargestellt. Das Programmieren kann dabei über
20 die Bitleitung bzw. Komplementär-Bitleitung (wie in Figur 5A gezeigt) und die Masseleitung PL, zwischen die die Referenzspeicherzelle geschaltet ist, erfolgen. Hierfür ist gemäß Figur 5A zwischen der Komplementär-Bitleitung /BL und Masseleitung PL parallel zu den Widerstandsspeicherelementen ein
30 Netzwerk von Ansteuertransistoren P1-P8 vorgesehen. Die Programmierschaltung ist so aufgebaut, dass zu den ersten vier Widerstandsspeicherelementen R1, R2, R3, R4 ausgehend von der Komplementär-Bitleitung jeweils parallel ein Ansteuertransistor P1, P3, P5, P7 und zu den letzten vier Widerstandsspeicherelementen R2, R3, R4, R5 ausgehend von der Masseleitung
35

PL jeweils parallel ein Ansteuertransistor P2, P4, P6, P8 geschaltet.

- Figur 5A zeigt weiter die Wahrheitstabelle mit den Steuersignalen für die Ansteuertransistoren der Programmierschaltung bzw. den Ansteuertransistor T der Referenzspeicherzelle, die zum Schalten bestimmter Widerstandsspeicherelemente bzw. zum Auslesen der Referenzspeicherzelle aktiviert werden müssen. Figur 5B zeigt die Ansteuerung zum Schreiben des Widerstandsspeicherelements R3, wobei X die nicht aktivierten Bauelemente der Programmierschaltung angibt. Weiterhin ist in Figur 5B der durchgeschaltete Strompfad dargestellt. Figur 5C zeigt die Ansteuerung zum Auslesen der Referenzspeicherzelle.
- 15 Mit der Erfindung besteht die Möglichkeit, auf einfache Weise bei einer Speicherschaltung mit Widerstandsspeicherelemente aufweisende Speicherzellen eine ideale Referenzspannung zum Auslesen der Speicherzellen bereitzustellen. Dies wird dadurch erreicht, dass die Referenzspannung gemäß dem gleichen
- 20 Prinzip erzeugt wird wie das Lesen der Speicherzelle selbst, nämlich durch Laden bzw. Entladen einer Referenzkapazität parallel zum Laden und Entladen einer Kapazität über die auszu-lesende Speicherzelle. Der Referenzwiderstand wird dabei vorzugsweise durch eine Serienschaltung mehrerer diskreter Speicherzellen gebildet, wobei der Referenzwiderstand und damit
- 25 die Anzahl der in Serie geschalteten Speicherzellen ideal auf einen Spannungswert zwischen dem Zustand „0“ und dem Zustand „1“ der Speicherzelle eingestellt wird.

Ansprüche

1. Speicherschaltung mit einer Speicherzelle und einer Bewertungseinrichtung, wobei die Speicherzelle ein mit elektrischen Pulsen zwischen einem hochohmigen und einem niederohmigen Zustand schaltbares Widerstandsspeicherelement aufweist und zwischen einen Masseanschluss und eine Kapazität geschaltet ist und wobei die Bewertungseinrichtung die Differenz zwischen den elektrischen Potentialen der Kapazität und einer Referenzkapazität auswertet,
dadurch gekennzeichnet, dass zwischen den Masseanschluss und die Referenzkapazität eine Referenzspeicherzelle mit einem Referenzwiderstand geschaltet ist, wobei beim Lesevorgang die Speicherzelle und die Referenzspeicherzelle angeschaltet werden, um die Kapazität und die Referenzkapazität auf eine Lesespannung aufzuladen oder um die Kapazität und die Referenzkapazität, die auf die Lesespannung vorgeladen sind, zu entladen, und wobei die Bewertungseinrichtung die Differenz zwischen den elektrischen Potentialen der Kapazität und der Referenzkapazität zu einem vorgegebenen Zeitpunkt nach dem Anschalten der Speicherzelle und der Referenzspeicherzelle auswertet.
2. Speicherschaltung nach Anspruch 1, dadurch gekennzeichnet, dass die Speicherzellen jeweils einen Auswahltransistor aufweisen, der in Reihe mit dem Widerstandsspeicherelement angeordnet ist, und über eine zugehörige Wortleitung geschaltet wird.
3. Speicherschaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Referenzwiderstand aus einer Reihenschaltung von Widerstandsspeicherelementen gebildet ist.
4. Speicherschaltung nach Anspruch 3, dadurch gekennzeichnet, dass der den Referenzwiderstand bildende Reihenschaltung von Widerstandselementen ein Auswahltransistor vorgeschaltet ist, dessen Kanallänge der Kanallänge der Auswahltransistoren

der Speicherzellen multipliziert mit Anzahl der in Reihe geschalteten Widerstandsspeicherelemente entspricht.

5. Speicherschaltung nach Anspruch 3 oder 4, gekennzeichnet durch eine Programmierschaltung, um die Widerstandsspeicherelemente, die den Referenzwiderstand bilden zu aktivieren.

6. Speicherschaltung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass der Referenzwiderstand folgende Bedingung erfüllt:

$$R_{REF} = R_{ON} \cdot \frac{\ln F}{\ln(F+1) - \ln 2} \quad \text{mit} \quad F = \exp\left(-\frac{t}{R_{ON} \cdot C_{BL}}\right)$$

wobei C_{BL} die Kapazität bzw. Referenzkapazität, R_{ON} der Widerstand der Speicherzelle im niederohmigen Zustand und t der Bewertungszeitpunkt ist.

7. Speicherschaltung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die Kapazität und die Referenzkapazität durch ein Leitungspaar aus einer Bitleitung und einer Komplementär-Bitleitung gebildet sind.

8. Speicherschaltung nach Anspruch 7, dadurch gekennzeichnet, dass an die Bitleitung und an die Komplementär-Bitleitung jeweils parallel eine Vielzahl von Speicherzellen und jeweils ein Referenzwiderstand angeschlossen sind, wobei beim Anschalten einer Speicherzelle, die an der Bitleitung angeschlossen ist, der Referenzwiderstand an der Komplementär-Bitleitung gleichzeitig angeschaltet wird und wobei beim Anschalten einer Speicherzelle, die an der Komplementär-Bitleitung angeschlossen ist, der Referenzwiderstand an der Bitleitung gleichzeitig angeschaltet wird.

FIG 1

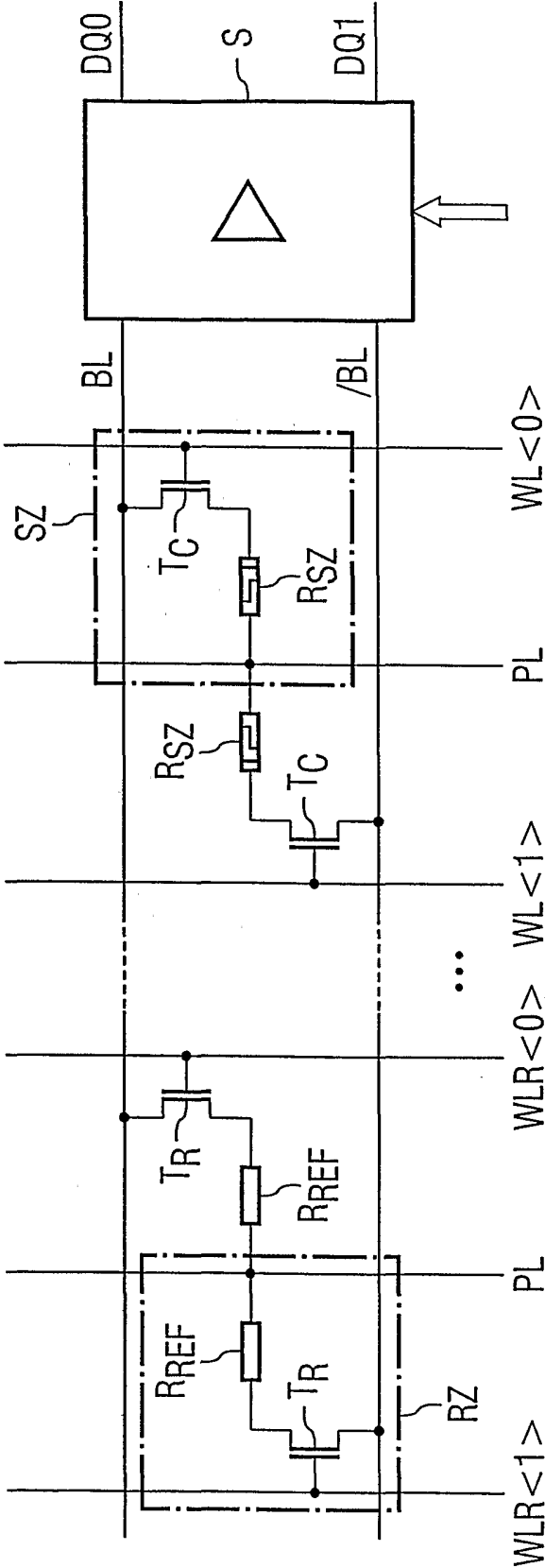


FIG 2

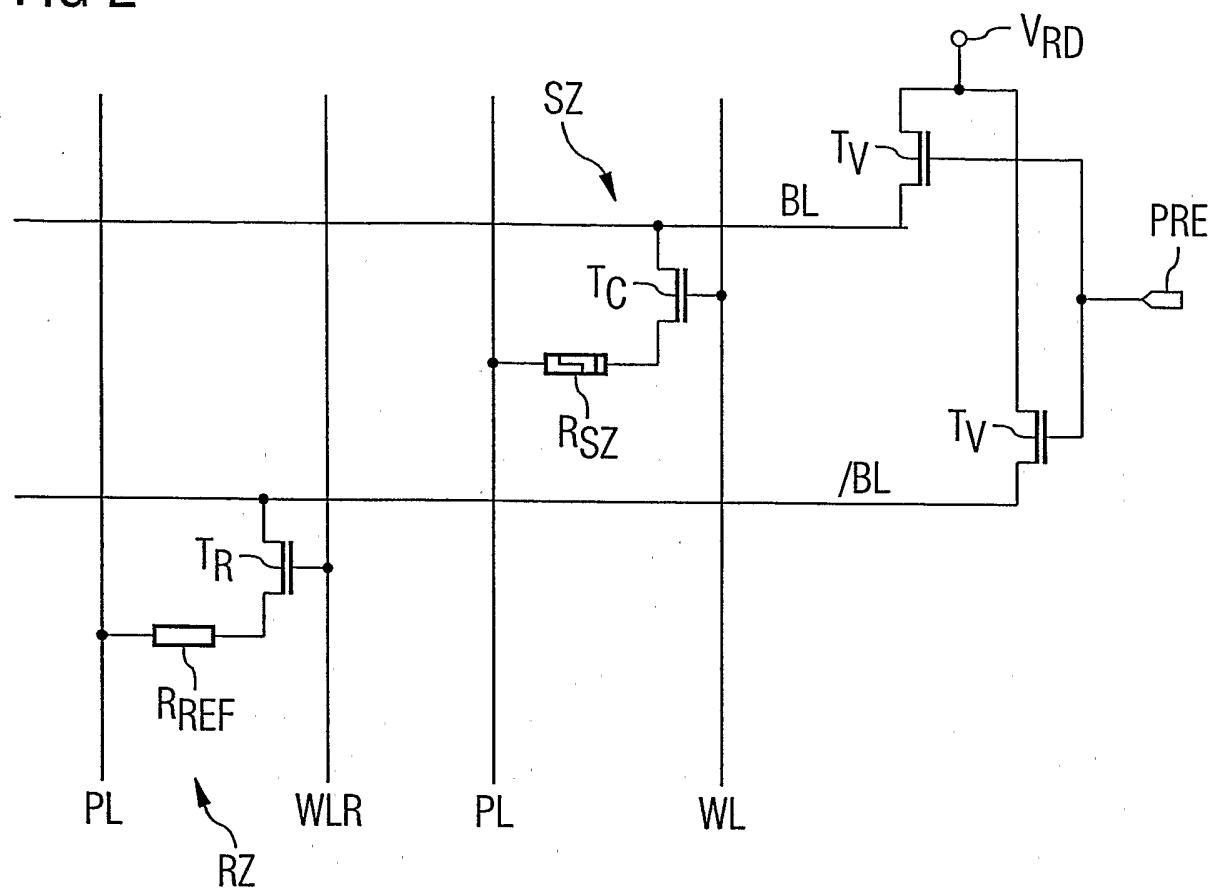


FIG 4

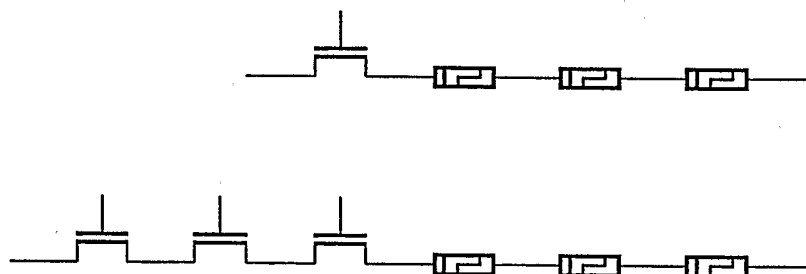


FIG 3A

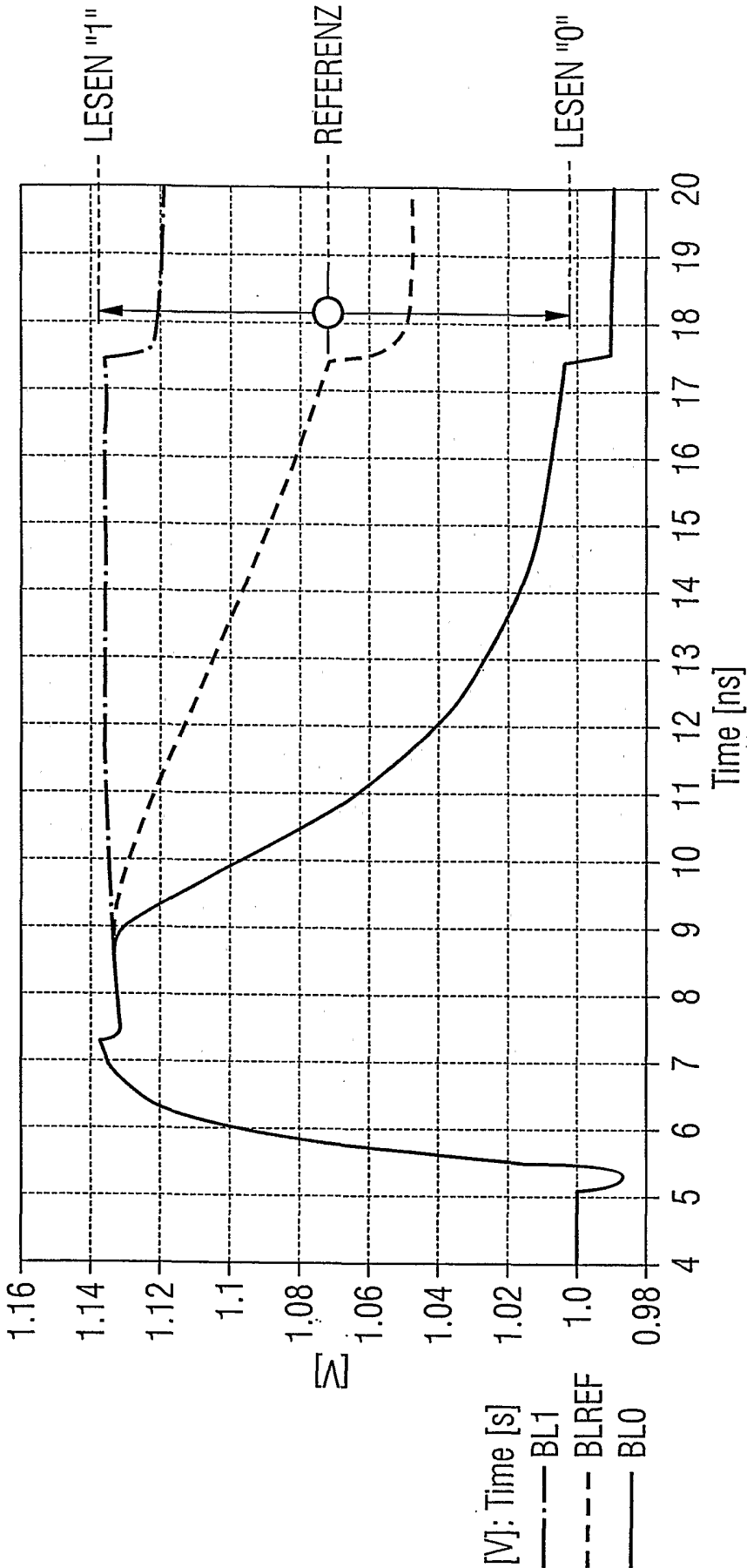
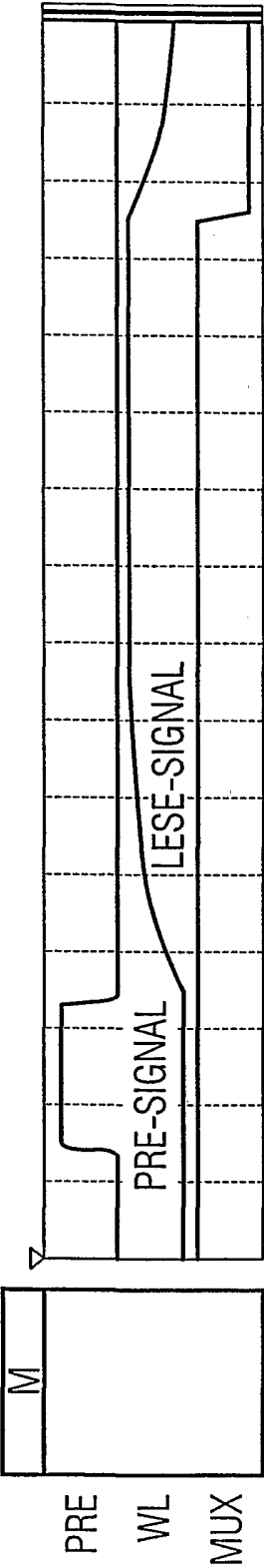


FIG 3B

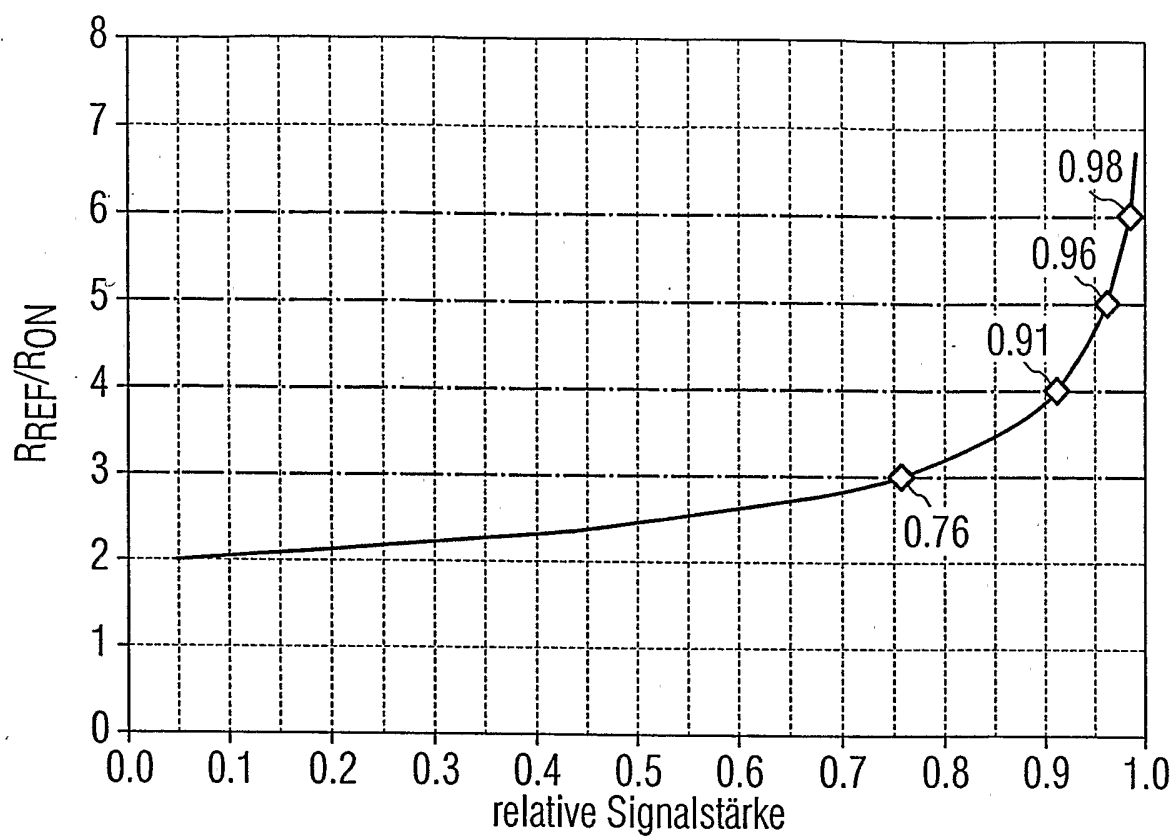


FIG 3C

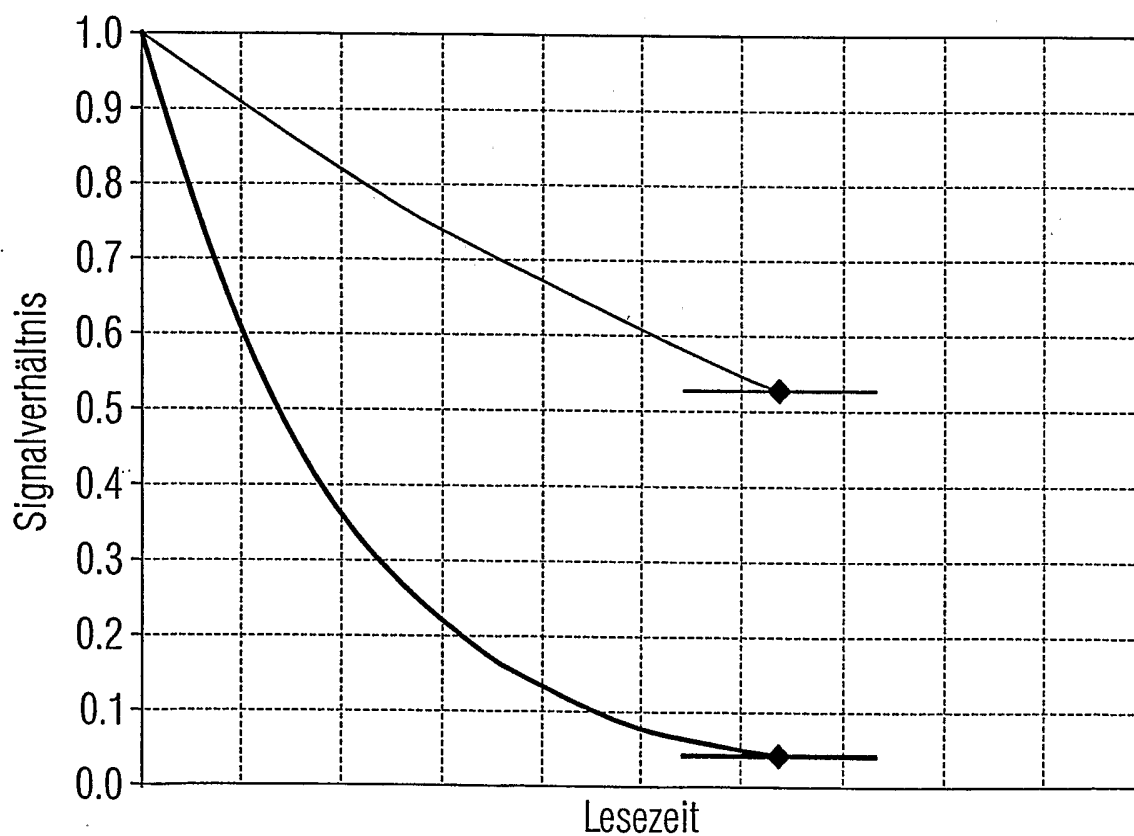
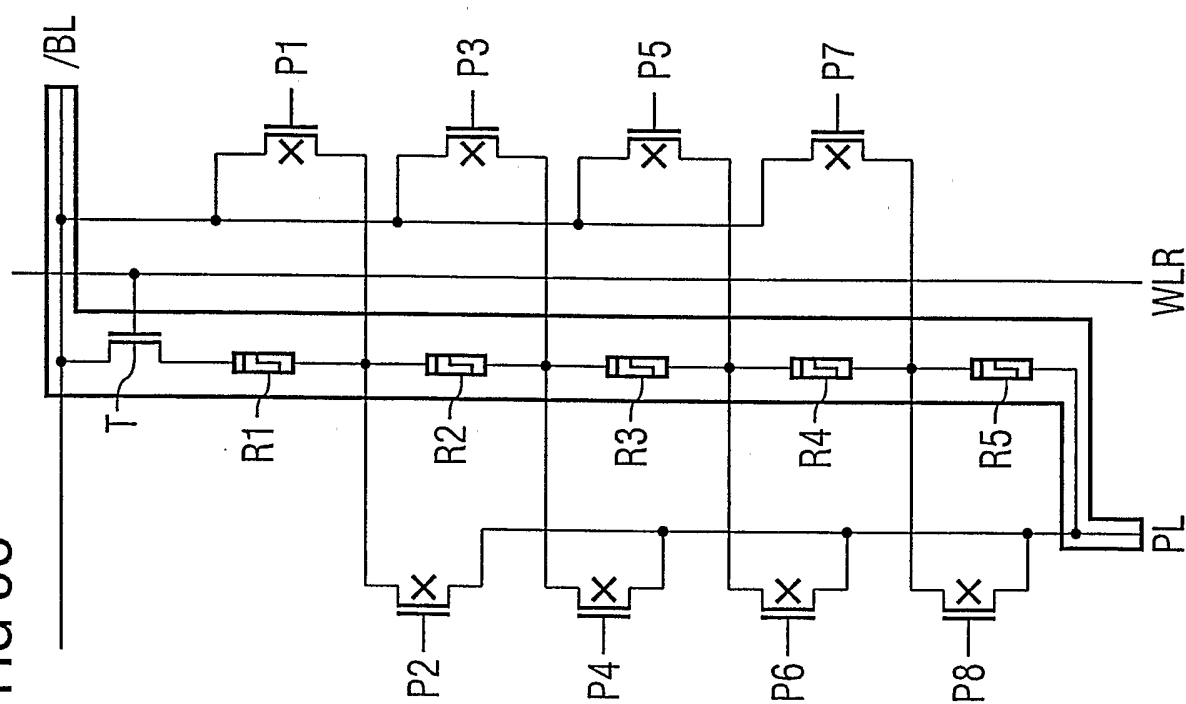


FIG 5C

[illegible][illegible]

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP2005/009813

A. CLASSIFICATION OF SUBJECT MATTER

G11C7/14 G11C16/28 G11C11/16 G11C11/15 G11C16/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/172068 A1 (HIDAKA HIDETO) 21 November 2002 (2002-11-21) paragraphs '0165!, '0369!; figure 36	1-5, 7, 8
A	WO 03/088254 A (SONY CORPORATION; MORIYAMA, KATSUTOSHI; HIGO, YUTAKA) 23 October 2003 (2003-10-23) figures 2, 6, 7	6
P, A	& EP 1 496 518 A (SONY CORPORATION) 12 January 2005 (2005-01-12) paragraphs '0037!, '0060! - '0063!; figures 2, 6, 7	6



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

7 December 2005

Date of mailing of the international search report

17/01/2006

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Vidal Verdu, J.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2005/009813

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002172068 A1	21-11-2002	CN 1385860 A	18-12-2002
		DE 10220897 A1	28-11-2002
		JP 2002343077 A	29-11-2002
		TW 225255 B	11-12-2004
WO 03088254 A	23-10-2003	CN 1647207 A	27-07-2005
		EP 1496518 A1	12-01-2005
		JP 2003317466 A	07-11-2003
		US 2005122816 A1	09-06-2005
EP 1496518 A	12-01-2005	CN 1647207 A	27-07-2005
		WO 03088254 A1	23-10-2003
		JP 2003317466 A	07-11-2003
		US 2005122816 A1	09-06-2005

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/009813

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES G11C7/14 G11C16/28 G11C11/16 G11C11/15 G11C16/02		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RECHERCHIERTE GEBIETE Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) G11C		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2002/172068 A1 (HIDAKA HIDETO) 21. November 2002 (2002-11-21) Absätze '0165!, '0369!; Abbildung 36 -----	1-5,7,8
A	WO 03/088254 A (SONY CORPORATION; MORIYAMA, KATSUTOSHI; HIGO, YUTAKA) 23. Oktober 2003 (2003-10-23) Abbildungen 2,6,7	6
P, A	& EP 1 496 518 A (SONY CORPORATION) 12. Januar 2005 (2005-01-12) Absätze '0037!, '0060! - '0063!; Abbildungen 2,6,7 -----	6
☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
° Besondere Kategorien von angegebenen Veröffentlichungen : *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist *Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche 7. Dezember 2005		Absenddatum des internationalen Recherchenberichts 17/01/2006
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Vidal Verdu, J.

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2005/009813

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2002172068 A1	21-11-2002	CN 1385860 A	18-12-2002
		DE 10220897 A1	28-11-2002
		JP 2002343077 A	29-11-2002
		TW 225255 B	11-12-2004
WO 03088254 A	23-10-2003	CN 1647207 A	27-07-2005
		EP 1496518 A1	12-01-2005
		JP 2003317466 A	07-11-2003
		US 2005122816 A1	09-06-2005
EP 1496518 A	12-01-2005	CN 1647207 A	27-07-2005
		WO 03088254 A1	23-10-2003
		JP 2003317466 A	07-11-2003
		US 2005122816 A1	09-06-2005