

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-228317

(P2004-228317A)

(43) 公開日 平成16年8月12日(2004.8.12)

(51) Int.Cl.⁷

H01L 21/8247

G01R 31/28

G11C 16/02

G11C 29/00

H01L 21/822

F I

H01L 27/10

434

G11C 29/00

673T

H01L 27/06

311C

G11C 17/00

601Z

H01L 29/78

371

テーマコード (参考)

2G132

5B025

5F038

5F048

5F083

審査請求 未請求 請求項の数 2 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2003-13801 (P2003-13801)

(22) 出願日 平成15年1月22日 (2003.1.22)

(71) 出願人 000002325

セイコーインスツルメンツ株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(74) 代理人 100079212

弁理士 松下 義治

(72) 発明者 和気 宏樹

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコーインスツルメンツ株式会社内

Fターム(参考) 2G132 AA09 AK07 AK15 AK16 AL00

5B025 AD14 AD16 AE09

5F038 BE07 BH07 BH13 BH19 DF05

DT02 DT04 EZ20

最終頁に続く

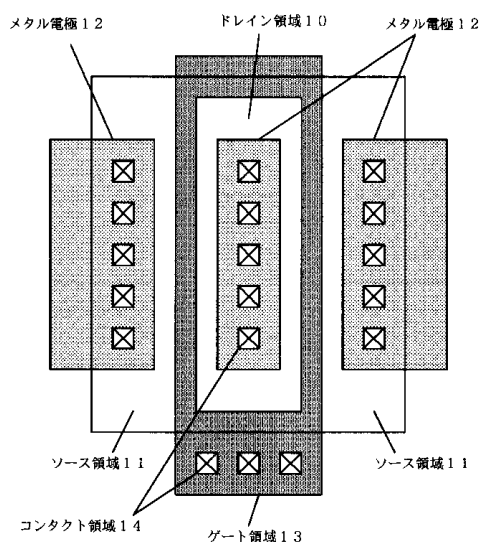
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】テスト動作モードでの端子リーク電流を低減した半導体記憶装置の提供。

【解決手段】動作モードでの端子リーク電流を低減するために、テスト用外部端子に接続した静電的なノイズが印加した時ICを保護するための保護トランジスタのゲート電極となるポリシリコン層をドレイン端にオーバーラップさせたレイアウトにし静電耐圧保護トランジスタのブレークダウン電圧を向上させることを特徴としている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

動作モードを切り換える為の電圧が印加される外部端子と、
前記外部端子と接地電位間に接続された保護トランジスタと、
前記外部端子の電圧を検出し、所定の電圧以上であれば第 1 の動作モードから第 2 の動作モードに切り換える信号を出力する電圧検出回路と、を有し、
前記保護トランジスタは、ドレイン領域がゲート電極で囲まれていることを特徴とする半導体記憶装置。

【請求項 2】

前記電圧検出回路は、前記外部端子と接地電位の間に直列に接続された複数の MOS トランジスタを有し、
前記直列に接続された MOS トランジスタ間の接続点から前記信号を出力するものであり、
前記外部端子に接続された前記 MOS トランジスタは高耐圧 MOS トランジスタであることを特徴とする請求項 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、電氣的に書き換え可能な不揮発性半導体メモリ集積回路（以下、EEPROMとする）に関する。また、通常動作モードとは異なるテスト用動作モードを備えており、所定の外部端子に通常動作モードで推奨する電圧以上の電圧を印加することでテスト用動作モードに切り替えることのできる回路を備えた半導体記憶装置に関する。

【0002】

【従来技術の説明】

半導体記憶装置において、外部端子に高電圧を印加することによってテスト用動作モードに切り替わる機能を有するものが存在する。ここで示した高電圧とは、通常動作モードで印加する範囲の電源電圧より高い電圧を示しており、たとえば該 IC の最大動作電源電圧が 5 V であるならば、5 V 超の電圧を示しており一般的には 10 V 程度の電圧を印加するものである。

【0003】

該機能を実現するために、高電圧を検出するための電圧検出回路を内蔵している。前述の例においては該電圧検出回路の検出電圧を 5 V 超 10 V 未満（一般的には 9 V）となるよう設定することで所定の外部端子に 10 V の電圧を印加することで電圧検出回路が検出信号を出力しテスト用動作モードに切り替えることができる。検出電圧は最大動作電源電圧の仕様、使用する半導体プロセスのデバイス特性により決定するため前述の例以外の電圧条件となることも考えられる。

【0004】

高電圧を印加する外部端子は、テスト用動作モードを検出することを唯一の目的とし他の機能を有しない専用の端子である。また、該外部端子は電源電圧印加端子であり、電源電圧印加の目的とテスト用動作モードに切り替えるための電圧検出機能を兼用する端子とすることも可能である。また、該外部端子は入力端子または出力端子または入出力端子であり、該端子に割り当てられた機能とテスト用動作モードに切り替えるための電圧検出機能を兼用する端子とすることも可能である（例えば、特許文献 1 参照。）。

【0005】

【特許文献 1】

特開 2002 - 15599 号公報 （第 2 - 4 頁、第 1 図）

【0006】

【発明が解決しようとする課題】

従来のテスト用動作モード検出のため電圧検出回路は以下のような問題がある。

【0007】

10

20

30

40

50

図 2 はテスト用動作モード検出機能を有した外部端子 2 1、テスト用動作モード用電圧検出回路 2 3、静電気的なノイズが印加した時に IC を保護するための保護トランジスタ 2 2 を示したブロック図である。

【 0 0 0 8 】

図 3 は一般的な従来の電圧検出回路を示す回路図である。テスト用動作モードに切り替えるために高電圧を印加するパッド 3 1、 n 個の NMOS トランジスタ 3 2、抵抗 3 3、インバータ 3 4 から構成されている。パッド 3 1 とグランド電圧との間に直列に NMOS トランジスタ 3 2 と抵抗 3 3 が接続されており、抵抗 3 3 のハイ電圧側がインバータ 3 4 の入力となっている。この回路ではパッド 3 1 に直列接続された n 段分の NMOS トランジスタ 3 2 の閾値電圧の合計 ($n \times V_{th}$) よりも高い電圧が印加されるとインバータ 3 4 が反転し、出力は H レベルから L レベルに変化しテスト用動作モードに切り替わる。

【 0 0 0 9 】

図 2 に示した保護トランジスタ 2 2 は、一般的に NMOS でありゲート電圧とソース電圧をグランド、ドレイン電圧をパッドに接続したオフトランジスタである。該保護トランジスタの MOS 構造は電圧検出回路で用いた NMOS トランジスタよりもオフトランジスタのドレインブレークダウン耐圧が低い MOS 構造のトランジスタを用いることによって、保護すべき内部トランジスタより先に保護トランジスタでブレークダウンし内部回路を保護する機能を有している。

【 0 0 1 0 】

該保護トランジスタのドレイン電圧は、前述のとおり電圧検出回路のパッドに接続された NMOS のドレインにも接続されている。

【 0 0 1 1 】

このため保護トランジスタのドレインブレークダウン耐圧は、電圧検出回路の検出電圧よりも低い電圧に設定する必要がある。仮に検出電圧を保護トランジスタのドレインブレークダウン耐圧より高く設定した場合、該ブレークダウン耐圧以上の電圧を印加しても保護トランジスタでブレークダウンを起こし、ブレークダウン耐圧以上の電圧はかからないため電圧検出回路は検出することができず、それはすなわちテスト用動作モードに切り替えることができないことを示している。

【 0 0 1 2 】

図 4 は、パッドに印加する電圧と電圧検出回路の直列に接続した NMOS トランジスタに流れる電流の関係を示したグラフである。

【 0 0 1 3 】

パッドに電圧を印加する電圧を高くすると電圧に応じた電流が電圧検出回路に流れ、検出電圧 ($n \times V_{th}$) を印加すると前述のとおりテスト用動作モードに切り替わる。検出電圧より低い電圧では検出電流より少ない電流が電圧検出回路には流れる。

【 0 0 1 4 】

通常動作モードの電源電圧範囲において、該電流は端子のリーク電流となり一般的に該リーク電流は EEPROM の IC 仕様として一定電流値以下にする必要がある。特に低温時においてリーク電流は大きくなることから通常動作モードでの電源電圧範囲におけるリーク電流は製品として重要な要素となるものである。

【 0 0 1 5 】

さらに検出電圧を高くすると最大動作電圧におけるリーク電流は少なくなり、検出電圧を低くすると最大動作電圧におけるリーク電流は多くなる。つまりリーク電流を少なくするためにはできる限り検出電圧を高く設定することが不可欠である。

【 0 0 1 6 】

該電圧検出回路の設定可能な検出電圧の上限は、前記保護用オフトランジスタのドレインブレークダウン耐圧によって制限されるため該ドレインブレークダウン耐圧を高くする必要がある。

【 0 0 1 7 】

しかし、該ドレインブレークダウン耐圧は MOS のゲート酸化膜厚やドレインの拡散濃度

10

20

30

40

50

、フィールドの濃度をはじめとする半導体プロセスによって決定されるものであり、既に形成された半導体プロセスを使用する場合において容易にドレインブレイクダウン耐圧のみを高くすることは不可能である。

【 0 0 1 8 】

リーク電流が多くなる問題は、動作温度範囲が広く、特に低温で動作可能なＩＣにおいて問題となる場合が多い。

【 0 0 1 9 】

また、通常動作モードでの電源電圧範囲が広く、特に最大動作電圧の高いＩＣにおいて問題になる場合が多い。

【 0 0 2 0 】

また、保護トランジスタとして使用するオフトランジスタのドレインブレイクダウン耐圧が低い場合、特に問題となる場合が多い。

【 0 0 2 1 】

また、電圧検出回路を構成するＮＭＯＳトランジスタのサブスレッショルド電流が多い場合、特に問題になることが多い。

【 0 0 2 2 】

【課題を解決するための手段】

そこで本発明は、上記問題を解決するために以下の手段を用いた。

本願発明にかかる半導体記憶装置は、テスト用動作モードに切り換える為の電圧が印加される外部端子と、前記外部端子と接地電位間に接続された保護トランジスタと、前記外部端子の電圧を検出し、テスト用動作モードに切り換える信号を出力する電圧検出回路と、を有し、前記保護トランジスタは、ドレイン領域がゲート電極で囲まれていることを特徴とする。

【 0 0 2 3 】

さらに、前記電圧検出回路は、前記外部端子と接地電位の間に直列に接続された複数のＭＯＳトランジスタを有し、前記直列に接続されたＭＯＳトランジスタ間の接続点から前記信号を出力するものであり、前記外部端子に接続された前記ＭＯＳトランジスタは高耐圧ＭＯＳトランジスタであることを特徴とする。

【 0 0 2 4 】

【本発明の実施の形態】

本発明の実施の形態を説明する。図１は、ドレインブレイクダウン耐圧を高くすることを目的とした保護トランジスタの平面図である。

【 0 0 2 5 】

図１に記したトランジスタは電氣的にメタル電極１２に接続されたゲート電極１３により電氣的に分離されたドレイン領域１０とソース領域１１にそれぞれコンタクト１４を配置し、ドレイン領域１０とソース領域１１を、それぞれコンタクト１４を介してメタル電極１２に接続して所望の電気特性を得るものである。

【 0 0 2 6 】

このトランジスタは外部端子に直接接続されているため、外部からのノイズが直接印加されノイズ耐性に優れた特性を有する。

【 0 0 2 7 】

本発明ではドレイン領域１０をゲート電極１３で囲んだ構成とした。本構成を用いることによりドレイン領域１０と素子分離領域との電氣的な分離は、チャネル長方向端部のゲート電極１３の電界効果を有するジャンクションダイオードで保たれているため、ノイズや静電気の電流経路の均一性が得られている。これによりドレインブレイクダウン耐圧を向上させることができる。

【 0 0 2 8 】

テスト用動作モードの切り替えを用とした電圧検出回路が備えられた外部端子の保護トランジスタに本発明によるトランジスタレイアウトを採用することにより、該電圧検出回路の検出電圧を高く設定することができ、延いては端子リーク電流を低減させた回路を実現

10

20

30

40

50

することができるものである。

【0029】

本発明は、保護トランジスタのゲート領域となるレイアウトを変更する簡易な修正により、結果として端子リーク電流を容易な手段にて実現することが可能である。半導体プロセスのプロセスバイアスを一切変更することがなく目的を達成できる。

【0030】

図5に、本発明を適用した実施例を示す。図5はテスト用動作モードに切り替えるための高電圧を印加する外部端子51、該外部端子51に接続した静電的なノイズが印加した時ICを保護するための保護トランジスタ52、テスト用動作モードに切り替えるための高電圧を検出するための電圧検出回路53で構成している。

10

【0031】

電圧検出回路53は、外部端子にNMOSTランジスタ54のドレインが接続されており、該NMOSTランジスタ54のソースには飽和結線されたPMOSTランジスタ55が接続されており、該PMOSTランジスタ55のドレインにはPMOSTランジスタ56が接続されており、該PMOSTランジスタ56のゲート電圧はグランドである。該PMOSTランジスタ56のドレインはNMOSデプレッショントランジスタ57が接続され、該NMOSデプレッショントランジスタ57のゲート電圧はグランドであり、一定電流59を流すことができる。PMOSTランジスタ56は、NMOSTランジスタ54とPMOSTランジスタ55とによって発生する電圧分がバックゲート電圧となりPMOSTランジスタ56の閾値電圧は高くなる。外部端子にバックゲート効果分を考慮したPMOSTランジスタ56の閾値以上の電圧を印加するとPMOSTランジスタ56にオン電流が流れる。該オン電流が前記一定電流59よりも大きくなると、インバータ58の出力はHレベルからLレベルに変化し、テスト用動作モードに切り替わる。

20

【0032】

NMOSTランジスタ54は高耐圧MOSで構成されており、該トランジスタのドレインジャンクションブレークダウン耐圧は一般的に20V程度と高い。

【0033】

前記保護トランジスタ52は低耐圧MOSで構成されており、一般的には該トランジスタのドレインジャンクションブレークダウン耐圧は12V程度である。本発明によるレイアウト構成を使用した保護トランジスタを用いることによりドレインジャンクションブレークダウン耐圧は1Vあるいは3V程度向上させることができる。

30

【0034】

【発明の効果】

以上、本願発明によれば、テスト動作モードでの端子リーク電流を低減した半導体記憶装置の提供が可能となる。

【図面の簡単な説明】

【図1】本発明の保護トランジスタ平面図を示す図である。

【図2】本発明の構成するブロック図を示す図である。

【図3】従来の電圧検出回路を示す図である。

【図4】電圧検出回路の特性グラフを示す図である。

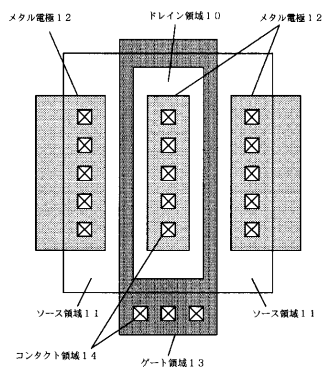
40

【図5】本発明の実施の形態1の構成を示す図である。

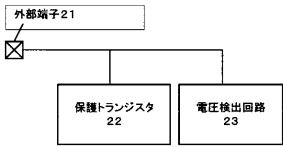
【符号の説明】

- 11 ソース領域
- 12 メタル電極
- 13 ゲート領域
- 14 コンタクト領域

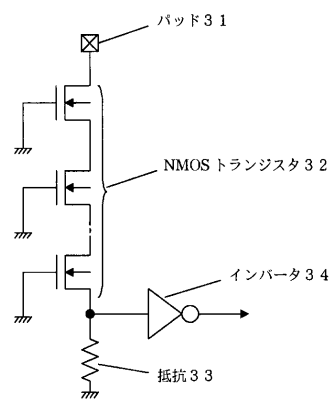
【図 1】



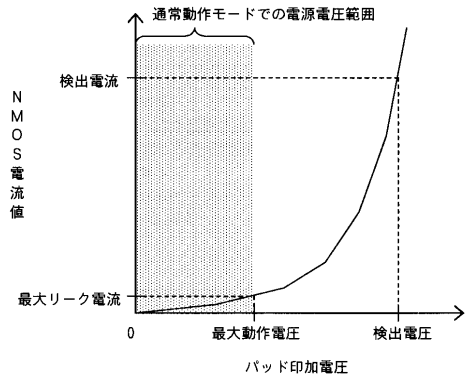
【図 2】



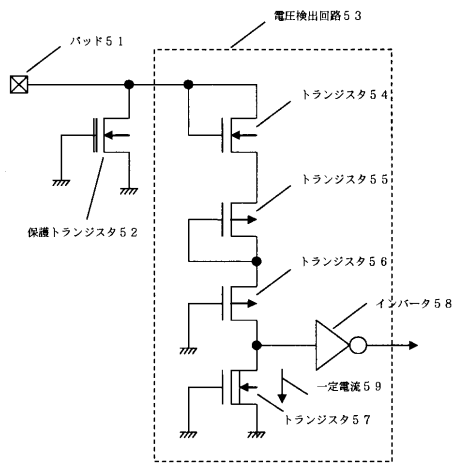
【図 3】



【図 4】



【図 5】



 フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 21/8234	H 0 1 L 27/08	1 0 2 F 5 F 1 0 1
H 0 1 L 27/04	G 0 1 R 31/28	V 5 L 1 0 6
H 0 1 L 27/06	G 0 1 R 31/28	B
H 0 1 L 27/088	H 0 1 L 27/04	H
H 0 1 L 27/115	H 0 1 L 27/04	T
H 0 1 L 29/788		
H 0 1 L 29/792		

F ターム(参考) 5F048 AA02 AA05 AB01 AC01 AC03 BB01 BF03 BF15 BF16 CC01
 CC06 CC09 CC11 CC13 CC15 CC18 CC19
 5F083 EP00 GA06 GA24 LA21 ZA03
 5F101 BD38 BE17 BF09
 5L106 AA10 GG02 GG06